

페이저도에 의한 임피던스 정합회로 설계 해석

원라경*

Design Analysis of Impedance Matching Circuit by Phasor Plot

La-Kyoung Weon*

*Assistant professor, Department of Undergraduate, Kosin University, Busan, 49104 Korea

요 약

본 논문에서 소개하는 페이저도에 의한 임피던스 정합회로 설계는 회로이론의 임피던스 삼각도에 기초한다. 정합 회로 설계에 주어진 값들을 이용하여 페이저 도형의 작도를 통하여 설계하는 기법이다. 설계 패턴은 L형, 역L형, T형, π 형을 기본으로, 미지의 리액턴스 소자를 페이저 도형을 통하여 결정한다. 본 논문에서는 입력과 출력포트가 순저항인 경우와 리액턴스를 갖는 경우의 몇 가지 사례에 대하여 설계하고 이를 직병렬 등가변환에 의하여 설계값을 검증하여 정합이 이루어짐을 확인하였다. 본 설계 기법은 입출력 위상이나 크기를 바로 파악할 수 있어 설계의 변경과 적용이 신속하여 주로 낮은 주파수 대역에서 적용이 기대된다.

ABSTRACT

The impedance matching circuit design technique based on the phasor plot introduced in this paper is based on the impedance triangle of electric circuit. It is a technique that designs through the construction of a phasor figure using the values given to the matching circuit design. The design pattern is based on L-type, inverted L-type, T-type, and π -type, and unknown reactance elements are determined through phasor shapes. In this paper, using a design by phasor plot, we design several cases, such as the case where the input and output ports are pure resistance and have reactance. It was confirmed that the design value was verified by serial-parallel equivalent conversion to achieve matching. This design technique can immediately grasp the phase or size of input/output power, so it is expected to be applied mainly in a low frequency band due to rapid design change and application.

키워드: 임피던스, 정합, 페이저도, 위상차, 등가변환

Keywords: Impedance, Matching, Phasor, Phase difference, Equivalent transformation

Received 13 September 2022, Revised 28 September 2022, Accepted 6 October 2022

* Corresponding Author La-Kyoung Weon(E-mail:lkweon@kosin.ac.kr, Tel:+82-51-990-2501)

Assistant professor, Department of Undergraduate, Kosin University, Busan, 49104 Korea

Open Access <http://doi.org/10.6109/jkiice.2022.26.11.1686>

print ISSN: 2234-4772 online ISSN: 2288-4165

© This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

정합회로는 회로의 최대전력전달 조건을 만족하기 위한 전원저항과 부하 저항의 값을 일치시키는 작업이다. 그러나 대부분의 회로에서는 소스 및 부하 임피던스에 리액턴스 성분이 포함되어 있어 최대전력을 전송하기 위하여는 소스 임피던스가 부하 임피던스의 공액 복소수와 같아야 한다. 이것은 소스 임피던스와 부하 임피던스에 대하여 실수부는 같은 값으로, 허수부는 절대값은 같고 부호는 역의 상태가 되어야 하는 조건을 말한다. 이러한 조건을 만족하지 않을 때 회로의 전달에너지는 반사 에너지로 발생할 수 있고 에너지 손실이 일어나게 된다[1].

기술의 발전과 더불어 정합회로의 적용은 보다 광범위하게 진행되고 있는데, 해외 연구사례를 보면 무선전력전송시스템의 송수신 코일 회로와 에너지 하베스팅 시스템 회로에서 에너지 전달 효율을 증가시키기 위하여 사용되고 있고[2][3], 무선센서에서도 센서 판독 거리의 확장을 위하여도 사용된다[4]. 휴대전화에 귀를 가까이 하므로 안테나의 임피던스가 변하는 조건을 제어할 수 있는 임피던스 자동 튜닝 회로에도 유전 알고리즘(genetic algorithm)을 이용한 임피던스 정합회로를 적용하고 있으며[5], 그 외에도 압전소자를 이용한 트랜듀서의 대역폭 확장이나[6], 낙뢰로 인한 송전선 단락 지점까지의 거리 추정 회로에도 연구 사례들이 발표되고 있다[7]. 과거의 정합 회로가 적용되는 곳이 주로 RF시스템의 전력 증폭단과 안테나 사이에서 서로 다른 임피던스를 매칭하기 위한 수단으로 사용되었지만 이제 그 적용범위가 넓어지고 있는 추세이다[8].

정합회로 설계에서 가장 많이 사용되는 설계 기법은 스미스 차트(Smith Chart)를 이용한 정합회로 설계이다. 스미스 차트는 1939년 벨 연구소의 필립 스미스가 고안한 복소 임피던스를 시각화한 원형의 도표이다. 현재는 RF Tool의 발달로 컴퓨터 시뮬레이션 프로그램으로 만들어져 안테나 및 전송선로의 특성을 해석하는데 도움을 주고 있다.

스미스 차트에 의한 임피던스 정합회로 설계 이외에도 직병렬 등가변환에 의한 방법이 있다. 이 방법은 Christopher Bowick의 RF Circuit Design(2008)을 통하여 소개되었고, 정합회로를 구성하는 L 과 C 가 가지는 Q (quality factor)를 매개로 직렬 회로의 병렬등가변환

또는 병렬 회로의 직렬등가변환으로 정합회로를 설계하고 있다.

본 논문에서 소개하는 페이지도에 의한 임피던스 정합회로 설계 기법은 회로이론의 임피던스 삼각도에 기초하고 있다. 본 설계 기법의 최초 연구자는 문헌으로 찾기 힘들다. 다만 임피던스 삼각도를 이용하여 페이지 관계를 정합회로에 적용하면서 하나의 설계방법으로 만들어지지 않았을까 추측할 뿐이다.

페이지에 의한 임피던스 설계 기법은 정합회로 설계에 주어진 값들을 중심으로 예를 들면, 입력 임피던스와 출력 임피던스 그리고 출력의 조건들을 만족하는 페이지도형 작도를 통하여 설계하는 기법이다. 설계 패턴은 L 형, 역 L 형, T 형, π 형을 기본으로 설계자가 선택하고, 미지의 리액턴스 소자를 페이지 도형을 통하여 결정한다.

본 설계 기법은 주로 낮은 주파수대역인 장파 대역, 중단파 대역에 적합한 기술이다. 중단파 대역에서의 정합회로 설계는 정합 조건의 여러 파라미터들을 직관적으로 고려하는 것이 필요하고, 주파수가 낮으므로 설계의 여유도가 크므로 선택할 조건이 다양하다. 페이지도에 의한 정합회로 설계는 입출력의 위상이나 크기를 바로 파악할 수 있어 설계의 변경과 적용이 신속하고 다양한 접근이 용이하다. 또한 본 설계 기법은 중단파 대역 시스템은 물론 60Hz의 교류전력에서 단상 전원을 다상 전원으로 변환하는 회로의 설계에도 적용이 용이하다.

오늘날 임피던스 정합회로는 무선전력전송, 태양광 설비, 전기자동차의 배터리까지 낮은 주파수 대역의 넓은 분야로 적용을 필요로 한다. 그것은 에너지 효율의 문제이다. 본 설계 기법이 이러한 낮은 주파수 영역에서 유용한 장점이 있는 것은 분명하다. 설계 기법의 소개는 2장에서 몇 가지 사례를 들어 실제로 페이지도를 작도(phasor plot)함으로써 정합회로의 값들을 결정할 것이며, 이 값들의 검증하기 위하여 3장에서는 기존의 이론인 직병렬 등가변환식에 의하여 정확성을 확인하며, 4장 결론 순으로 정리한다.

II. 페이지 도형에 의한 정합회로 설계

페이지 도형에 의한 임피던스 정합회로 설계의 기본적인 원리는 임피던스 삼각도에 기초하며, 위상 관계를 고려하여 그려지는 페이지도에 의해 정합회로의 정수들

이 결정된다. 임피던스는 항상 전압 페이저와 전류 페이저의 비에 의하여 결정되며 주어지는 위상에 관계된다.

페이저도에 의한 설계를 위하여 전류 페이저는 \swarrow 로 개화살표로 표시하고, 전압 페이저는 폐 화살표 \blacksquare 로 나타내기로 한다. 전압 페이저와 전류 페이저의 크기와 방향은 설계 조건에 맞도록 그려져야 하고 페이저의 길이는 임의의 축척을 사용하여 작도(phasor plot)한다.

극좌표 용지를 사용하면 편리하지만, 용지가 준비되지 않더라도 작도는 가능하다. 임피던스 정합을 위하여 먼저 어떤 네트워크로 할 것인가(L 형, 역 L 형, T 형, π 형)를 결정하고 위상 관계를 조건식으로 정리한다. 혼란을 피하기 위하여 한번 결정한 표식과 축척(scale)들은 설계가 끝날 때까지 계속 사용하여야 한다. 부하 임피던스를 나타내는 전류 페이저와 전압 페이저는 기본 페이저로 그려야 하고, 정합회로 설계는 부하단으로부터 입력측으로 설계를 진행한다.

페이저 합성은 평행사변형법 대신에 3각 합성법을 사용한다. 두 개 또는 그 이상의 단계를 포함한 회로에서는 각단을 개별 문제로서 분리하여 최종 부하단을 제일 먼저 페이저로 표현하고, 그런 다음 그 입력 임피던스가 다음 단의 출력 임피던스로서 사용된다. 이런 방법은 아주 복잡한 회로망을 쉽게 처리할 수 있게 된다.

하나의 회전 페이저 도형은 하나의 단일주파수에서의 안정 상태 조건을 나타낸다. 여러 주파수에서의 회로 특성을 분석하기 위하여는 새로운 페이저 도형이 각 주파수마다 필요하다. 위상 관계는 유도성 리액턴스에서는 전압이 전류보다 90° 앞서고, 용량성 리액턴스에서는 전류가 전압보다 90° 앞선다는 기본적인 성질을 통하여 최종 소자의 값을 산출한다.

본 논문에서 리액턴스는 $+jX$ ($=X_L$) 또는 $-jX$ ($=X_C$)로 나타낸다. 또한 설계 기법의 소개 과정에서 리액턴스에 국한하여 $+jX$ 또는 $-jX$ 로 해석하기로 하고, 어떤 주파수를 사용할지는 경우에 따라 다르므로 고려하지 않기로 한다.

2.1. 전원과 부하가 순저항성 임피던스인 경우

가. 회로 입력력 위상차 -45° 를 갖는 25Ω 의 전원과 100Ω 부하의 T 형 정합회로 설계

그림 1과 같은 T 형 정합 회로를 설계한다. 먼저 입, 출력 위상차는 -45° 로 주어졌으므로 $I_{in} = I_o \angle 45^\circ$ 이고, 그림 2와 같이 ①의 위치에 출력 회로의 전압 페이저 V_{out}

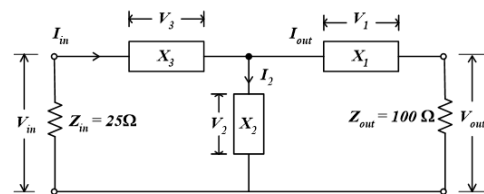


Fig. 1 T-type matching circuit

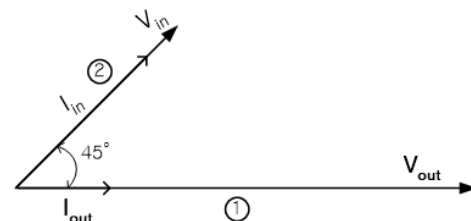


Fig. 2 Phasor plot with a phase difference of -45° degree

과 전류 페이저 I_{out} 이 그려지고 -45° 위치에 ②와 같은 전압 페이저 V_{in} 과 전류 페이저 I_{in} 이 그려진다.

입출력 회로의 전류 및 전압 페이저의 크기는 그림 1의 T 형 회로망에 KCL과 KVL을 적용하면 다음과 같이 된다.

$$I_{in} = I_2 + I_{out} \quad (1a)$$

$$V_{in} = V_1 + V_2 \quad (1b)$$

$$V_2 = V_3 + V_{out} \quad (1c)$$

각 소자의 위상 관계는 각 소자에 흐르는 전류와 전압은, 그것이 L 소자이든 C 소자에 관계없이, 각각 90° 위상차를 가지므로, 회로에서 구하고자 하는 미지 리액턴스 X_1, X_2, X_3 에서 전류와 전압과의 위상 조건은 90° 이다.

$$I_{in} \perp V_1, I_2 \perp V_2, I_{out} \perp V_3 \quad (2)$$

식(2)는 그림 1의 T 형 정합 회로에서 각 리액턴스 소자에 흐르는 전류와 전압이 90° 위상차를 가진다는 것을 나타낸다.

여기서 출력은 $100 [W]$ 로 하였다. 또 정합회로에서 회로의 입력은 무손실 회로로 취급하여 부하측에 나타나는 전력과 같아야 한다.

Table. 1 Conditions for T-type matching circuit

Input :
$P = 100 \text{ [W]}$
$I_{in} = \sqrt{100/25} = 2 \text{ [A]}$
$V_{in} = \sqrt{100 \times 25} = 50 \text{ [V]}$
Output :
$P = 100 \text{ [W]}$
$I_{out} = \sqrt{100/100} = 1 \text{ [A]}$
$V_{out} = \sqrt{100 \times 100} = 100 \text{ [V]}$
Phase :
$I_{in} \perp V_3, I_2 \perp V_2, I_{out} \perp V_1$
KCL :
$I_{in} = I_2 + I_{out}$
KVL :
$V_{in} = V_3 + V_2, V_2 = V_1 + V_{out}$

주어진 값을 이용하여 표 1 과 같이 입력회로의 I_{in} 과 V_{in} 과 출력 회로의 I_{out} 과 V_{out} 과 조건들을 구한다.

주어진 조건들을 페이저 도형으로 표현하기 위하여 먼저 회로의 전류 및 전압 페이저 크기의 축척(scale)을 결정한다. 여기에서는 전압은 10mm/10V, 전류는 20mm/1A로 한다. 한번 결정된 축척은 설계가 끝날 때까지 변경해서는 안 된다.

먼저 그림 2와 같이 출력 I_{out} 과 V_{out} 의 페이저 도형을 작도한다. V_{out} 은 100[V]이므로 10cm의 길이를 갖는 폐(close)화살표이고, I_{out} 은 1[A]이므로 2cm의 길이를 갖는 개(open)화살표이다. 여기서 I_{out} 과 V_{out} 은 동위상이므로 같은 위치가 된다. 다음으로 입력 측의 I_{in} 과 V_{in} 은 출력보다 -45° 의 위상차를 가지므로 그림 2와 같이 V_{in} 은 50[V]이므로 5cm의 길이를 갖는 폐(close)화살표이고, I_{in} 은 2[A]이므로 그림 2의 ②와 같이 4cm의 길이를 갖는 개(open)화살표로 표시된다. I_{in} 과 V_{in} 은 동위상이므로 같은 위치에 놓여진다. 이상으로 입출력 회로의 각각의 페이저가 표현된 셈이다.

다음 단계는 KCL과 KVL 얻어진 전류, 전압식과 위상 조건을 고려하여 페이저 도형을 완성한다.

먼저 KCL로부터 얻어진 식 $I_{in} = I_2 + I_{out}$ 을 적용한다. I_2 는, I_{out} 종점과 I_{in} 종점을 연결하면 I_2 를 구할 수 있다. $I_{in} = I_2 + I_{out}$ 으로 I_2 의 방향은 결정된다. 다음으

로 KVL 얻어진 전압식 $V_{in} = V_3 + V_2$ 에서 V_2 는 I_2 와 수직이고, V_3 은 I_{in} 과 수직으로 만나는 선분이므로, V_2 와 V_3 를 나타낼 수 있다. 또한 $V_2 = V_1 + V_{out}$ 에서 V_1 은 I_{out} 과 수직으로 만나는 선분이므로, V_1 를 구할 수 있다. 이렇게 KCL 및 KVL의 식을 위상 조건에 따라 페이저도를 완성하면 미지의 항을 결정할 수 있다.

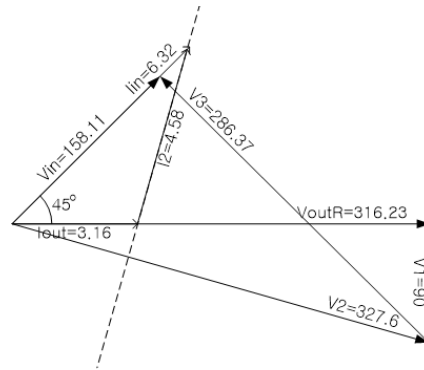


Fig. 3 A completed phasor plot with a phase difference of -45 degree

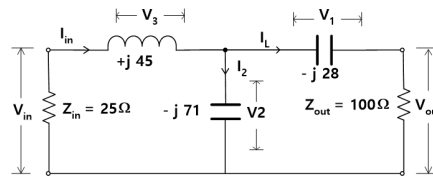


Fig. 4 Result of T-type matching circuit design with a phase difference of -45 degree

그림 3과 같이 설계한 페이저 도형으로부터 그림 1의 X_1, X_2, X_3 를 구한다. 페이저도에서 실측하여 축척으로 고려하여 적용하면 각 소자의 값을 구할 수 있고, 분모와 분자의 페이저 방향(위상차)을 고려하면 리액턴스 부호($\pm j$)가 결정된다.

$$X_1 = V_1 / I_{out} = 90 / 3.16 = -j 28.48 \quad (3a)$$

여기서 V_1 과 I_{out} 의 위상을 비교하면 I_{out} 가 90° 앞서므로 X_1 소자는 커패시티브 리액턴스, $-j$ 가 된다.

$$X_2 = V_2 / I_2 = 327.6 / 4.58 = -j 71.52 \quad (3b)$$

V_2 과 I_2 의 위상을 비교하면, I_2 가 90° 앞서므로 X_2 소자는 커패시티브 리액턴스, $-j$ 가 된다.

$$X_3 = V_3/I_{in} = 286.37/6.32 = +j 45.31 \quad (3c)$$

V_3 과 I_{in} 의 위상을 비교하면, V_3 가 90° 앞서므로 X_3 소자는 인던티브 리액턴스, 즉 $+j$ 가 된다.

결과값을 회로에 적용하면 그림 4와 같은 값이 된다.

나. 회로 입출력 위상차 -45° 를 갖는 25Ω 의 전원과 100Ω 부하의 π 형 정합회로 설계

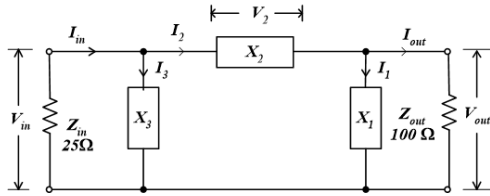


Fig. 5 π -type matching circuit with -45 degree

π 형 정합회로 설계에서, 입출력 조건은 T형 회로와 같고, 위상 관계와 전류 전압식을 정리하면 표 2와 같다.

Table. 2 Conditions for π -type matching circuit

Input :
$P = 100$ [W]
$I_{in} = \sqrt{100/25} = 2$ [A]
$V_{in} = \sqrt{100 \times 25} = 50$ [V]
Phase: $I_1 \perp V_{in}$, $I_2 \perp V_2$, $I_3 \perp V_{out}$
Output :
$P = 100$ [W]
$I_{out} = \sqrt{100/100} = 1$ [A]
$V_{out} = \sqrt{100 \times 100} = 100$ [V]
KCL : $I_{in} = I_1 + I_2$, $I_2 = I_3 + I_{out}$
KVL : $V_{in} = V_2 + V_{out}$

설계값 및 축적을 고려한 실측값으로 계산하고, 각각의 전류와 전압 위상을 고려하면 각 소자의 리액턴스는

$$X_1 = V_{out}/I_1 = 100/1.81 = -j 55.24 \quad (4a)$$

$$X_2 = V_2/I_2 = 73.7/2.06 = +j 35.77 \quad (4b)$$

$$X_3 = V_{in}/I_1 = 50/0.58 = +j 86.2 \quad (4c)$$

식(4a), (4b), (4c)와 같이 결정되고 그림 6, 7과 같이 설계를 완성할 수 있다.

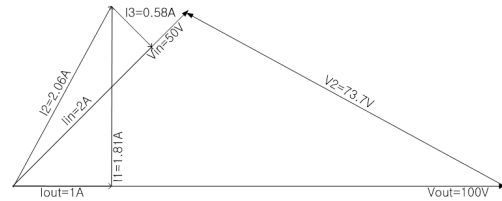


Fig. 6 A completed phasor plot π -type with a phase difference of -45 degree

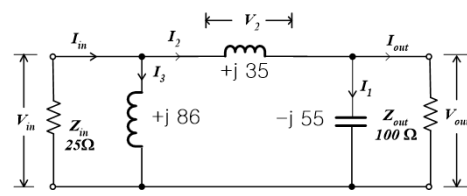


Fig. 7 Result of matching circuit design π -type with a phase difference of -45 degree

2.2. 전원과 부하에 리액턴스를 갖는 경우

가. 출력이 75 [W], $Z_{in} = 600 + j100$ 의 전원에 $75 - j30$ 부하를 연결할 때 $+60^\circ$ 위상차 T형 정합회로 설계
전원과 부하에 리액턴스를 갖는 경우는 페이지도에서 입출력을 나타낼 때, 먼저 저항과 리액턴스에 걸리는 전압에 대하여 90° 위상차를 나타내어 주어야 한다.

표 3에서 $V_{in}R$ 과 $V_{in}X$ 는 90° 위상차로 그려지며, I_{in} 은 저항에 흐르는 전류이므로 $V_{in}R$ 과 동위상으로 나타내어진다. 마찬가지로 출력 회로에서도 $V_{out}R$ 과 $V_{out}X$ 는 90° 위상차로 그려지며, I_{out} 은 $V_{out}R$ 과 동위상으로 나타내어진다.

설계를 위하여 입출력에 대하여 주어진 조건을 나타내면 표 3과 같다. 모든 전류와 전압에 명칭을 부쳐 페이지도를 완성하면 그림 8과 같이 되고, 이는 표 3의 조건을 충족하는 페이지도이다. 여기서 축척은 $10[V]=20mm$, $1[A]=100mm$ 로 하였다.

그림 8의 페이지도를 통하여 축척에 의한 실측값을 고려하면 T형 정합회로 각 소자의 리액턴스 값은 소자에 걸리는 전압과 전류의 비에 의해 다음과 같이 되고, 그림 9와 같은 결과를 얻을 수 있다.

$$X_1 = V_1/I_{out} = -j170 \quad (5a)$$

$$X_2 = V_2/I_2 = +j243 \quad (5b)$$

$$X_3 = V_3/I_{in} = +j257 \quad (5c)$$

Table. 3 Design conditions for T-type matching circuits with reactance in input/output

Input : $P = 75$ [W] $I_{in} = \sqrt{75/600} = 0.354$ [A] $V_{inR} = \sqrt{75 \times 600} = 212.13$ [V], $V_{inX} = I_{in} \times 150 = 53.1$ [V] $V_{in} = \sqrt{V_{inR}^2 + V_{inX}^2} = 218.67$ [V]
Phase : $I_{in} \perp V_3, I_2 \perp V_2, I_{out} \perp V_1$
Output : $P = 75$ [W] $I_{out} = \sqrt{100/100} = 1$ [A] $V_{outR} = \sqrt{75 \times 75} = 75$ [V], $V_{outX} = 1 \times (-30) = -30$ [V] $V_{out} = \sqrt{V_{outR}^2 + V_{outX}^2} = 80.77$ [V]
KCL : $I_{in} = I_2 + I_{out}$ KVL : $V_{in} = V_3 + V_2, V_2 = V_1 + V_{out}$

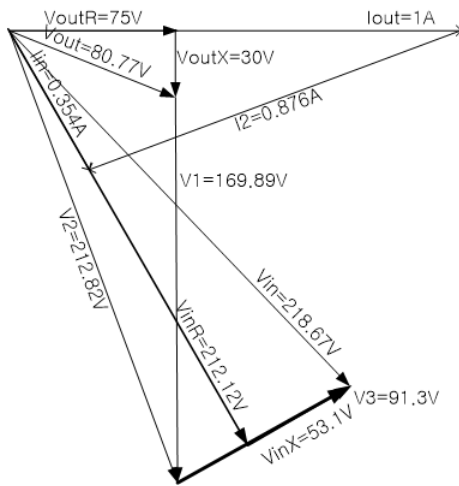


Fig. 8 A completed phasor plot T-type with a phase difference of +60 degree (scale 20[V]=10mm, 1[A]=100mm)

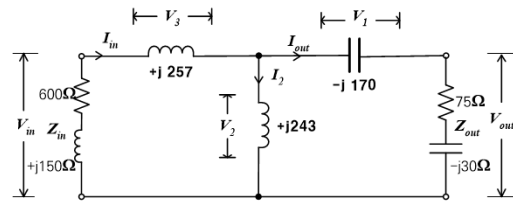


Fig. 9 Result of matching circuit design T-type with reactance element with a phase difference of +60 degree

나. (가)와 동일한 조건의 π 회로망 설계

입출력회로의 정수는 (가)의 경우와 같고 위상조건과 전압 두 개의 전류식과 하나의 전압식이 된다. 표 4를 기초로 그림 10과 같은 페이지도를 구성할 수 있다.

Table. 4 Design conditions for π -type matching circuits with reactance in input/output

Input : $P = 75$ [W] $I_{in} = \sqrt{75/600} = 0.354$ [A] $V_{inR} = \sqrt{75 \times 600} = 212.13$ [V], $V_{inX} = I_{in} \times 150 = 53.1$ [V] $V_{in} = \sqrt{V_{inR}^2 + V_{inX}^2} = 218.67$ [V]
Phase : $I_{in} \perp V_3, I_2 \perp V_2, I_1 \perp V_1$
Output : $P = 75$ [W] $I_{out} = \sqrt{100/100} = 1$ [A] $V_{outR} = \sqrt{75 \times 75} = 75$ [V], $V_{outX} = 1 \times (-30) = -30$ [V] $V_{out} = \sqrt{V_{outR}^2 + V_{outX}^2} = 80.77$ [V]
KCL : $I_{in} = I_2 + I_3, I_2 = I_1 + I_{out}$ KVL : $V_{in} = V_2 + V_{out}$

그림 10의 페이지도로부터 각 소자의 값을 구하면 다음 식(6a), (6b), (6c) 같이 되고, 그림 11과 같은 설계 결과를 얻을 수 있다.

$$X_1 = V_{out} / I_1 = -j113 \quad (6a)$$

$$X_2 = V_2 / I_2 = -j108 \quad (6b)$$

$$X_3 = V_{in} / I_3 = +j153 \quad (6c)$$

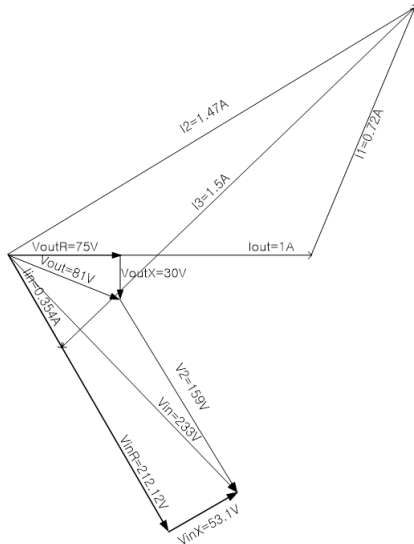


Fig. 10 A completed phasor plot π -type with a phase difference of +60 degree (scale 20[V]=10mm, 1[A]=100mm)

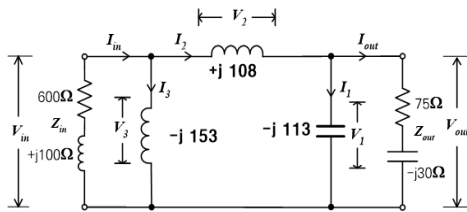


Fig. 11 Result of matching circuit design π -type with a phase difference of +60 degree

III. 직병렬 회로의 등가변환에 의한 정합회로 설계

3.1. 직병렬 등가변환

직병렬 등가변환에 의한 임피던스 정합회로 설계는 리액턴스 소자를 가진 직렬 회로망과 병렬 회로망을 Q (quality factor)를 매개로 하여 계산에 의해 설계값을 산출해내는 방법이다[1]. 직병렬 등가변환식에 의한 기법은 자체적으로 정합회로 설계도 할 수 있지만 정합회로 설계 후 검증으로 많은 장점을 가진다. 본 논문에서는 페이지에 의한 정합회로 설계에 대하여 직병렬등가변환방법으로 설계값을 검증하는 방법을 제안한다.

그림 12에서 병렬 회로는 저항 R_p 와 리액턴스 X_p 가

병렬형태로 연결되어 있고, 직렬 회로는 저항 R_s 와 리액턴스 X_s 가 직렬형태로 연결되어 있다. 여기서 X_p 와 X_s 는 리액턴스 소자이고 첨자는 p는 병렬, s는 직렬을 나타낸다. 그림 12에서는 X_p 와 X_s 소자가 코일을 나타내고 있다.

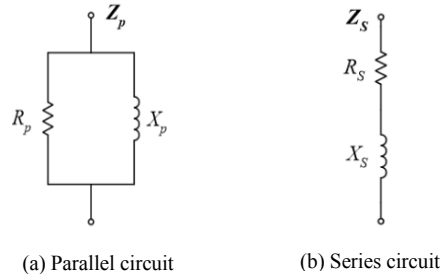


Fig. 12 Serial-parallel equivalent transformation

그림 12의 직병렬 회로망에서 각각의 합성 임피던스를 구해보면 그림 12a의 병렬 회로의 합성 임피던스 Z_p 는 두 임피던스의 곱을 두 임피던스의 합으로 나눔으로써 구해지므로 다음 식과 같이 된다[1].

$$Z_p = \frac{1}{\frac{1}{R_p} + j\frac{1}{X_p}} = \frac{R_p}{1 + \frac{R_p^2}{X_p^2}} + j\frac{X_p}{1 + \frac{X_p^2}{R_p^2}} \quad (7)$$

여기서 부하 Q 의 값은 리액턴스와 저항의 비율로 결정되며, 병렬로 연결 시 Q 값은 다음 식으로 정의된다[1].

$$Q_p = \frac{R_p}{X_p} \quad (8)$$

한편, 직렬로 접속했을 경우의 Q 는 다음 식으로 정의된다[1].

$$Q_s = \frac{X_s}{R_s} \quad (9)$$

회로망의 부하 Q 를 매개로 계산하면 병렬 회로망을 직렬 회로망으로 변환할 수 있다. 그러면 정합회로 설계가 크게 단순화될 수 있다. 가령 직렬 등가회로를 만들게 되면 임피던스 매칭은 실수 성분이 같고 허수성분의 부호가 반대의 소스 임피던스를 선택하는 것만으로 실현할 수 있기 때문이다.

식(8) $R_p/X_p = Q_p$ 를 이용하여 식(7)의 병렬 합성임피

던스 Z_p 를 실수부와 허수부로 나누어 정리하면 다음과 같이 정리할 수 있다[1].

$$Z_p = R_p \frac{1}{1 + Q_p^2} + jX_p \frac{Q_p^2}{1 + Q_p^2} \quad (10)$$

또한, 직렬 회로의 합성임피던스 Z_s 는 다음과 같다.

$$Z_s = R_s + jX_s \quad (11)$$

여기서 직병렬 등가변환식을 유도하기 위하여 식(10)과 식(11)을 등가적으로 $Z_p = Z_s$ 로 놓으면 직병렬 등가 변환 관계식이 만들어진다[1].

$$R_s + jX_s = R_p \frac{1}{1 + Q_p^2} + jX_p \frac{Q_p^2}{1 + Q_p^2} \quad (12)$$

$$R_s = R_p \frac{1}{1 + Q_p^2} \quad (13)$$

$$X_s = X_p \frac{Q_p^2}{1 + Q_p^2} \quad (14)$$

여기서 식(13)과 식(14)는 병렬 회로로부터 직렬 회로로 변환하는 등가변환식이 된다[1].

또한 직렬 회로에서 병렬 회로로 등가변환식은 식(8), 식(13), 식(14)로부터 다음과 같이 된다.

$$R_p = R_s (1 + Q_s^2) \quad (15)$$

$$X_p = X_s \frac{1 + Q_s^2}{Q_s^2} = R_s \frac{1 + Q_s^2}{Q_s^2} \quad (16)$$

직렬 회로망과 병렬 회로망 사이의 등가변환은 회로의 Q 역시 같아야 하는 조건이므로, Q_s 나 Q_p 의 값은 같다. 따라서 회로의 Q 는 다음과 같이 정리할 수 있다[1].

$$Q = \frac{R_p}{X_p} = \frac{X_s}{R_s} \quad (17)$$

$$= \sqrt{\frac{R_p - R_s}{R_s}} = \sqrt{\frac{X_p}{X_p - X_s}}$$

3.2. 정합회로 설계 검증

가. 입출력이 저항성 임피던스인 경우의 설계 검증

(1) -45° T형 정합회로 설계 결과 검증(그림 4)

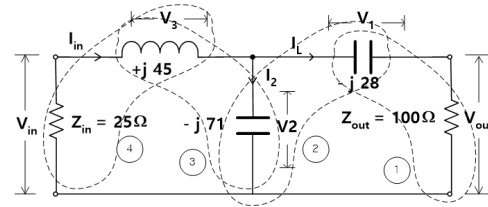


Fig. 13 Verification of design T-type matching circuit with reactance element with a phase difference of -45 degree

2장의 그림 4 -45° T형 정합회로의 설계 결과를 직병렬 등가변환식으로 검증한다.

부하에서 전원측으로 직병렬 등가변환식에 의하여 검증한다. 부하단은 직렬 회로 $100 - j28$ 이므로, 병렬 회로로 변환하기 위하여 우선 Q_s 를 구해보면

$$Q_s = X_s / R_s = 28 / 100 = 0.28$$

이 되고, 병렬 저항(R_p)와 병렬 리액턴스(X_p)를 구하면, 식(15), 식(16)에 의해,

$$R_p = R_s (1 + Q_s^2) = 100 (1 + 0.28^2) = 108$$

$$X_p = X_s \frac{1 + Q_s^2}{Q_s^2} = -j28 \frac{1 + 0.28^2}{0.28^2} = -j378$$

이 되므로 $R_p = 108.369 [ohm]$ 과 $X_p = -j375.309 [ohm]$ 의 병렬 회로로 치환된다. 여기서 병렬 커패시티브 리액턴스 $-j70.53$ 과 병렬 합성하면 $-j375.309 [\Omega] // -j71.53 \Rightarrow -j59.32$ 가 된다. 따라서 병렬 회로 $R_p = 108.352 [\Omega]$ 와 $X_p = -j59.32$ 가 되고 이를 식(8), 식(13), 식(14)을 이용하여 직렬로 등가변환한다.

Q_p 를 구해보면,

$$Q_p = \frac{R_p}{X_p} = \frac{108.352}{59.32} = 1.826$$

$$R_s = R_p \frac{1}{1 + Q_p^2} = 108.352 \frac{1}{1 + 1.826^2} = 24.998 \cong 25$$

$$X_s = X_p \frac{Q_p^2}{1 + Q_p^2} = -j59.32 \frac{1.826^2}{1 + 1.826^2} = -j45.64$$

직렬 회로 $25 - j45.64$ 가 되고,

$+j45.31$ 를 더하면 리액턴스는 서로 상쇄되어 $24.98 + j45.64 - j45.31 \cong 25 [\Omega]$ 으로 입력에서 들여다 본 임피던스는 $25 [\Omega]$ 으로 정합이 이루어짐을 알 수 있다.

그림 14a 부하단 $100 - j28$ 을 병렬 변환하여 $-j71$ 과 병렬 합성한 것이며 이를 다시 직렬 변환하면 그림 14b 와 같이 되어 리액턴스는 상쇄되고 $25[\Omega]$ 남게 되어 소스 저항과 부하 저항이 같게 되어 정합을 확인할 수 있다.

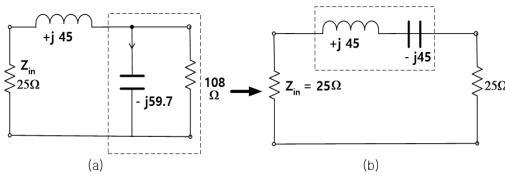


Fig. 14 Equivalent conversion process for T-type with a phase difference of -45 degree

(2) $-45^\circ \pi$ 형 정합회로 설계결과 검증(그림 7)

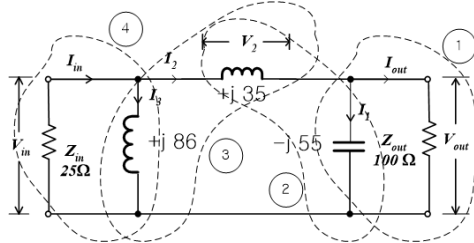


Fig. 15 Verification of design π -Type matching circuit with -45 degree phase difference

2장의 그림 7 $-45^\circ \pi$ 형 정합회로의 설계 결과를 직병렬 등가변환식으로 검증한다.

부하단에서 입력측을 보면 100Ω 과 $-j55 \Omega$ 의 병렬이므로, Q_p 를 구하면 식(8)에 의하여 $Q_p = R_p/X_p = 100/55 = 1.82$ 로 구해지면, 병렬 회로망에서 직렬 회로망으로 등가 변환하면 식(13)에 의하여 $R_s = 23$, 식(14)에 의해 $X_s = -j42.35$ 로 구할 수 있다.

이 직렬 회로 $23 - j42.35$ 와 $+j35$ 와 직렬로 합성하면 $23 - j42.35 + j35 = 23 - j7.35$ 의 직렬 회로가 되고 $23 - j7.35$ 의 식(9)로 Q_s 를 구하면 0.32가 되고 병렬 회로로 등가변환하면 식(15), 식(16)에 의해 $R_p = 25.30$, $X_p = -j80.85$ 가 된다. 여기서 $X_p = -j80.85 + j86.2$ 와 병렬합성하면, $X_p = -j1350.12$ 가 되므로, $R_p = 25.30$ 와 병렬을 이룬다. 이를 다시 직렬 등가변환하게 되면 식

(13), 식(14)로부터 $R_s = 25.30 [\Omega]$, $X_s = -j0.47$ 이 되어 소스 저항과 부하 저항이 동일하여 정합이 이루어졌음을 확인할 수 있다.

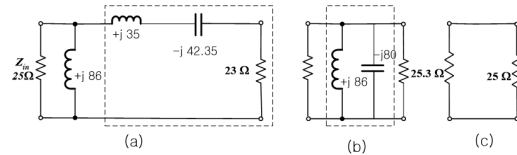


Fig. 16 Equivalent conversion process for π -type with a phase difference of -45 degree

그림 16는 $-45^\circ \pi$ 형 정합회로 설계 결과의 직병렬 등가변환 과정을 나타내는 데 부하에서 전원측으로 그림 15의 부하 병렬 회로인 $100 // -j55$ 를 식(8), (13), (14)에 의해 직렬로 등가변환한다. 그리고 직렬로 접속된 $+j35$ 를 합하면 그림 16의 (a)와 같이 $+j35 + (-j42.35) = -j7.35$ 가 되어 $23 - j7.35$ 이 된다. 이것을 다시 병렬로 등가변환하면 (b)와 같이 되고 다시 직렬로 등가변환하면 복소성분은 거의 제로가 되고, 순저항 $25 [\Omega]$ 이 되어 정합을 검증할 수 있다. 이 부분은 그림 16(b)에서 거의 $+j86$ 과 $-j80$ 이 병렬 공진하고 있고, 부하 임피던스와 입력 임피던스는 같이 $25 [\Omega]$ 으로 매칭하고 있음을 나타낸다고도 할 수 있다.

나. 입출력이 리액턴스를 포함하는 경우 설계 검증

(1) 입출력에 리액턴스를 포함하는 T형 설계 검증(그림 9)

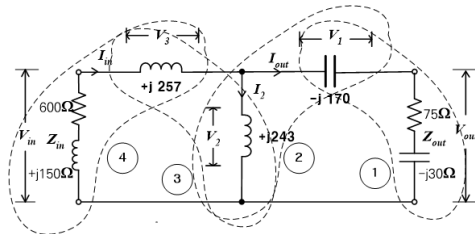


Fig. 17 Verification of design T-Type matching circuit with reactance element with $+60$ degree phase difference

2장의 그림 9 리액턴스 소자를 가지는 60° T형 정합회로의 설계 결과를 직병렬 등가변환식으로 검증한다. 직병렬 등가변환식을 이용하여 부하 $75 - j30$ 와 직렬 연결 $-j170$ 을 합하면 $75 - j200$ 이 된다. 또 이를 병렬로 등가변환하면 $R_p = 609.75$ 와 $X_p = -j228$ 가 되고 $+j243$

과 병렬합성을 구하면 $X_p = -j3693.6$ 이 되어 병렬 회로는 $R_p = 609.75$ 와 $X_p = -j3693.6$ 가 된다.

이를 직렬로 변환하면 $R_s = 593.89$, $X_s = -j96.03$ 이 되고 직렬연결 $+j257$ 을 더하면 최종 $593.9 + j160.97$ 을 얻어진다. 이 값은 입력 임피던스 $600 + j150$ 와 거의 같은 값으로 리액티브 성분은 상쇄되고 소스 저항과 부하 저항이 거의 $600 [\Omega]$ 으로 정합을 확인할 수 있다. 여기서 약간의 차이는 페이지도에 적용되었던 축척과 각도의 정확성 등의 오차에 기인하는 것으로 사료된다.

(2) 입출력에 리액티브를 포함하는 π 형 설계 검증(그림 11)

직병렬 등가변환식을 이용하여 부하 $Z_{out} = 75 - j30$ 을 병렬 치환하면 $R_{p1} = 87$, $X_{p1} = -j217.5$ 가 되고, 병렬 $-j113$ 과 합성하면, $X'_{p1} = -j74.36$ 이 된다. $87 // -j74.36$ 을 직렬 치환하면 $R_{s1} = 36.54$, $X_{s1} = -j43.13$ 이 되고 직렬 연결 $+j108$ 을 더하면 $X'_{s1} = -j151.13$ 이 된다.

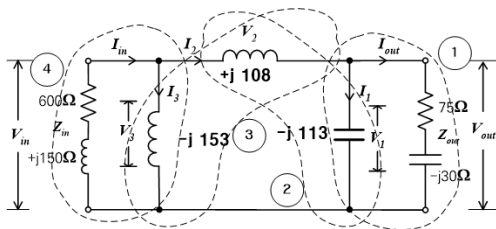


Fig. 18 Verification of design π -Type matching circuit with reactance element with $+60^\circ$ phase difference

2장의 그림 11 리액티브 소자를 가지는 $60^\circ \pi$ 형 설계 결과를 직병렬 등가변환식으로 검증한다.

직렬 연결 회로망 임피던스 $36.54 - j151.13$ 를 다시 병렬로 치환하면 R_{p2} 는 662.84 , X_{p2} 는 $-j160.20$ 이 되고 병렬 연결 $-j153$ 과 합성하면 $636.32 + j136.17$ 이 되어 입력 임피던스 $600 + j100$ 과 근접하게 정합되고 있음을 알 수 있다. 이러한 오차를 줄이기 위해서는 페이지도를 이용하여 설계할 때 축척을 위하여 좀 더 크게 그릴 필요성이 있다. 또 페이지도를 이용한 정합회로 설계가 중단과 대역을 비롯한 비교적 낮은 주파수대역을 상정하고 있으므로 약간의 차이는 정합회로 미세조정을 통하여 해결할 수 있다.

Table. 5 Matching circuit verification by serial-parallel equivalent conversion (Resistance only Network)

Matching Network		Verification	Z_{out}	Z_{in}	error
Resistance only	$-45^{\circ}T$	Phasor Design	100	25	-
		Serial-Parallel Verification	100	24.998	-0.002
	$-45^{\circ}\pi$	Phasor Design	100	25	-
		Serial-Parallel Verification	100	25.3 -j0.47	0.3 -j0.47

Table. 6 Matching circuit verification by serial-parallel equivalent conversion (Include Reactance Network)

Matching Network		Verification	Z_{out}	Z_{in}	error
Include reactance	$60^\circ T$	Phasor Design	75 -j30	600 +j150	-
		Serial-Parallel Verification	75 -j30	593.9 +j160	6.1 +j10
	$60^\circ \pi$	Phasor Design	75 -j30	600 +j150	-
		Serial-Parallel Verification	75 -j30	636 +j136	36 -j14

III. 결 론

페이지도에 의한 임피던스 정합회로 설계를 위하여 임피던스 회로를 몇 가지 선정하고, 정합회로 설계 예를 제시하였으며, 직병렬 등가변환에 의하여 설계값을 검증하였다.

표 5와 표 6은 페이지에 의한 정합회로 설계값을 직병렬 등가변환에 의하여 검증한 결과를 나타낸다.

표 5는 순저항으로 이루어진 경우로 오차는 거의 zero에 가깝게 정합이 이루어졌음을 보여준다. 표 6과 같이 리액티브를 포함하는 경우에 약간의 오차는 페이지도형의 축척과 미세한 각도 차이로 인한 것에 기인하는 것으로 판명되었으며 실 설계에 영향을 주지 않을 정도였다.

페이지에 의한 임피던스 정합회로와 본 논문에서 제안하는 직병렬 등가변환에 의한 설계값 검증은 정합회로의 설계 검증에 적용이 가능한 기술로 페이지 작도는 리액티브 소자의 값을 선택할 수 있는 자유도를 넓혀 주리라 본다. 또한 본 설계 기법은 장파 대역을 비롯하여 중단

파 대역까지 임피던스 정합회로 설계 적용은 물론 무선 전력전송, 태양광 충전을 비롯한 신재생에너지 분야 등의 정합회로 설계에 활용이 가능할 것으로 기대된다.

REFERENCES

- [1] C. Bowick, *RF Circuit Design*, USA, Newnes, 2008.
- [2] Y. Zhang, Y. Feng, S. Liu, J. Wu, and X. He, "Impedance Matching Method for 6.78 MHz Class-E2-Based WPT System," *Energies*, vol. 14, no. 14, pp. 4289, Jul. 2021.
- [3] Z. Hameed and K. Moez, "Design of impedance matching circuits for RF energy harvesting systems," *Microelectronics Journal*, vol. 62, pp. 49-56, Apr. 2017.
- [4] M. Z. Xie, L. F. Wang, B. B. Zhou, and Q. A. Huang, "An Impedance Matching Method for LC Passive Wireless Sensors," *IEEE Sensors Journal*, vol. 20, no. 22, pp. 13833-13841, Jun. 2020.
- [5] M. Alibakhshikenari, B. S. Virdee, P. Shukla, C. H. See, R. A. Abd-Alhameed, F. Falcone, and E. Limiti, "Improved adaptive impedance matching for Rf front end systems of wireless transceivers," *Scientific Reports*, vol. 10, no. 14065, Aug. 2020.
- [6] Y. Yao, B. Tan, Z. He, and X. Liu, "A Filter Structure Based Broadband Electrical Impedance Matching Method for Piezoelectric Transducer of Acoustic Well-Logging," *IEEE Access*, vol. 10, pp. 63567-63578, Jun. 2022.
- [7] L. J. Awalin, H. Mokhlis, M. K. Rahmat, S. Shilpa, F. Albatsh, and B. Ismail, "Fault Distance Identification Using Impedance and Matching Approaches on Distribution Network," *Indonesian Journal of Electrical Engineering and Computer Science*, vol. 8, no. 3, pp. 770-778, Dec. 2017.
- [8] YO3DAC Iulian Rosu [Internet]. Available: <https://www.qsl.net/va3iul/>.



원라경(La-Kyoung Weon)

한국해양대학교 자동화정보공학부 공학사

한국해양대학교 컴퓨터공학과 공학석사

한국해양대학교 컴퓨터공학과 공학박사

고신대학교 학부대학 조교수

※관심분야 : 무선센서네트워크, 사물인터넷, IT융합