

특집 : 3차원 실장과 Cu 접합

3D 패키징을 위한 Scallop-free TSV와 Cu Pillar 및 하이브리드 본딩

장예진 · 정재필[†]

서울시립대학교 신소재공학과

Scallop-free TSV, Copper Pillar and Hybrid Bonding for 3D Packaging

Ye Jin Jang and Jae Pil Jung[†]

Dept. of Materials Science and Engineering, University of Seoul

(Received December 16, 2022; Revised December 27, 2022; Accepted December 28, 2022)

초 록: TSV 기술을 포함한 고밀도, 고집적 패키징 기술은 IoT, 6G/5G 통신, HPC (high-performance computing) 등 여러 분야에서 중요한 기술로 여겨지고 있다. 2차원에서 고집적화를 달성하는 것은 물리적 한계에 도달하게 되었으며, 따라서 3D 패키징 기술을 위하여 다양한 연구들이 진행되고 있다. 본 고에서는 scallop의 형성 원인과 영향, 매끈한 측벽을 만들기 위한 scallop-free 에칭 기술, TSV 표면의 Cu bonding에 대해서 자세히 조사하였다. 이러한 기술들은 고품질 TSV 형성 및 3D 패키징 기술에 영향을 줄 것으로 예상된다.

Abstract: High-density packaging technologies, including Through-Si-Via (TSV) technologies, are considered important in many fields such as IoT (internet of things), 6G/5G (generation) communication, and high-performance computing (HPC). Achieving high integration in two dimensional packaging has confronted with physical limitations, and hence various studies have been performed for the three-dimensional (3D) packaging technologies. In this review, we described about the causes and effects of scallop formation in TSV, the scallop-free etching technique for creating smooth sidewalls, Cu pillar and Cu-SiO₂ hybrid bonding in TSV. These technologies are expected to have effects on the formation of high-quality TSVs and the development of 3D packaging technologies.

Keywords: Three dimensional packaging, Through-Si-Via (TSV), Scallop-free, Cu bonding

1. 서 론

최근 전자산업 기술의 급격한 발전으로 전자부품은 경박단소화(輕薄短小)되고 있다. 이에 따라 반도체 패키징 기술도 빠르게 발전하고 있으며, 더욱 얇고 신뢰성 높은 패키징 기술이 요구되고 있는 상황이다. 패키징 시 2차원에서 고집적화를 달성하는 것은 물리적인 한계에 봉착하였고, 이를 해결하기 위해 3D 패키징 기술에 관한 다양한 연구가 진행되고 있다. 3차원 패키징 기술은 다이(die)를 수직 적층하는 기술로, 면적을 줄이면서도 집적도를 높이는 방법이다. 특히, TSV (Through-Si-Via)는 와이어 본딩(wire bonding)을 대체하여 와이어 배선에 의한 지연 시간을 줄여줄 수 있는 중요한 패키징 기술로, 주요 반도체 패키징 기업에서 중요한 기반 기술로서 사용되고 있다. TSV 기술 외에도 플립칩(Flip-chip) 기술 또한 솔더

볼(solder ball)이나 범프를 이용하여 작은 패키지의 제조가 가능하다. 플립칩 기술을 활성화하는 것은 2.5D 및 3D TSV와 같은 차세대 고성능 반도체 패키지 구조 및 복잡한 SiP (System in Package) 설계와도 밀접한 관련이 있기 때문에 중요하다.¹⁾ 본 고에서는 더욱 높은 신뢰도와 성능을 갖는 TSV를 형성하기 위한 scallop-free 플라즈마 에칭 및 플립칩 기술에 사용되는 Cu pillar 범프(CPB) 기술과 관련 연구에 대하여 조사하였다.

2. Scallop-free 에칭

2.1. Scallop의 발생 원인과 영향

Scallop은 TSV 형성을 위한 Bosch 공정의 반복 진행 과정에서 비아(via) 측벽에 발생하는 거친 측벽의 형태이다. Bosch 공정은 실리콘을 수직방향으로 식각하기 위한 플

[†]Corresponding author
E-mail: jujung@uos.ac.kr

© 2022, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

라즈마 에칭 기술로, 등방성 식각이라는 특징을 가지기 때문에 비아 측벽에 scallop이 형성된다. Scallop은 이후 기능성 박막 (functional layer)인 시드층 (seed layer)의 연속적인 형성 및 균일한 두께의 접합층과 시드층을 만드는 것을 방해할 수 있다. 따라서 이는 고품질 TSV의 형성을 어렵게 하는 요인으로 작용할 수 있다.²⁾ 또한, 소자의 제작 이후 누설전류로 인한 소자 성능저하 및 배선 신뢰성의 감소 등 악영향을 미칠 수 있다.

Ranganathan 등³⁾은 측벽의 scallop이 누설 전류에 어떠한 영향을 미치는지에 대한 실험을 진행하였다. 동일한 조건하에 scallop이 생성되는 Bosch 공정으로 에칭된 TSV와 scallop이 생성되지 않는 non-Bosch 공정으로 에칭된 TSV의 누설전류비는 32:1로, 측벽의 scallop 유무가 누설 전류를 줄이는데 지배적인 영향을 미친다는 결과를 보여주었다.

Choi 등⁴⁾은 TSV의 Cu 충전 실패 원인을 분석하였다. Bosch 공정을 이용하여 실리콘 에칭을 진행하였으며, 직경 60 μm , 길이 250 μm 크기의 TSV를 제작하였다. 이때 발생한 측벽의 scallop이 TSV 하단의 Cu 손실을 유발하여 이후 내부 보이드 (void)가 생기는 결과를 가져왔다. 이처럼 측벽의 scallop은 Cu의 시드층 손실을 유발하여 도금 시 전류공급이 끊어지는 등의 문제를 발생시키고, TSV의 Cu 충전 실패의 원인이 된다는 것을 밝혔다.

Nakamura 등⁵⁾은 측벽의 scallop이 누설전류에 어떠한 영향을 미치는지 실험하였다. 이 실험에서는 scallop의 깊이가 72 nm이며 scallop이 280 nm 마다 반복되는 TSV와 매끈한 측벽을 가진 TSV를 TEM 관찰 및 FEA 시뮬레이션을 통해 비교하였다. 이때 TSV 측벽에는 유전체 (dielectric) 장벽으로서 SiON 필름을 150°C에서 500 nm 두께로 증착하였다. 비교 결과, scallop이 존재하는 TSV의 SiON 필름의 홈 지점 (groove points)에서는 340 MPa의 인장 응력 값이 발생하였다. 이는 측벽에 scallop이 존재하기 때문이며, 내부 평균 응력 값이 100 MPa임을 고려하였을 때 3배 이상 높은 값을 알 수 있다. 결론적으로 응력집중으로 인해 균열이 발생하여 누설 전류를 증가시킬 수 있으며, 인접한 TSV 사이의 누설 전류는 측벽의 형태적인 특징에 크게 의존한다는 것을 밝혔다.

이 결과는 Liu 등⁶⁾의 실험과 비슷한 결과로, 이 실험에

서는 scallop이 존재하는 TSV에서 최대 전단 응력이 77.46 MPa이었으며, 매끈한 측벽을 가진 TSV의 최대 전단 응력이 51.55 MPa으로 측정되었다. 즉, scallop이 존재하는 TSV에서 더욱 큰 값을 나타내었고, 이에 의해 scallop 모서리에 응력이 집중되어 더 쉽게 계면 파괴 (interfacial failure)를 일으킬 수 있다고 하였다.

Hsin 등⁷⁾은 scallop을 발생시키는 주요 요인을 에칭 속도로 판단하여 200 mm 및 300 mm 웨이퍼에서 TSV의 최적 식각률을 결정하는 실험을 진행하였다. 1.7~18 $\mu\text{m}/\text{min}$ 의 다양한 에칭 속도와, 1~50 μm 까지의 TSV 직경이 고려되었다. 실험 결과, 두 웨이퍼 모두에서 식각 주기가 클수록 TSV의 깊이가 깊어 지는 것을 발견하였으며, TSV의 직경이 클수록 굴곡이 큰 scallop이 발생하였다. 한 예시로, 300 mm 웨이퍼의 에칭 결과, 5.2~11 $\mu\text{m}/\text{min}$ 범위의 에칭 속도를 가질 때 99~235 nm 범위의 scallop이 발생하였다.

2.2. Scallop-free 에칭 기술

TSV의 매끈한 측벽을 만들기 위해 다양한 연구가 진행되었다. 그 중, cryogenic 공정은 -100°C 이하에서 진행되는 극저온 공법으로, Bosch 공정에서 발생하는 scallop을 해결하기 위해 개발되었다. Cryogenic 공정에는 SF₆가스와 함께 소량의 O₂가스 혹은 CHF₃+C₄F₈ 가스가 이용되어 연속적인 식각이 가능하다.⁸⁾ 연속적인 공정과 얇은 패시베이션 (passivation) 층은 scallop을 제거하여 매끈한 측벽을 형성하며, 더 빠른 식각 공정을 구현할 수 있다.⁹⁻¹⁰⁾ 또한, 극저온 조건 (-100°C 이하)에 의해 라디칼 (radical)의 자발적 반응이 크게 느려지면서 이방성 식각 (anisotropic etch)을 유도하기 때문에 수직 벽을 갖는 비아를 형성할 수 있다.¹¹⁻¹²⁾

그러나 cryogenic 공정은 극저온에서 진행되기 때문에 추가적으로 액체 질소 냉각장치가 필요하고, 의도하지 않은 스트레스가 발생할 수 있으며, 냉각/승온 주기에 의해 전체 공정 시간을 증가시킬 수 있다는 단점이 있다.¹²⁻¹³⁾

Yasuhiro¹⁴⁾는 scallop의 새로운 해결 방법인 “scallop-free” (non-Bosch) 에칭 방법을 소개하였으며 (Fig. 1 참조), Fig. 2는 scallop이 나타나는 Bosh 공정과 scallop-free 에칭을 비교한 것이다. 이 에칭 방법은 혼합가스 플라즈마 (SF₆

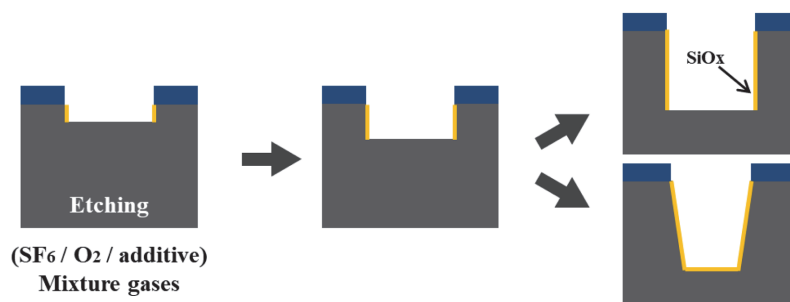


Fig. 1. Si DRIE (deep reactive ion etching) method: “scallop-free” (non-Bosch etching).¹⁴⁾

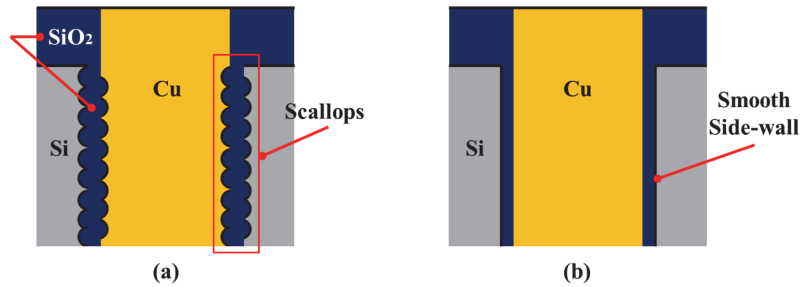


Fig. 2. Cu TSV made by “cycled etching” and “scallop-free etching”; (a) side wall with scallops; (b) scallop-free side wall.

와 O_2 등)를 사용하여 1 step 에칭을 진행하는 것이다. 매끄러운 측벽, 즉 scallop-free한 측벽을 갖게 되면 PVD (Physical Vapor Deposition) 공정 시간을 줄일 수 있다. 뿐만 아니라, 작은 scallop의 존재도 신호전송 속도에 영향을 미친다고 밝혀졌다. Non-Bosch 에칭 방법에 대해서는 몇 가지 보고 사례가 존재하지만,¹⁵⁻¹⁶⁾ 포토레지스트 (photoresist)를 사용한 마스크와 실리콘의 내(耐)에칭 선택 비에 대해서는 Bosch법 만큼 높은 수준을 얻은 사례는 아직 거의 없다고 한다.

또한, 매끄러운 측벽을 형성하기 위한 다양한 실험들이 진행되었다. Nguyen 등¹⁷⁾은 SF_6 의 유량 (flow)을 5~15 SCCM (standard cubic centimeter per minute)으로 변경하였을 때 이것이 측벽의 형태에 어떤 영향을 미치는지 조사하였다. 전력 (power)은 10 W로 고정되었다. 실험 결과, SF_6 의 유량이 느릴수록 에칭이 더욱 깊고 직선적인 형태로 나타났다. 즉, 5, 10 SCCM일 때 15 SCCM에 비해서 더욱 곧은 측벽을 가지는 것을 알 수 있었다.

Hanaoka 등¹⁸⁾은 Bosch 공정을 사용하면서도 펄스 폭을 감소시키는 방법으로 scallop을 크게 감소시키는 방법을 제시하였다. 즉, RF 시스템에는 플라즈마 소스에 대해 37~43 MHz에서 작동하는 2개의 RF 증폭기가 포함되어 있으며, 각각 펄스 폭이 5초와 2초인 SF_6 플라즈마와 C_4F_8 플라즈마를 번갈아 스위칭하여 실리콘 측벽을 에칭한 경우에는 TSV 측벽에 명확한 scallop 구조가 형성되었다. 그러나, SF_6 플라즈마와 C_4F_8 플라즈마의 펄스 폭을 각각 1초, 0.4초로 감소시킴으로써 scallop의 크기를 크게 줄였으며, Bosch 공정을 위한 자동 및 고속 제어 RF 플라즈마 소스의 반복 펄스 RF 플라즈마에 대한 유용성을 입증하였다.¹⁹⁾

Morikawa 등²⁰⁾은 ICP (inductively coupled plasma) 플라즈마의 일종인 NLD (neutral loop discharge) 플라즈마를 사용하여 직경이 200 μm , 300 μm 인 실리콘 웨이퍼 에칭을 진행하였다. NLD 플라즈마는 ICP 플라즈마에 비해 밀도가 높은 플라즈마이다. TSV 비아 홀 (via hole)은 이미 패터닝 되어있는 상태이며, 직경은 10~50 μm 이다. NLD 플라즈마 압력을 5 Pa에서 15 Pa로 증가시킨 결과, Si 식각 속도는 약 5 $\mu m/min$ 에서 20 $\mu m/min$ 으로 증가하였다. 이 결과는 더욱 높은 플라즈마 밀도가 더 많은 플루오린 라디칼 (fluorine radical)을 생성한다는 것을 보여

주며, 이는 이 공정이 실리콘과 포토레지스트에 대한 에칭 수율을 제어할 수 있음을 알려준다. 실험 결과, 모든 패턴의 측벽은 매끄러운 측벽 (scallop-free)을 얻었으며, 높은 중형비 및 시드층의 두께를 약 1/4로 감소시켜 신뢰성이 높은 공정을 제공하였다.

또한 Wong 등²¹⁾은 매끄러운 측벽을 만들기 위해 우수한 Cu 시드층 coverage를 갖는 것이 중요하며, 시드층의 coverage는 scallop의 크기에 영향을 받는다고 말했다. 매끄러운 측벽을 만들기 위해 열 성장 산화물 라이너의 BOE (buffered oxide etchant) strip을 반복하는 방법이 있다고 하였다.

Hwang 등²²⁾은 배리어 (barrier)/시드층의 coverage를 개선하기 위해 약간의 테이퍼 (taper)가 있는 scallop-free TSV 프로파일을 개발하였다. TSV 직경은 1.0 μm 및 1.5 μm 이고, 중형비 (aspect ratio)는 각각 7, 6이다. 30분간의 펄스 전기도금으로 Cu를 결함 없이 충전 가능하였다. 한편 Jeong 등²³⁾은 scallop-free한 원통형, 사각형(정사각형), 타원형 및 삼각형 모양의 TSV 전산모사에서 사각형 모양이 우수한 특성의 임피던스를 가져 최고의 전기적 성능을 갖는 것으로 보고하였다. 이는 사각형 모양이 외부 면적이 넓어서 TSV가 높은 주파수에서 절연층이 더 높고 신호를 잘 보호하기 때문이다.

3. Cu Pillar Bump와 접합

3.1. Cu Pillar Bump의 특징

여러 전자 제품들이 더욱 소형화되고 얇아지는 추세에 따라 패키징에서 I/O 개수도 증가하고 있다. 대량의 인터커넥션 (interconnection) 수를 달성하기 위해서는 범프 크기 및 피치의 축소가 중요하다. 플립칩 본딩 및 솔더 볼, 마이크로 범프 등 여러 기술과, 최근에는 범프 없이 본딩하는 범프리스 (bumpless) 하이브리드 본딩 (hybrid bonding) 기술이 주목받고 있다. 일반적으로 범프는 3개의 세대로 구분 가능한데, 1세대 범프의 피치는 130 μm 이상, 2세대 범프 피치는 40~130 μm , 가장 최근의 것인 3세대는 30 μm 이하로 개발되었다.²⁴⁾

그러나 범프의 크기가 감소하면 칩과 기판의 거리가 줄어들어 언더필 (underfill) 공정이 어려워지고, 범프 접촉 부에 전류와 열에너지 밀도가 증가하는 문제가 발생한다.

Cu pillar bump (CPB)는 이러한 문제 해결에 효과적이다. CPB는 원통형 구리 기둥으로, 일반적으로 실리콘 칩과 기판 사이에 연결되는 솔더 범프 대신 사용하고, 때로는 CPB 위에 솔더 캡을 형성하기도 한다. 솔더 캡이 있는 CPB는 솔더의 부피를 줄여 범프 브리징 (bump bridging) 문제를 억제하기 위한 방법 중 하나이다.²⁵⁾

CPB는 다양한 장점이 있다. 일반적인 웨이퍼 범핑 인프라를 활용할 수 있기 때문에 전용 장비가 필요하지 않아 비용을 절감할 수 있는 점, 단위 실리콘 면적당 I/O 밀도가 증가한다는 점, 언더필을 용이하게 한다는 점, 몰드 (mold) 에 형성되는 보이드를 최소화시킨다는 점, Low-k 디바이스에 이용할 수 있다는 점 등이 CPB의 장점이다.²⁶⁻²⁷⁾

Yeo 등²⁸⁾ 은 Cu pillar, Sn-Ag 솔더, Sn-Ag-Cu 솔더, Au stud-NCA (non-conductive adhesive), Au 도금 ACA (anisotropic conductive adhesive)를 사용하여 총 5개의 서로 다른 플립 칩 인터커넥트 (interconnects)에 대한 접합 저항 (joint resistance)을 비교하는 실험을 하였다. 그 결과, CPB의 접합 저항값이 약 1 mΩ으로 가장 낮은 값을 나타냈으며 Sn-Ag 솔더, Sn-Ag-Cu 솔더, Au stud-NCA, Au 도금 ACA 순서대로 낮은 접합 저항값을 보였다. 즉, CPB가 솔더를 이용한 인터커넥트보다 더 낮은 접합 저항을 갖는다는 것을 알 수 있다.²⁹⁾

기존의 솔더 범프를 이용한 플립칩 방법은 controlled collapse chip connection (C4) 방식이 많이 사용되었는데, 이 방법은 미세 피치(약 50 μm이하)에 적용할 수 없다. C4 솔더 범프가 미세 피치에 적용되면, 솔더 리플로우 (reflow) 과정에서 솔더가 녹아 인접한 솔더와 범프 브리징 현상이 발생하여 전기적 단락 문제가 발생하기 때문이다.³⁰⁾ 반면 CPB는 미세 피치에 적용 가능하며, 따라서 최근에는 솔더 범프가 CPB로 대체되기도 한다. 또한, CPB는 기둥 높이를 이용하여 다이와 기판 사이의 간격을 조절하기가 매우 쉬운 편이다. 이러한 직접적인 칩 연결 방식이 C2 (chip connection) 방식이다.³¹⁾ 오늘날 C4 범프는 여전히 가장 많이 사용되고 있지만, 고밀도 및 미세

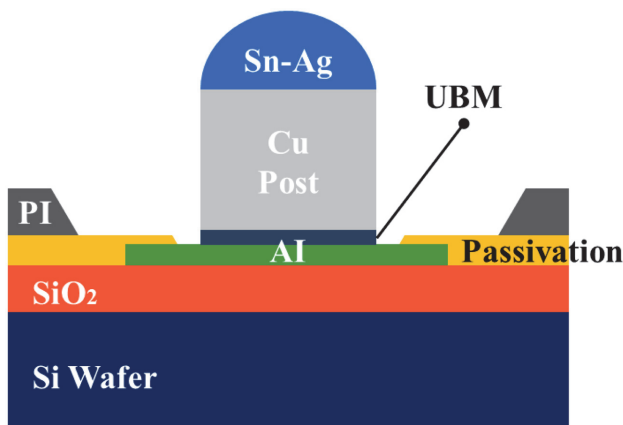


Fig. 3. Structure of chip connection (C2) bump

피치에 적용하는 경우에는 C2 범프가 사용된다.³²⁾ C2 범프의 구조는 Fig. 3와 같다.

Lee 등³³⁾ 은 Ajinomoto build-up 필름 (ABF) 기판 상에 효율적인 CPB의 접착을 위한 고속 전착 (electrodeposition) 기술에 대하여 유한 요소 분석 (finite element analysis)을 진행하였다. 2~10 A/dm² 사이의 다양한 값의 도금 전류 밀도를 통해 전기도금된 CPB의 형태학적, 결정학적, 전기적 및 기계적 특성을 체계적으로 조사하였다. 실험 결과, 나노인덴테이션 (nanoindentation) 분석은 CPB의 경도, 탄성계수, 강성 같은 기계적 특성이 구리 입자 크기에 크게 의존한다는 것을 확인하였으며, 도금 전류 밀도의 증가는 CPB 모양의 변화를 가져온다는 결과를 얻었다. 또한, CPB와 ABF 기판 사이의 접착 강도 (adhesion strength)는 도금 전류 밀도에 반비례하였으나, 180°C에서의 시효 시간 (aging time)에는 접착 강도가 비례하였다.

3.2. 나노 솔더도금층을 이용한 Cu Pillar의 접합

3D 패키징을 구현하기 위한 다양한 공정 중, 최근 구리를 이용한 본딩 공정이 매우 중요시되고 있다. 구리는 전기전도도, 일렉트로 마이그레이션 (electromigration)에 대한 저항이 높으며 금속간 화합물 (IMC)을 형성하지 않아 차세대 미세 범프의 소재로서 적합하다.³⁴⁾ 또, 3차원 적층 기술에 적용되는 접합 방법들 중에는 TLP (transient liquid phase)법³⁵⁾ 과 저자와 기업이 개발한 저온 TLP 접합법 등이 있다. 이 방법은 등온(等溫)응고법을 이용하는 액상확산접합법으로서, Sn계 솔더와 Cu기재의 경우 접합부에 Cu-Sn간 금속간 화합물을 형성하는 것을 이용한다. 접합 온도는 낮지만, Sn-rich상을 포함하는 공정조작들이 모두 사라지면서, 사용 온도가 높아져서 고온의 환경에서 유망한 기술로 인식되고 있다.

한편, 금속이나 세라믹의 분말을 나노 미터 크기로 줄이면 용점이 저하된다는 것은 잘 알려진 사실이다. 예를 들어, Zou 등³⁶⁾ 에 의하면 직경이 81 nm, 40 nm, 36 nm, 34 nm인 Sn 나노입자의 용점은 각각 226.1°C, 221.8°C, 221.1°C, 219.5°C로, 81 nm에서 34 nm로 직경이 감소함에 따라 용점은 6.6°C 감소하였다. 또한, Wu 등³⁷⁾ 에 의하면 직경이 9 nm에서 2 nm로 감소할 때 Cu 나노입자의 용점은 1,289K (1,016°C)에서 963K (690°C)로 감소하였다. 이로부터 Cu 2 nm 입자의 슬러리 층을 사용하면 저온에서 빠른 시간내에 Cu-Cu 직접 본딩을 달성할 수 있다고 보고하였다. Kim 등³⁸⁾ 은 RF (radio frequency) 플라즈마를 사용하여 입자 크기 약 25 nm인 Cu 나노입자를 합성하고, 대기압 플라즈마 250W, 40분의 조건에서 Cu를 소결 접합하였다. 또한, Li 등³⁹⁾ 은 2 nm 크기의 초미세 나노입자를 사용하여 250°C, 60분의 조건에서 Cu-Cu 열압착 본딩을 수행하였으며, 1.08 MPa의 낮은 압력을 가한 상태에서 250°C 소결을 통해 25.36 MPa의 Cu-Cu 접합부 강도를 얻었다. 세라믹에서도 반경 19 nm인 GaN은 약 2300K (2,027°C)의 용점에서 2 nm일 때 약 1400K (1,127°C)

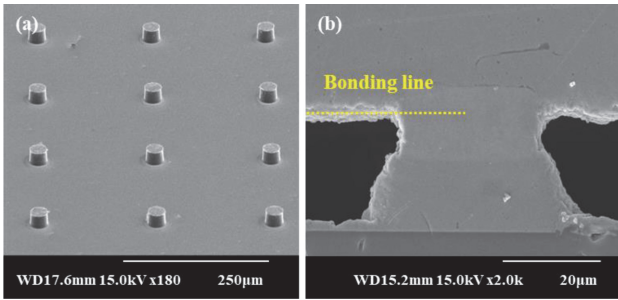


Fig. 4. Cu pillar bonding at 170°C with the nano-grained Sn-Ag solder of 5 µm total thickness; (a) before bonding with Sn-Ag solder cap; (b) after bonding (provided by Duksan Hi-metal Co. Ltd.).

로 감소하였다.⁴⁰⁾ 이와 같이 나노 입자의 저융점 현상과 이를 사용한 Cu 혹은 Sn의 저온 접합이 다양하게 진행되고 있다.

Fig. 4는 Cu pillar와, 저자와 기업이 개발한 나노 결정립 레이어 솔더를 이용하여 Cu pillar를 저온 TLP 접합한 결과이다. Cu pillar의 지름은 30 µm, 높이는 15.5 µm이고, Cu pillar 위에 5 µm 두께의 Sn-Ag 솔더로 나노 결정립 레이어를 형성하였다. 수 나노미터(nm) 결정립 상태의 금속은 수십~수백 µm 결정립 크기의 금속에 비해 용점이 상당히 저하된다. Fig. 4의 경우도 Sn-Ag 솔더의 용점이 140~150°C 내외로 저하되어, 170°C의 온도 조건에서 Sn-Ag 솔더를 용융시켜 TLP 접합시킨 것이다. 일반적으로 Sn-Ag 솔더의 용점 (고상점)이 221°C이고, 접합 온도가 약 240~250°C인 것을 고려하였을 때, 170°C에서의 접합은 상당히 낮은 온도에서의 접합임을 알 수 있다. 또한 접합부에서 용융된 솔더층이 Cu pillar 및 Cu-pad쪽으로 확산하며 등온응고되는 TLP 접합이 일어나고, 기존 솔더링 접합부에 비해 솔더 접합층은 용융-응고된 조직이 거의 나타나지 않는다는 것을 확인할 수 있다. 이러한 결과를 통해 TLP 접합 후에는 용점이 상승하고, 접합온도에서 솔더링부가 재용융되지 않는, 즉, 고온특성이 우수한 TLP 접합부의 특성을 갖게 된다.

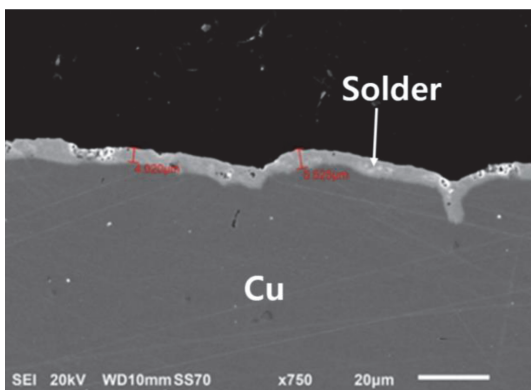


Fig. 5. Thin Sn-Cu solder layer having nano-meter sized grains electro-plated on a Cu substrate.

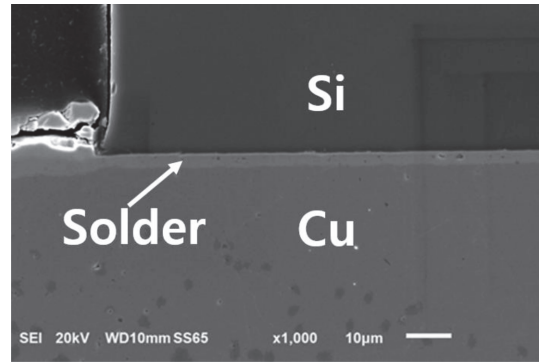


Fig. 6. Low temperature TLP bonding between Cu substrate and Si chip using Sn-Ni nano-grained plating layer (bonded at 250°C for 30 sec. under 0.1 MPa pressure).

TLP 접합을 위해 저자 등이 Sn-Cu 솔더를 Cu 기재 위에 도금한 사례의 일례를 Fig. 5에 보였다. 도금 두께는 4.9 µm이며, 도금된 Sn-Cu층은 두께가 거의 균일하고, 수지상 (dendrite) 성장과 같은 큰 요철부는 보이지 않는다.

한편, 저자 등은 다양한 나노 결정립 솔더를 사용하여 TLP 접합을 진행하였는데, Fig. 6은 Sn-Ni 나노 결정립 도금층을 이용한 Cu 기재와 Si칩상의 Cu 패드를 250°C, 0.1 MPa 조건에서 가압하여 30초 간 TLP접합을 한 결과로서, 접합율은 95%를 보였다.

4. 하이브리드 본딩 (Hybrid Bonding)

최근 고성능 컴퓨팅(HPC) 및 AI 기술의 발전에 대응하기 위해 더 많은 I/O수에 대한 요구가 증가하고 있다. 이에 따라 미세 피치를 실현 가능하게 할 수 있는 하이브리드 본딩 기술이 주목받고 있으며, 3D 통합을 가능하게 하는 핵심 기술로 간주되어 전자 장치의 성능을 개선시켜 줄 유망한 방법으로 떠오르고 있다.⁴¹⁾

하이브리드 본딩 기술은 접합재 없이 매몰된 (embedded) 금속과 유전체들이 영구적인 결합을 하는 기술이다.⁴²⁾ Fig. 7은 Cu-SiO₂ 하이브리드 본딩 형성의 이상적인 공정을 모식도로 표현한 것이다. 하이브리드 본딩을 형성하기 위해서는 보통 실온에서의 계면 본딩과 어닐링을 통한 표면 접합 과정을 거치게 된다.

Cu-SiO₂ 시편은 어닐링 과정을 거치며 화학적 결합 형성이 가속화되고, 유전체 인터페이스가 더욱 강화된다. 또한, 온도 상승에 의해 구리 표면에너지가 구동력을 제공하여 강력한 금속학적 결합을 형성할 수 있다. 일반적으로 성공적인 하이브리드 본딩을 위한 어닐링 온도 범위는 150°C~400°C이다. 그러나, DRAM 패키징의 경우 디바이스의 성능 저하를 방지하기 위해서는 250°C 미만의 온도가 적절하다.⁴³⁻⁴⁴⁾ 이를 위해 저온 하이브리드 본딩 기술을 성공시키기 위한 다양한 연구들이 진행되고 있다.⁴⁵⁻⁴⁷⁾

강력한 Cu-Cu 접합을 위해서는 깨끗하고 평탄한 표면의 제어가 필수적이다. Beilliard 등⁴⁸⁾은 4개의 인터커넥

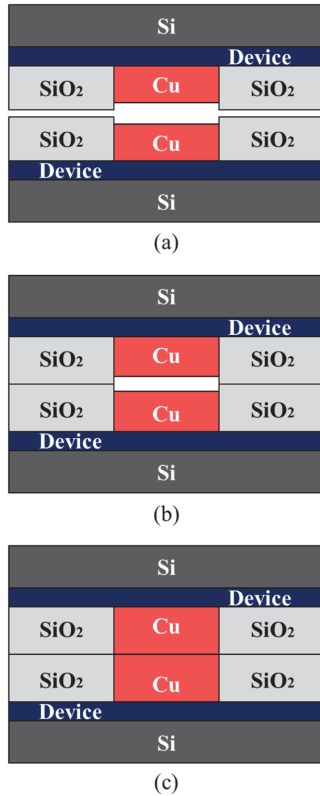


Fig. 7. Schematic of the ideal Cu-SiO₂ hybrid bonding; before contact (a), start bonding by annealing (b) and after bonding by annealing (c).

트 레이어를 이용하여 Cu-SiO₂ 하이브리드 본딩을 형성하고, 계면에서 나타난 기공을 관찰하였다. 이들은 평균적으로 표면 거칠기가 약 0.65 nm RMS (root mean square) 인 반면, 패드중앙에서는 더 높은 표면 거칠기가 나타난 것을 확인하였다. 이러한 현상은 모두 CMP (chemical mechanical polishing) 단계의 과도한 연마 작업에 의해 구리가 더 깎여 나가서 더 높은 거칠기를 초래한 것이라고 밝혔다. 이러한 결과를 통해 낮은 표면 거칠기를 형성하는 것이 성공적인 하이브리드 본딩에 있어서 중요한 준비 단계임을 알 수 있다. 이와 유사하게 Panchenko 등⁴⁹⁾도 하이브리드 본딩을 실험한 결과, Cu 접합 계면부에서 작은 결함들이 발생하였다. 이는 CMP 이후 구리 상단 표면에 서스펜션 (suspension) 잔류물이 남아있어서 표면이 깨끗하게 유지되지 않았던 것이 원인이 되었다고 밝혔다. 평탄한 표면 외에도 성공적인 하이브리드 본딩을 위해서는 패드의 구조 및 피치, 본딩 전처리, 웨이퍼에 가해지는 스트레스, 어닐링 온도 등 다양한 요소를 고려하여야 할 것이다.

5. 결 론

본 고에서는 3D 패키징을 위한 scallop-free 에칭 방법 및 구리 본딩 (Cu bonding) 기술에 대한 연구동향에 대해 조사하였다. Scallop이 없는 고품질 TSV를 형성하기 위

해 cryogenic 공정, 혼합가스 플라즈마를 사용한 1 step 에칭 등 다양한 scallop-free 에칭 기술이 연구되었으며, 이는 TSV의 신뢰성을 향상시키는데 도움을 준다. 또, 3D 패키징의 점차 줄어드는 피치 및 미세 범프에 대응할 수 있는 Cu pillar bump에 대해서 기술하였다. 또한, 저자와 기업 등이 개발한 나노 (nano) 결정립 Sn-Ag 솔더 도금층을 이용한 Cu pillar의 170°C 저온 TLP 접합에 대해서도 서술하였다. Cu, SiO₂ 하이브리드 본딩 기술은 현재의 미세공정의 한계를 극복할 수 있는 방안중 하나로, 중요한 후공정 기술이 될 것으로 보인다. 성공적인 하이브리드 본딩을 위해서는 평탄하고 깨끗한 접합 표면 준비와, 저온 접합이 중요하며, 이와 관련된 연구들이 진행되고 있다.

사 사

본 연구는 산업통상자원부 및 산업기술평가관리원 (KEIT)의 소재부품기술개발사업 연구비 지원에 의해 수행되었습니다. ('20010580', 미니-LED 미세전극 접합을 위한 도전성 나노소재 기술 개발)

References

1. Y. Jung, D. Ryu, M. Gim, C. Kim, Y. Song, J. Kim, J. Yoon, and C. Lee, "Development of next generation flip chip interconnection technology using homogenized laser-assisted bonding", IEEE 66th Electronic Components and Technology Conference (ECTC), 88-94 (2016).
2. K. H. Beak, D. P. Kim, K. S. Park, J. Y. Kang, K. J. Lee, and L. M. Do, "DRIE Technology for TSV Fabrication", J. Korean Soc. Precis. Eng., 26(12), 32-40 (2009).
3. N. Ranganathan, D. Y. Lee, L. Youhe, G. Q. Lo, K. Prasad, and K. L. Pey, "Influence of Bosch etch process on electrical isolation of TSV structures", IEEE Trans. Compon. Packag. Manuf. Technol., 1(10), 1497-1507 (2011).
4. J. W. Choi, O. L. Guan, M. Yingjun, H. B. M. Yusoff, X. Jielin, C. C. Lan, W. L. Loh, B. L. Lau, L. L. H. Hong, L. G. Kian, R. Murthy, and E. T. S. Kiat, "TSV Cu filling failure modes and mechanisms causing the failures", IEEE Trans. Compon. Packag. Manuf. Technol., 4(4), 581-587 (2014).
5. T. Nakamura, H. Kitada, Y. Mizushima, N. Maeda, K. Fujimoto, and T. Ohba, "Comparative study of side-wall roughness effects on leakage currents in through-silicon via interconnects", Proc. IEEE Int. 3D Syst. Integr. Conf., 1-4 (2012).
6. H. Liu, Q. Zeng, Y. Guan, R. Fang, X. Sun, F. Su, J. Chen, M. Miao, and Y. Jin, "Thermal-mechanical reliability assessment of TSV structure for 3D IC integration", In 2016 IEEE 18th Electronics Packaging Technology Conference (EPTC), 758-764 (2016).
7. Y. C. Hsin, C. C. Chen, J. H. Lau, P. J. Tzeng, S. H. Shen, Y. F. Hsu, S. C. Chen, C. Y. Wn, J. C. Chen, T. K. Ku, and M. J. Kao, "Effects of etch rate on scallop of through-silicon vias (TSVs) in 200mm and 300mm wafers", In 2011 IEEE 61st Electronic Components and Technology Conference (ECTC), 1130-1135 (2011).

8. D. H. Jung, S. Kumar, and J. P. Jung, "Cu Electroplating and Low Alpha Solder Bumping on TSV for 3-D Packaging", *J. Microelectron. Electron. Packag.*, 22(4), 7-14 (2015).
9. T. Tillocher, R. Dussart, L. J. Overzet, X. Mellhaoui, P. Lefaucheux, M. Boufnichel, and P. Ranson, "Two cryogenic processes involving SF₆, O₂, and SiF₄ for silicon deep etching", *J. Electrochem. Soc.*, 155(3), 187 (2008).
10. Y. Wu, D. L. Olynick, A. Goodyear, C. Peroz, S. Dhuey, X. Liang, and S. Cabrini, "Cryogenic etching of nano-scale silicon trenches with resist masks", *Microelectron. Eng.*, 88(8), 2785-2789 (2011).
11. K. A. Addae-Mensah, S. Retterer, S. R. Opalenik, D. Thomas, N. V. Lavrik, and J. P. Wiksw, "Cryogenic etching of silicon: an alternative method for fabrication of vertical microcantilever master molds", *J. Microelectromech. Syst.*, 19(1), 64-74 (2009).
12. S. L. Burkett, M. B. Jordan, R. P. Schmitt, L. A. Menk, and A. E. Hollowell, "Tutorial on forming through-silicon vias", *J. Vac. Sci. Technol. A J VAC SCI TECHNOL A*, 38(3), 031202 (2020).
13. H. V. Jansen, M. J. de Boer, S. Unnikrishnan, M. C. Louwerse, and M. C. Elwenspoek, "Black silicon method X: a review on high speed and selective plasma etching of silicon with profile control: an in-depth comparison between Bosch and cryostat DRIE processes as a roadmap to next generation equipment", *J. Micromech. Microeng.*, 19(3), 033001 (2009).
14. Y. Morikawa, "Plasma Etching Technology for Advanced Packaging to Lead Moore's Law(in Japanese)", *J. Jpn. Inst. Electron. Packag.*, 25(1), 47-53 (2022).
15. R. F. Figueroa, S. Spiesshoefer, S. L. Burkett, and L. Schaper, "Control of sidewall slope in silicon vias using SF₆/O₂ plasma etching in a conventional reactive ion etching tool", *J. Vac. Sci. Technol. B.*, 23(5), 2226-2231 (2005).
16. T. Maruyama, T. Narukage, R. Onuki, and N. Fujiwara, "High-aspect-ratio deep Si etching in SF₆/O₂ plasma. II. Mechanism of lateral etching in high-aspect-ratio features", *J. Vac. Sci. Technol. B.*, 28(4), 862-868 (2010).
17. V. T. H. Nguyen, E. Shkondin, F. Jensen, J. Hübner, P. Leussink, and H. Jansen, "Ultra-high aspect ratio etching of silicon in SF₆-O₂ plasma: The clear-oxidize-remove-etch (CORE) sequence and chromium mask", *J. Vac. Sci. Technol. A*, 38(5), 053002 (2020).
18. K. Hanaoka and K. Takahashi, "Vertical silicon etching by using an automatically and fast-controlled frequency tunable rf plasma source", *AIP Adv.*, 11(2), 025013 (2021).
19. K. Hanaoka, K. Takahashi, and A. Ando, "Reproducibility of a plasma production in a fast-and automatically-controlled radio frequency plasma source", *IEEE Trans. Plasma Sci.*, 48(6), 2138-2142 (2020).
20. Y. Morikawa, T. Murayama, T. Sakuishi, M. Yoshii, and K. Suu, "A novel scallop free TSV etching method in magnetic neutral loop discharge plasma", In 2012 IEEE 62nd Electronic Components and Technology Conference, 794-795 (2012).
21. G. H. Wong, K. J. Chui, G. K. Lau, L. L. Woon, and L. HongYu, "Through silicon via (TSV) scallop smoothing technique," In 2014 IEEE 16th Electronics Packaging Technology Conference (EPTC), 676-678 (2014).
22. G. Hwang, J. H. Miao, and B. C. Rao, "Development of Metallization Process for Fine Pitch TSV", In 2021 IEEE 23rd Electronics Packaging Technology Conference (EPTC), 633-636 (2021).
23. I. H. Jeong, A. Eslami Majd, J. P. Jung, and N. N. Ekere, "Electrical and mechanical analysis of different TSV geometries", *Metals*, 10(4), 467 (2020).
24. W. S. Tsai, C. Y. Huang, C. K. Chung, K. H. Yu, and C. F. Lin, "Generational changes of flip chip interconnection technology", In 2017 12th International Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT), 306-310 (2017).
25. Tung, F, "Pillar connections for semiconductor chips and method of manufacture", US Patent, No. 6,578,754., (2003)
26. M. Gerber, C. Beddingfield, S. O'Connor, M. Yoo, M. Lee, D. Kang, S. Park, C. Zwenger, R. Darveaux, R. Lanzzone, and K. Park, "Next generation fine pitch Cu Pillar technology—Enabling next generation silicon nodes", In 2011 IEEE 61st electronic components and technology conference (ECTC), 612-618 (2011).
27. M. Huang, O. G. Yeow, C. Y. Poo, and T. Jiang, "Intermetallic Formation of Copper Pillar With Sn–Ag–Cu for Flip-Chip-On-Module Packaging," in *IEEE Transactions on Components and Packaging Technologies*, 31(4), 767-775 (2008).
28. A. Yeo, W. F. Lam, and C. Lee, "Development of novel joint resistance modeling technique for flip chip interconnection systems", In 2006 Thirty-First IEEE/CPMT International Electronics Manufacturing Technology Symposium, 115-119 (2006).
29. K. M. Chen and T. S. Lin, "Copper pillar bump design optimization for lead free flip-chip packaging", *J. Mater. Sci.: Mater. Electron.*, 21(3), 278-284 (2010).
30. O. Y. Kwon, H. S. Jung, J. H. Lee, and S. H. Choa, "Numerical Analysis of Warpage Induced by Thermo-Compression Bonding Process of Cu Pillar Bump Flip Chip Package", *Trans. Korean Soc. Mech. Eng. A*, 41(6), 443-453 (2017).
31. Y. Orii, K. Toriyama, H. Noma, Y. Oyama, H. Nishiwaki, M. Ishida, T. Nishio, N. C. LaBianca, and C. Feger, "Ultrafine-pitch C2 flip chip interconnections with solder-capped Cu pillar bumps", In 2009 59th Electronic Components and Technology Conference, 948-953 (2009).
32. J. H. Lau, "Recent advances and trends in advanced packaging", *IEEE Trans. Compon. Packag. Manuf. Technol.*, 12(2), 228-252 (2022).
33. P. T. Lee, C. H. Chang, C. Y. Lee, Y. S. Wu, C. H. Yang, and C. E. Ho, "High-speed electrodeposition for Cu pillar fabrication and Cu pillar adhesion to an Ajinomoto build-up film (ABF)", *Mater. Des.*, 206, 109830 (2021).
34. H. Seo, H. Park, and S. E. Kim, "Cu-SiO₂ Hybrid Bonding", *J. Microelectron. Electron. Packag.*, 27(1), 17-24 (2020).
35. L. Sun, M. H. Chen, and L. Zhang, "Microstructure evolution and grain orientation of IMC in Cu-Sn TLP bonding solder joints", *J. Alloys Compd.*, 786, 677-687 (2019).
36. C. Zou, Y. Gao, B. Yang, and Q. Zhai, "Size-dependent melting properties of Sn nanoparticles by chemical reduction synthesis", *Trans. Nonferrous Met. Soc. China*, 20(2), 248-253 (2010).
37. R. Wu, X. Zhao, Y. Liu, "Atomic insights of Cu nanoparticles melting and sintering behavior in Cu-Cu direct bonding", *Mater. Des.*, 197, 1-8 (2021).
38. K. S. Kim, J. O. Bang, Y. H. Choa, S. B. Jung, "The characteristics of Cu nanopaste sintered by atmospheric-pressure plasma", *Microelectron. Eng.*, 107, 121-124 (2013).

39. J. J. Li, Q. Liang, T. L. Shi, J. Fan, B. Gong, C. Feng, J. Fan, G. Liao, and Z. Tang, "Design of Cu nanoaggregates composed of ultra-small Cu nanoparticles for Cu-Cu thermocompression bonding", *J. Alloys Compd.*, 772, 793-800 (2019).
40. P. Antoniammal and D. Arivuoli, "Size and Shape Dependence on Melting Temperature of Gallium Nitride Nanoparticles", *J. Nanomater.*, 2012(8), 1-12 (2012).
41. J. J. Ong, W. L. Chiu, O. H. Lee, C. W. Chiang, H. H. Chang, C. H. Wang, K. C. Shie, S. C. Yang, D. P. Tran, K. N. Tu, and C. Chen, "Low-Temperature Cu/SiO₂ Hybrid Bonding with Low Contact Resistance Using (111)-Oriented Cu Surfaces", *Mater.*, 15(5), 1888 (2022).
42. F. X. Che, H. M. Ji, H. Y. Li, and M. Kawano, "Wafer-to-wafer hybrid bonding development by advanced finite element modeling for 3-D IC packages", *IEEE Trans. Compon. Packag. Manuf. Technol.*, 10(12), 2106-2117 (2020).
43. G. Gao, L. Mirkarimi, T. Workman, G. Fountain, J. Theil, G. Guevara, P. Liu, B. Lee, P. Mrozek, M. Huynh, C. Rudolph, T. Werner, and A. Hanisch, "Low temperature Cu interconnect with chip to wafer hybrid bonding", In 2019 IEEE 69th Electronic Components and Technology Conference (ECTC), 628-635 (2019).
44. J. A. Theil, L. Mirkarimi, G. Fountain, G. Gao, and R. Katkar, "Recent developments in fine pitch wafer-to-wafer hybrid bonding with copper interconnect", In 2019 International Wafer Level Packaging Conference (IWLPC), 1-6 (2019).
45. D. Liu, P. C. Chen, C. K. Hsiung, S. Y. Huang, Y. P. Huang, S. Verhaverbeke, G. Mori, and K. -N. Chen, "Low temperature Cu/SiO₂ hybrid bonding with metal passivation", In 2020 IEEE Symposium on VLSI Technology, 1-2 (2020).
46. R. He, M. Fujino, A. Yamauchi, Y. Wang, and T. Suga, "Combined surface activated bonding technique for low-temperature Cu/dielectric hybrid bonding", *ECS J. Solid State Sci. Technol.*, 5(7), 419 (2016).
47. W. L. Chiu, O. H. Lee, C. W. Chiang, and H. H. Chang, "Low-Temperature Wafer-to-Wafer Hybrid Bonding by Nanocrystalline Copper", In 2022 IEEE 72nd Electronic Components and Technology Conference (ECTC), 679-684 (2022).
48. Y. Beilliard, S. Moreau, L. Di. Cioccio, P. Coudrain, G. Romano, A. Nowodzinski, F. Aussenac, P. . -h. Jouneau, E. Rolland, and T. Signamarcheix, "Advances toward reliable high density Cu-Cu interconnects by Cu-SiO₂ direct hybrid bonding", *Proceedings of International 3D Systems Integration Conference*, 1-8 (2014).
49. I. Panchenko, L. Wambara, M. Mueller, C. Rudolph, A. Hanisch, I. Bartussek, and M. J. Wolf, "Grain structure analysis of Cu/SiO₂ hybrid bond interconnects after reliability testing", In 2020 IEEE 8th Electronics System-Integration Technology Conference (ESTC), 1-7 (2020).



- 장예진
 - 서울시립대학교 신소재공학과
 - 반도체패키징, 마이크로접합
 - e-mail: yell9959@uos.ac.kr
-



- 정재필
 - 서울시립대학교 신소재공학과
 - 반도체패키징, 마이크로접합
 - e-mail: jujung@uos.ac.kr
-