

비정상 ECG 진단의 에너지 효율적인 재구성 가능한 가속을 위한 OpenCL 기반 FPGA-GPU 혼합 계층 적응 처리 알고리즘 할당

이동규¹ · 이승민² · 박대진^{3*}

Adaptive Processing Algorithm Allocation on OpenCL-based FPGA-GPU Hybrid Layer for Energy-Efficient Reconfigurable Acceleration of Abnormal ECG Diagnosis

Dongkyu Lee¹ · Seungmin Lee² · Daejin Park^{3*}

¹Ph D. Student, School of Electronic and Electrical Engineering, Kyungpook National University, Daegu, 41566 Korea

²Postdoctoral Researcher, School of Electronic and Electrical Engineering, Kyungpook National University, Daegu, 41566 Korea

^{3*}Associate Professor, School of Electronic and Electrical Engineering, Kyungpook National University, Daegu, 41566 Korea

요 약

Electrocardiogram (ECG) 신호는 심장의 이상을 조기에 진단하기 위한 좋은 지표이다. ECG 신호는 사람마다 기준이 되는 정상 신호의 형태가 다르고, 진단에 많은 데이터가 필요하다. 본 논문에서는 ECG 신호 진단을 효율적으로 가속하기 위한 OpenCL을 기반 FPGA-GPU 혼합 계층 적응형 플랫폼을 제안한다. 플랫폼에서 MIT-BIH 부정맥 신호 데이터의 19870개 ECG 신호를 진단한 결과 FPGA 가속기는 진단 시간이 1.15s로 소프트웨어로 실행했을 때보다 89.94% 감소하였고, 전력 소모는 84.0% 감소하였다. GPU 가속기는 실행 시간이 소프트웨어 대비 83.56% 감소한 1.87s였으며, 전력 소모는 62.3% 감소하였다. 제안하는 FPGA-GPU 혼합 플랫폼은 FPGA 가속기보다 진단 속도가 느리지만 GPU를 이용하여 상황에 따라 유연한 알고리즘을 동작할 수 있다.

ABSTRACT

The electrocardiogram (ECG) signal is a good indicator for early diagnosis of heart abnormalities. The ECG signal has a different reference normal signal for each person. And it requires lots of data to diagnosis. In this paper, we propose an adaptive OpenCL-based FPGA-GPU hybrid-layer platform to efficiently accelerate ECG signal diagnosis. As a result of diagnosing 19870 number of ECG signals of MIT-BIH arrhythmia database on the platform, the FPGA accelerator takes 1.15s, that the execution time was reduced by 89.94% and the power consumption was reduced by 84.0% compared to the software execution. The GPU accelerator takes 1.87s, that the execution time was reduced by 83.56% and the power consumption was reduced by 62.3% compared to the software execution. Although the proposed FPGA-GPU hybrid platform has a slower diagnostic speed than the FPGA accelerator, it can operate a flexible algorithm according to the situation by using the GPU.

키워드 : 심전도 진단, OpenCL, FPGA, GPU, 가속

Keywords : Electrocardiogram diagnosis, OpenCL, FPGA, GPU, Acceleration

Received 19 August 2021, Revised 24 August 2021, Accepted 6 September 2021

* Corresponding Author Daejin Park(E-mail: boltanut@knu.ac.kr, Tel:+82-53-950-5548)

Assistant Professor, School of Electronic and Electrical Engineering, Kyungpook National University, Daegu, 41566 Korea

Open Access <http://doi.org/10.6109/jkiice.2021.25.10.1279>

print ISSN: 2234-4772 online ISSN: 2288-4165

© This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서론

반도체 기술의 발전으로 하나의 장치가 수행할 수 있는 서비스의 개수는 점차 증가하고, 장치의 크기는 점차 작아지고 있다. 장치의 크기가 줄어들어 따라 주변 사물에 장치가 연결되어 통신하는 사물 인터넷 (Internet of things, IoT)를 넘어 사물에 지능이 부여되는 사물 지능 (Artificial intelligence of things, AIoT)으로 기술이 발달하고 있다 [1]. 헬스 케어는 사람 주변의 장치에서 의료 정보를 취득하고 분석하여 질병을 조기에 진단하는 분야로써 IoT에서 많은 연구가 이루어지고 있는 분야이다 [2].

Electrocardiogram (ECG) 신호 진단은 사람의 심장에서 발생하는 전기 신호를 분석하여 심장에서 발생하는 치명적인 이상을 조기에 발견할 수 있다. ECG 신호의 이상은 많은 정상 신호 사이에서 발생하는 비정상 신호 때문에 발생한다. 그러므로 ECG 진단을 위한 데이터는 대개 30분 이상의 큰 데이터인 경우가 많다. 또한, 사람에 따라 기준이 되는 정상 ECG 신호의 형태가 다르다 [3].

대용량 ECG 신호 진단은 많은 시간이 필요하다. 우리는 진단 가속기를 설계하여 진단 시간을 줄였다. 연산 가속은 Graphics processing unit (GPU)와 Field-programmable gate array (FPGA)를 주로 이용한다 [4, 5]. 이전 연구에서 FPGA를 이용하여 ECG 진단을 가속하였다 [6, 7]. FPGA는 프로그래밍 가능한 하드웨어로 연산이 매우 빠르고 연산을 하는데 사용하는 소비 전력이 적다. 그러나 FPGA 적재하기 위한 하드웨어 합성에 오랜 시간이 필요하여 제한된 연산만을 수행할 수 있다 [8]. 반면 GPU는 FPGA보다 연산 속도가 느리고 소모 전력이 크지만, 가속기의 동작을 실시간으로 적용할 수 있어 능동적으로 알고리즘을 변화시킬 수 있다. 본 논문에서는 대용량 신호 연산이 필요한 ECG 신호 진단에서 적은 에너지로 유연한 진단 가속을 할 수 있는 플랫폼을 제안한다.

II. ECG 진단 구조

본 장에서는 제안하는 진단 가속 알고리즘의 기반이 되는 ECG 진단 구조를 기술한다. 본 논문은 ECG 진단에서 제안하는 혼합 계층의 구조를 설계하고 계층하는

데 목적을 두므로 ECG 학습과 진단 알고리즘을 단순하게 설계하였다.

2.1. ECG 학습 알고리즘

사람의 심장에서 발생하는 데이터를 수집하는 ECG 신호는 대상이 되는 사람마다 기준이 되는 정상 심박이 다르다. 기존의 ECG 신호 진단 시스템은 합성곱 신경망 학습 또는 심층 신경망으로 학습한 대표 정상 심박을 기준으로 입력되는 ECG 데이터의 정상과 비정상을 판단한다. 긴 시간을 들여 신경망을 통해 학습한 대표 정상 심박은 사람마다 정밀도가 달라 진단에 문제가 발생할 수 있다. 우리는 대상마다 다른 대표 정상 심박과 정상 심박 사이의 오차를 줄이기 위해 가중 평균 학습 기반 템플릿 클러스터 학습을 채택하였다.

그림 1은 우리가 사용한 템플릿 클러스터 생성 알고리즘을 나타낸다. 템플릿 클러스터 알고리즘은 참조 신호 그룹 (Reference cluster) 학습 단계와 정상 및 비정상 템플릿 그룹 (Template cluster) 분류 단계로 나누어진다. 학습을 위한 ECG 신호는 R-peak를 중심으로 샘플링된다. 샘플링된 데이터는 이전 데이터로 학습된 참조 신호 그룹의 요소들과의 Pearson 상관계수 비교를 통해 유사도를 측정한다. 측정된 유사도가 Update threshold를 넘으면 상관계수가 가장 높은 요소를 가중 평균으로 업데이트한다. 유사도가 Update threshold를 넘지 않으면 신호를 참조 신호 그룹에 추가한다.

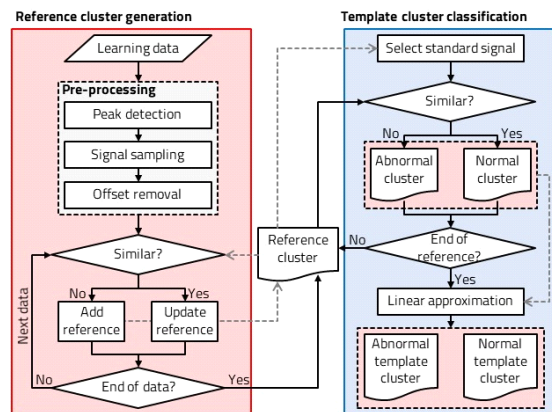


Fig. 1 Flow chart of the template cluster generation algorithm

학습된 참조 신호 그룹은 정상 신호와 비정상 신호가 혼재된 상태이다. ECG 신호는 대부분의 일정한 정상 신호 사이에 불규칙한 비정상 신호가 존재하므로 참조 신호 그룹의 데이터에서 가장 많은 누적치를 가지는 데이터를 기준 정상 신호로 선택한다. 템플릿 그룹 분류 단계에서는 기준 정상 신호와 참조 신호 그룹 요소와의 유사도를 비교하고 기준 정상 신호와 유사도가 높은 신호를 정상 신호, 유사도가 낮은 신호를 비정상 신호로 분류한다. 분류된 정상 및 비정상 신호 그룹은 샘플링된 데이터들의 집합으로 데이터의 크기가 크다. 각 신호 그룹들의 요소는 직선 근사화 기법을 이용하여 신호의 특징값을 추출하고 데이터를 압축한다 [9].

2.2. ECG 진단 알고리즘

학습 및 압축이 완료된 템플릿 그룹의 요소는 파형의 특징값 위치와 전위 값으로 이루어져 있다. 진단을 위해 입력된 데이터는 전처리를 통해 R-Peak를 중심으로 가공된다. 진단 알고리즘은 가공된 데이터에서 템플릿의 특징값과 같은 위치의 전위를 가져온다. 그림 2의 (a)와 (b)는 ECG 데이터에서 정상과 비정상으로 대표되는 신호이고, (c)와 (d)는 기준 정상 템플릿의 인덱스로 입력 받은 데이터를 가공한 그림이다.

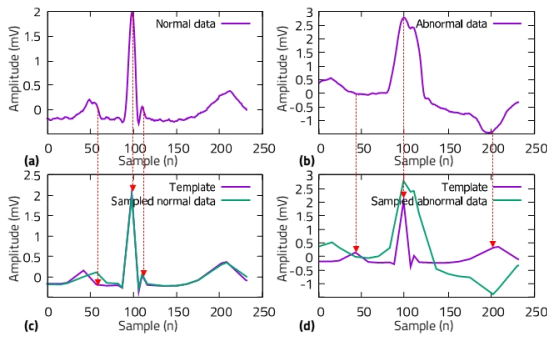


Fig. 2 (a,b) The example of normal/abnormal electrocardiogram signal and (c,d) sampled data by the reference normal template

우리는 전위 오차와 각도 오차의 유사도를 이용하여 정상 및 비정상 진단 알고리즘을 설계했다. 먼저 특징값의 위치별 전위 오차와 각도 오차를 제곱 합을 통해 전위 오차 합과 각도 오차 합을 계산한다. 정상 템플릿 그룹의 오차 합 평균이 비정상 템플릿 그룹의 오차 합 평

균보다 작을 때 입력된 ECG 신호는 정상으로 진단된다. 정상 템플릿 그룹의 오차 합 평균이 비정상 템플릿 그룹의 오차 합 평균보다 클 때 입력된 ECG 신호는 비정상으로 진단된다.

III. FPGA-GPU 혼합 계층 구조

본 논문은 IoT 서버에서 FPGA와 GPU 기반 가속기를 이용하여 에너지 효율적으로 대규모 ECG 신호를 진단하는 구조를 제안한다. OpenCL은 CPU, GPU, FPGA 등의 이기종 장치들을 이용하여 데이터를 병렬 처리하는 프로그램을 작성하는 도구이다. OpenCL은 하나의 프로그램에서 다양한 플랫폼의 장치를 함께 사용할 수 있다.

3.1. GPU 진단 구조

그림 3은 OpenCL 기반 GPU 가속 ECG 진단 시스템을 나타낸다. GPU 가속 시스템은 호스트 메모리, GPU 내부의 전역 메모리, 여러 개의 처리 장치로 구성되어 있다. 하나의 처리 장치는 여러 개의 처리 요소로 구성된다.

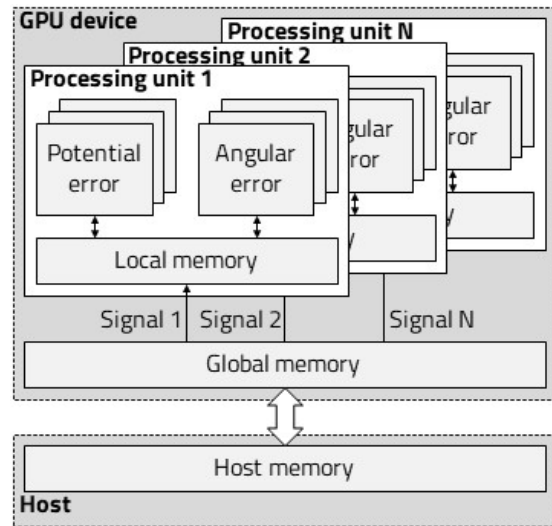


Fig. 3 OpenCL based electrocardiogram diagnosis system using GPU

학습된 정상 및 비정상 템플릿 그룹은 GPU 메모리에 적재되어 각 처리 장치에 연결된다. 진단을 위한 데이터는 호스트에서 전처리되어 일정한 개수의 신호로 묶어 전역 메모리로 전달된다. GPU는 전달된 ECG 신호에 각각 처리 장치를 할당한다. 각각의 처리 장치는 하나의 ECG 신호를 진단한다. 처리 장치의 처리 요소는 하나의 템플릿과 입력된 ECG 신호의 오차를 연산하고, 처리 장치가 여러 요소의 결과를 받아 ECG 신호를 진단한다.

3.2. FPGA 진단 구조

그림 4는 FPGA로 구성된 OpenCL 기반 ECG 진단 시스템을 나타낸다. FPGA는 GPU와 동일하게 OpenCL을 기반으로 동작하므로 같은 메모리 구조를 가진다. FPGA는 내부의 전역 메모리와 재구성 가능한 하드웨어 영역이 있다. 재구성 가능한 하드웨어 영역에는 가속에 필요한 진단 장치가 필요에 따라 합성된다. 진단을 위한 ECG 데이터는 호스트 메모리에서 전역 메모리로 전달되어 진단 장치에서 각각 처리된다.

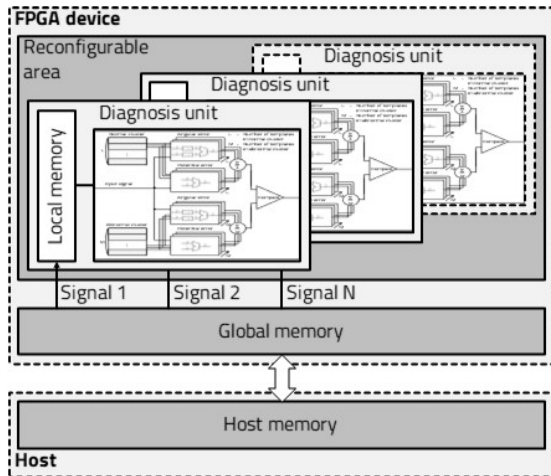


Fig. 4 OpenCL based electrocardiogram diagnosis system using FPGA

그림 5는 FPGA 내부의 진단 장치 구조를 나타낸다. 호스트에서 학습된 정상 및 비정상 템플릿 그룹은 진단 유닛에 적재된다. 각각의 템플릿들은 각도 오차 연산기와 전위 오차 연산기에 연결된다. 진단 장치에 입력된 ECG 신호는 연산기를 통과하며 정상 오차 평균과 비정상 오차 평균이 얻어진다. 정상 오차 평균과 비정상 오

차 평균의 비교 값은 전역 메모리에 저장되고, 호스트 프로그램은 저장된 데이터를 읽어 진단 결과를 출력한다. 우리는 Xilinx 사 Vitis 환경의 고수준 언어 합성 (High level synthesis) 툴을 통해 OpenCL C 언어 수준으로 설계된 FPGA를 합성하였다.

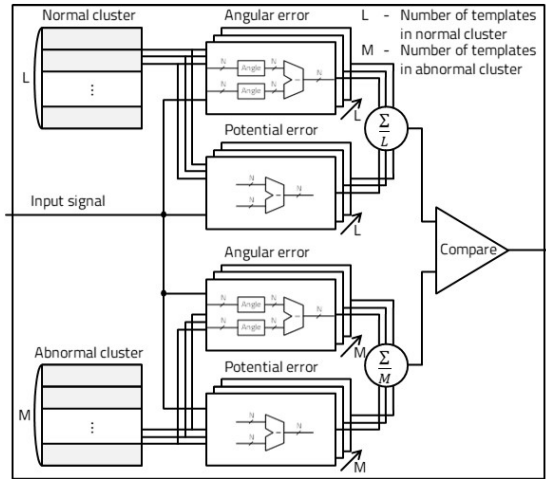


Fig. 5 Block diagram of the electrocardiogram diagnosis unit

3.3. FPGA-GPU Hybrid Layer

GPU를 사용한 진단 가속 시스템은 프로그램 실행에 많은 전력을 필요로 하지만 소프트웨어와의 호환성이 높아 다양한 상황에 대처할 수 있다. FPGA를 사용한 진단 가속 시스템은 진단에 필요한 전력 소모가 적지만 합성된 하드웨어의 실시간 변형이 어렵다. 우리는 GPU의 소프트웨어 호환성과 FPGA의 저전력 특성을 이용하여 효율적으로 ECG 신호를 진단하는 시스템을 제안하였다.

그림 6은 본 논문에서 제안하는 FPGA-GPU 협동 ECG 진단 시스템을 나타낸다. 처음 입력된 ECG 신호는 GPU를 이용하여 진단을 가속한다. 일정 크기의 데이터를 처리한 후 비정상적으로 진단된 심박의 비율이 낮을 때 다음 데이터를 FPGA로 전달하여 전력 소모를 최소화하며 진단을 가속한다. 비정상적으로 진단된 심박의 비율이 높을 때, ECG 데이터는 GPU로 전달되어 진단과 함께 비정상 심박의 종류 분석 등의 추가적인 알고리즘을 수행한다.

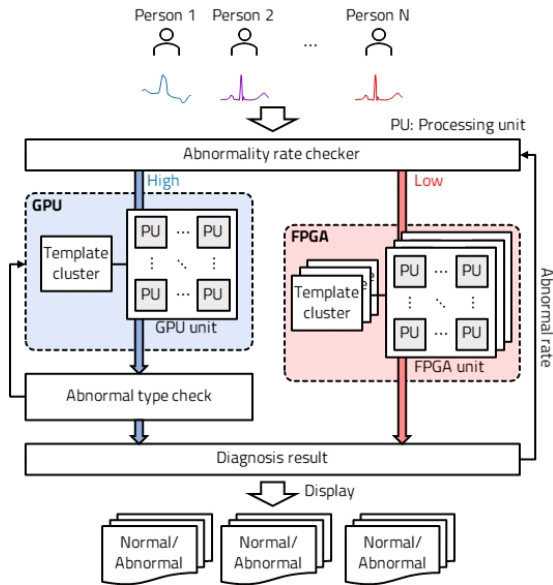


Fig. 6 FPGA-GPU hybrid electrocardiogram diagnosis system

IV. 구현 및 실험

본 장에서는 OpenCL을 기반으로 GPU와 FPGA를 이용한 ECG 신호 진단 가속기를 설계하고, 진단 상황에 따라 GPU와 FPGA 가속을 선택하는 플랫폼을 구현한다. 또한, 구현한 플랫폼을 실행 시간과 소모 전력 관점에서 결과를 분석한다.

4.1. OpenCL 기반 플랫폼 구현

우리는 NVIDIA GeForce GTX 1660 GPU와 Xilinx Alveo U200 FPGA, Intel Xeon Bronze 3204 CPU 기반 서버를 이용하여 그림 7과 같은 OpenCL 기반 가속 플랫폼을 구현하였다. 표 1은 사용한 GPU와 FPGA의 내장 메모리 성능 및 전력 소모를 나타낸다. GTX 1660 GPU는 6 GB의 메모리를 가지며 평균 정적 소비 전력은 10 W, 평균 동적 소비 전력은 110 W이다. Alveo U200 FPGA는 3 개의 super logic region (SLR)로 이루어져 있으며 SLR은 각각 16 GB, 32 GB, 16 GB의 메모리를 가진다. 전체 Alveo FPGA의 정적 소비 전력은 약 50 W이고 5%의 lookup table (LUT) 사용량일 때 140 W의 전력을 소비한다 [10]. GPU의 메모리 대역폭은 192.1 GB/s

로 FPGA의 메모리 대역폭인 77 GB/s보다 커 데이터 전송이 많을 때 유리하다.

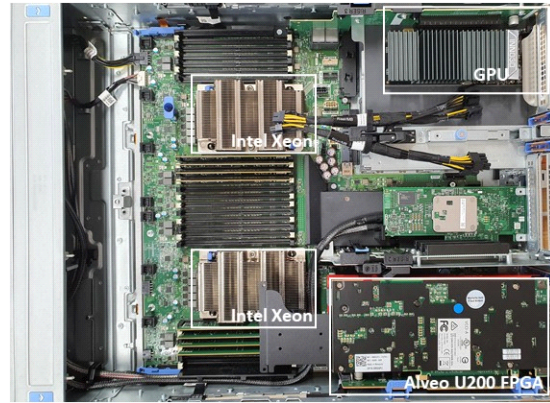


Fig. 7 OpenCL-based FPGA-GPU hybrid server environment

Table. 1 Specification of NVIDIA GTX 1660 GPU and Xilinx Alveo U200 FPGA

Device	GPU	FPGA
Memory size	6 GB	64 GB
Memory bandwidth	192.1 GB/s	77 GB/s
Maximum total power	120 W	225 W

그림 8은 OpenCL로 구현한 GPU와 FPGA 합동 계층 가속 알고리즘을 나타낸다. OpenCL은 플랫폼과 장치를 이용하여 호스트에 설치된 여러 장치를 제어할 수 있다. 먼저 호스트에서 접근할 수 있는 NVIDIA 플랫폼의 GTX 1660 GPU 장치와 Xilinx 플랫폼의 Alveo FPGA 장치 정보를 가져온 후 장치를 제어하기 위한 컨텍스트와 명령어 큐를 각각 설정한다. GPU와 FPGA의 동작을 위한 명령어는 각 장치에 할당된 명령어 큐에 쌓인 뒤 순차적으로 실행된다.

프로그램은 장치에 적재되어 실행될 동작을 나타낸다. GPU는 OpenCL C 언어로 작성된 소스 코드의 형태로 프로그램이 제공되고, FPGA는 호스트 실행 전 미리 합성된 하드웨어 바이너리로 프로그램이 제공된다. 하드웨어 바이너리는 C/C++로 기술된 하드웨어를 high level synthesis (HLS) 컴파일러로 합성하거나 Verilog 등의 hardware description language (HDL) 언어로 기술된 하드웨어를 합성하여 만든다. GPU의 프로그램은 호스트에서 실시간으로 빌드되어 OpenCL 라이브러리에

서 실행할 수 있는 형태로 변환된다.

GPU와 FPGA 프로그램은 장치에서 실행할 수 있는 커널로 생성된다. GPU-FPGA 혼합 계층 ECG 진단 플랫폼에서는 GPU와 FPGA에서 진단한 결과에서 비정상 심박의 개수를 측정하고, 비율에 따라 다음 데이터를 GPU에서 가속할 것인지 FPGA에서 가속할 것인지를 결정한다. 비정상 심박의 비율이 낮을 때 FPGA 커널에 데이터를 전송하여 빠른 속도로 진단한다. 비정상 심박의 비율이 높으면 GPU에 데이터를 전송하여 심박을 진단하며 비정상 심박의 데이터 종류를 판별하기 위한 알고리즘을 함께 실행한다.

```

1  $D_x$  : GPU or FPGA device
2  $C_x$  : context of GPU/FPGA
3  $P_x$  : program of GPU/FPGA
4  $S_g$  : kernel source code for GPU
5  $B_f$  : hardware binary for FPGA
6  $K_x$  : kernel of GPU/FPGA
7  $F_x$  : function of GPU/FPGA
8  $R_{ab}$  : number of abnormal beat
9  $R_{th}$  : threshold of the abnormal beat rate

10 % Set acceleration platform
11  $\{D_g, D_f\} = \text{get\_device}(\text{"NVIDIA"}, \text{"Xilinx"})$ 
12  $\{C_g, C_f\} = \text{set\_context}(D_g, D_f)$ 
13  $\{P_g, P_f\} = \text{set\_program}(\{C_g, S_g\}, \{C_f, B_f\})$ 
14  $\text{build\_source}(P_g)$ 
15  $\{K_g, K_f\} = \text{set\_kernel}(\{P_g, F_g\}, \{P_f, F_f\})$ 

16  $R_{ab} = R_{th}$ 
17 while data is inserted do
18     if  $R_{ab} < R_{th}$  then
19         send_data_to( $K_f$ )
20         result = execute( $K_f$ )
21     else
22         send_data_to( $K_g$ )
23         result = execute( $K_g$ )
24         check abnormal type
25      $R_{ab} = \text{count\_abnormal\_beat}(\text{result})$ 
    
```

Fig. 8 Algorithm of the proposed OpenCL based platform

4.2. ECG 데이터 기반 실험

우리는 MIT-BIH 부정맥 데이터베이스를 이용하여 제안한 플랫폼에서 GPU 기반 가속, FPGA 기반 가속 시스템을 실험하고, 혼합 플랫폼에서의 진단 가속을 실행해 보았다 [11]. 우리는 10명의 ECG 심박 데이터를 학습하고 진단하였다. 전체 ECG 데이터는 19870개의 정상 및 비정상 심박으로 구성된다. 그림 9는 제안한 플랫폼

에서 10명의 ECG 데이터를 CPU, GPU, FPGA를 이용하여 진단할 때 필요한 시간을 나타낸다.

ECG 데이터를 가속하지 않고 소프트웨어로 진단하면 평균 11.4 s의 시간이 걸린다. GPU를 이용하여 진단을 가속하면 평균 1.87 s의 시간이 걸려 실행 시간이 소프트웨어 실행보다 83.56% 감소하였다. FPGA를 이용한 진단 가속은 평균 1.15 s의 시간이 걸려 실행 시간이 소프트웨어 실행보다 89.94% 감소하였다.

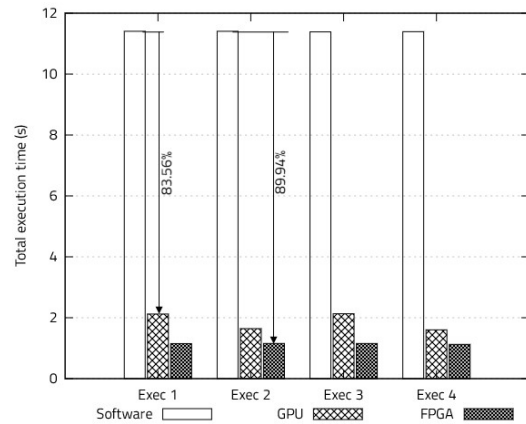


Fig. 9 Execution time of ECG diagnosis with software, GPU and FPGA

우리는 실험 결과로 얻은 실행 시간과 CPU, GPU, FPGA 각각의 동적 전력 소모량을 이용하여 진단에 필요한 전력 소모를 예측하였다. Xeon Bronze 3204 CPU와 GTX 1660 GPU는 85W와 110W의 동적 전력 소모량을 가진다. 본 논문에서 설계한 ECG 진단 하드웨어는 Alveo U200 FPGA의 look-up table (LUT)을 약 0.03% 사용하였다. 그러므로 FPGA의 동적 소모 전력을 50W로 가정한다.

그림 10은 ECG 진단 알고리즘을 실행할 때 필요한 전력 소모를 수식 1을 통해 예측한 그래프이다. 총 소모 전력량은 동적 소모 전력과 진단에 걸린 시간의 곱이다. GPU와 FPGA는 OpenCL을 통해 CPU와 함께 동작하므로 동적 소모 전력에 CPU의 소모 전력을 더해 예측한다. 예측 결과 GPU를 사용할 때 소모 전력량은 CPU를 사용할 때 소모 전력보다 62.3% 감소하였고, FPGA를 사용할 때에는 소모 전력량이 CPU 대비 84.0% 감소하였다.

$$E_{ACC} = (P_{CPU} + P_{ACC}) \times t_{ACC} \quad (1)$$

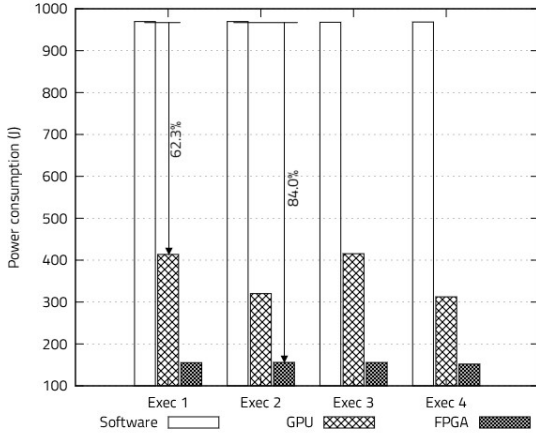


Fig. 10 Power consumption of ECG diagnosis with software, GPU and FPGA

식 2는 비정상 신호의 비율이 R_{ab} 인 ECG 신호를 진단할 때 FPGA-GPU 혼합 계층의 전력 소모를 예측한 식이다. 정상 신호는 FPGA에서 실행되고, 비정상 신호는 GPU에서 실행된다. 비정상 신호의 비율이 10%라고 가정할 때 전체 실행 시간 중 FPGA에서 실행되는 시간은 1.15 s의 90%인 1.035 s이고, GPU에서 실행되는 시간은 1.87 s의 10%인 0.187 s이다. FPGA와 GPU에서 실행되는 시간에 각각 소모하는 전력을 곱하면 전체 소모 전력량을 예측할 수 있다. 식으로 예측한 소모 전력량은 176.19 J로 FPGA의 소모 전력량인 154.72 J보다 13.9% 증가하였고, GPU의 소모 전력량인 365.43 J보다 51.8% 감소하였다.

$$E_{total} = P_{FPGA} \times (1 - R_{ab}) \times t_{FPGA} + P_{GPU} \times R_{ab} \times t_{GPU} \quad (2)$$

V. 결론

본 논문은 대용량 데이터가 발생하는 ECG 진단 알고리즘을 GPU와 FPGA를 이용하여 에너지 효율적으로 가속하는 플랫폼을 제안한다. 제안한 플랫폼은 OpenCL을 기반으로 설계되어 GPU와 FPGA를 하나의 호스트에서 사용할 수 있다. 플랫폼에 구현된 FPGA 기반 ECG

가속기는 19870개의 ECG 신호를 진단하는 데 평균 1.15 s의 시간이 걸렸다. GPU 기반 ECG 가속기는 19870개의 ECG 신호를 진단하는 데 평균 1.87 s의 시간이 걸렸다.

FPGA 기반 ECG 가속기는 빠른 실행 속도로 적은 에너지로 ECG 진단을 가속할 수 있다. 하지만 하드웨어 합성에 많은 시간이 필요하므로 고정된 기능만을 사용할 수 있다. 반면 GPU 기반 ECG 가속기는 FPGA 가속기보다 진단 속도가 느려 소비 전력이 크다. 비정상 신호의 비율이 10%일 때 제안하는 플랫폼의 전력 소모량은 176.19 J로 FPGA의 소모 전력량인 154.72 J보다 13.9% 증가하였다.

GPU 가속기는 FPGA보다 메모리 대역폭이 커 데이터 전송이 많을 때 유리하다. 또한, 호스트에서 실시간으로 GPU 코드를 빌드하기 때문에 필요에 따라 GPU 코드를 변경할 수 있다. FPGA와 GPU를 함께 사용하는 플랫폼은 FPGA로만 이루어진 가속 플랫폼보다 13.9%의 전력 소모가 증가하지만 GPU를 통해 다양한 상황에서의 가속 및 변화하는 알고리즘을 적용할 수 있다. 제안한 플랫폼은 빠른 속도를 가지는 FPGA와 유연한 동작을 구현할 수 있는 GPU를 OpenCL로 결합해 적응형 진단 가속 시스템의 기반을 다진다.

ACKNOWLEDGEMENT

This study was supported by the BK21 FOUR project funded by the Ministry of Education, Korea (4199990113966, 10%), Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Science and ICT (NRF-2019R1A2C2005099, 10%), and Ministry of Education (NRF-2018R1A6A1A03025109, 10%, NRF-2020R111A1A01072343, 10%). This work was partly supported by Institute of Information & communications Technology Planning & Evaluation (IITP) grant funded by the Korea government (MSIT) (No. 2021-0-00944, Metamorphic approach of unstructured validation/verification for analyzing binary code, 60%)

REFERENCES

[1] A. Ghosh, D. Chakraborty, and A. Law, "Artificial intelligence in internet of things," *CAAI Transactions on Intelligence Technology*, vol. 3, no. 4, pp. 208-218, 2018.

[2] Y. A. Qadri, A. Nauman, Y. B. Zikria, A. V. Vasilakos, and S. W. Kim, "The future of healthcare internet of things: A survey of emerging technologies," in *IEEE Communications Surveys & Tutorials*, vol. 22, no. 2, pp. 1121-1167, 2020.

[3] H. Kim, R. F. Yazicioglu, T. Torfs, P. Merken, H. Yoo, and C. V. Hoof, "A low power ECG signal processor for ambulatory arrhythmia monitoring system," *2010 Symposium on VLSI Circuits*, pp. 19-20, 2010.

[4] C. Phaudphut, C. So-In, and W. Phusomsai, "A parallel probabilistic neural network ECG recognition architecture over GPU platforms," *2016 13th International Joint Conference on Computer Science and Software Engineering (JCSSE)*, pp. 1-7, 2016.

[5] D. Lee, H. Moon, S. Oh, and D. Park, "mIoT: metamorphic IoT platform for on-demand hardware replacement in large-scaled IoT applications," *IEEE Sensors 20*, no. 12, pp. 3337, 2020.

[6] D. Lee, S. Lee, and D. Park, "FPGA-based cloudification of ECG signal diagnosis acceleration," in *The 12th International Conference on Ubiquitous and Future Networks (ICUFN)*, 2021.

[7] D. Lee, S. Lee, S. Oh, and D. Park, "Energy-efficient FPGA accelerator with fidelity-controllable sliding-region signal processing unit for abnormal ECG diagnosis on IoT edge device," in *IEEE Access*, 2021.

[8] D. Lee and D. Park, "Hardware and software co-design platform for energy-efficient FPGA Accelerator Design," *Journal of the Korea Institute of Information and Communication Engineering*, vol. 25, no. 1, pp. 20-26, 2021.

[9] S. Lee, Y. Jeong, J. Kwak, D. Park, and K. H. Park, "Advanced real-time dynamic programming in the polygonal approximation of ECG signals for a lightweight embedded device," in *IEEE Access*, vol. 7, pp. 162850-162861, 2019.

[10] K. Matas, T. La, N. Grunchevski, K. Pham, and D. Koch, "Invited tutorial: FPGA hardware security for datacenters and beyond," in *Proceedings of the 2020 ACM/SIGDA International Symposium on Field-Programmable Gate Arrays*, pp. 11-20, 2020.

[11] G. B. Moody and R. G. Mark, "The MIT-BIH arrhythmia database on cd-rom and software for use with it," in *IEEE Proceedings Computers in Cardiology*, pp. 185-188, 1990.



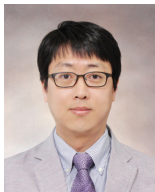
이동규(Dongkyu Lee)

2018년: 경북대학교 전자공학부 학사
 2018년~현재: 경북대학교 전자전기공학부 석박사통합과정
 ※관심분야: 고성능 SoC 설계, 하드웨어-소프트웨어 Co-design



이승민(Seungmin Lee)

2010년: 경북대학교 수학과 이학사
 2012년: 경북대학교 수학과 이학석사
 2018년: 경북대학교 전자공학부 공학박사
 2018년~현재: 경북대학교 박사후연구원
 ※관심분야: 생체신호 처리, 영상신호 처리, 패턴인식



박대진(Daejin Park)

2001년: 경북대학교 전자전기공학부 학사
 2003년: KAIST 전기 및 전자공학과 석사
 2014년: KAIST 전기 및 전자공학과 박사
 2003년~2014년: SK Hynix/ Samsung (차세대 LSI 설계) 수석연구원
 2014년~2016년: 경북대학교 전자공학부 연구조교수 (2014년 대통령 Postdoctoral Fellow 선정)
 2016년~현재: 경북대학교 전자전기공학부 조교수
 ※관심분야: 저전력 SoC 설계, 하드웨어-소프트웨어 Co-design, Dependable 스마트 IoT 시스템, Robust 임베디드 시스템