

# 탄소나노튜브 밀도를 고려한 CNTFET SRAM

## 디자인 방법에 관한 연구

### A Study on the Circuit Design Method of CNTFET SRAM Considering Carbon Nanotube Density

조근호\*

Geunho Cho\*

#### Abstract

Although CNTFETs have attracted great attention due to their ability to increase semiconductor device performance by about 13 times, the commercialization of CNTFETs has been challenging because of the immature deposition process of CNTs. To overcome these difficulties, circuit design method considering the known limitations of the CNTFET manufacturing process is receiving increasing attention. SRAM is a major element constituting microprocessor and is regularly and repeatedly positioned in the cache memory; so, it has the advantage that CNTs can be more easily and densely deposited in SRAM than other circuit blocks. In order to take these advantages, this paper presents a circuit design method for SRAM cells considering CNT density and then evaluates its performance improvement using HSPICE simulation. As a result of simulation, it is found that when CNTFET is applied to SRAM, the gate width can be reduced by about 1.7 times and the read speed also can be improved by about 2 times when the CNT density was increased in the same gate width.

#### 요약

CNTFET은 기존 반도체 소자의 성능을 약 13배 향상시킬 수 있어 큰 관심을 받아 왔지만, CNT를 일정하게 배치시키는 공정의 미성숙으로 인해 상용화에 어려움을 겪어 왔다. 이러한 어려움을 극복하기 위해, 그동안 알려진 CNTFET 공정상 한계를 고려한 회로 디자인 방법이 점점 높은 관심을 받고 있다. SRAM은 마이크로프로세서를 구성하는 주요 요소로서 캐시 메모리 안에 규칙적으로 그리고 반복적으로 배치되어 있어, SRAM 안의 CNT는 다른 회로 블록에 비해 보다 쉽게 그리고 고밀도로 배치될 수 있는 장점이 있다. 이러한 장점을 활용하기 위해, 본 논문에서는 CNT 밀도를 고려한 SRAM 셀의 회로 디자인 방법을 소개하고 그 성능 향상 정도를 HSPICE 시뮬레이션으로 검토하고자 한다. 시뮬레이션 결과, SRAM에 CNTFET을 적용할 경우, gate width를 약 1.7배 줄일 수 있음을 발견하였으며, 동일한 gate width에서 CNT 밀도를 높였을 경우, 읽기 속도 또한 약 2배 정도 향상될 수 있음을 알 수 있었다.

*Key words : SRAM, CNTFET, CNT, CNT Density, Digital Circuit*

\* Assistant Professor, Department of Electronic Engineering, Seokyeong University

★ Corresponding author

E-mail : choroot@skuniv.ac.kr, Tel : +82-2-940-7730

※ Acknowledgment

This Research was supported by Seokyeong University in 2021

The EDA tool was supported by the IC Design Education Center(IDECE), Korea

Manuscript received Sep. 2, 2021; revised Sep.24, 2021; accepted Sep. 27, 2021.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

## I. 서론

최근(2021년 5월) 미국의 반도체 벤처 기업 Nantero는 일본 후지쓰와 함께 CNT(Carbon Nano-Tube)를 활용한 NRAM을 공개했다. Nantero는 NRAM이 DRAM만큼 빠르고 밀도가 높으며, 플래시와 같이 비휘발성인 특징을 가지고 있고, 대기 모드에서 전력 소비가 0에 가까운 동시에, 비트당 쓰기 에너지가 플래시보다 약 160배 낮다고 주장한다. 더욱이, NRAM은 가혹한 환경(최대 300°C의 열, 저온, 자기, 방사선, 진동 등)에 대한 높은 내성을 가지고 있고, 제작 공정에 있어 기존 CMOS 팹(Fab)을 활용할 수 있으며, 5nm 미만까지 제작이 가능한 특징을 가지고 있다고 알려져 있어 차세대 메모리 후보 중 하나로 관심을 받고 있다[1][2].

인류에게 가장 단단한 재료 중 하나로 알려진 CNT는 차세대 초고속, 초고밀도, 그리고 초저전력 반도체를 제작하는데 필요한 구조적 그리고 전기적 특성을 가지고 있어, CNT를 반도체 소자에 활용하고자 하는 연구가 꾸준히 이어져 왔다. 특히, 반도체 소자의 소스(source)와 드레인(drain) 사이에 CNT를 배치하여 CNTFET(Carbon Nano Tube Field Effect Transistor)를 만들면, 반도체 소자의 성능을  $CV/I$  측면에서 약 13배의 성능 향상을 구현할 수 있다고 알려져 있어, CNTFET을 활용한 회로 디자인에 대한 연구가 활발히 진행되어 왔으며, 최근 CNTFET으로 Intel 4004 마이크로프로세서까지 회로 복잡도를 향상시키는데 성공하였다. 하지만, CNT의 밀도, 즉, CNTFET 안에 좁은 간격으로 많은 수의 CNT를 나란히 배치하는 공정이나 누설 전류를 제어하는 공정이 충분히 성숙되지 않아, CNTFET을 활용한 상용화 칩 제작에 어려움을 겪고 있다. 이러한 상황에서 앞선 언급한 NRAM은 CNT를 적용한 반도체 칩으로서 그 상용화 가능성이 높아 현재 사람들의 관심을 받고 있다 [3]-[7].

CNT를 포함한 회로의 상용화가 어려운 주된 이유 중 하나는, 회로의 성능을 향상시키기 위해 CNT 밀도를 올렸을 경우, CNT를 나란히 배치시키기 어려워져 잘못된 CNT 배치로 인해 회로 오동작이 생길 가능성이 높아질 수 있기 때문이다. 따라서, CNTFET 회로 디자인에 있어, CNT의 밀도를 정할 때는 CNTFET 회로의 성능을 확실히

올릴 수 있는 만큼 그 밀도를 올려 CNT 배치로 인한 오류 가능성을 최소화 할 필요가 있다.

이를 위해 본 논문에서는 CNT 밀도에 따른 CNTFET 6T SRAM 셀의 회로 디자인 방법과 그 성능 향상 정도를 검토해 보고자 한다. 6T SRAM 셀을 선택한 이유는 다른 회로 블록에 비해 상대적으로 적은 수의 트랜지스터가 들어가 있고, 즉, 배치해야 할 CNT의 수가 적고, 마이크로프로세서 안에서 규칙적으로 배치되어 캐시 메모리(Cache Memory)를 구성하기 때문에 앞서 언급한 CNT 배치에 있어서 유리한 구조를 가지고 있기 때문이다. 본 논문에서는 CNT 밀도에 따른 SRAM 셀의 성능 향상 정도를 비교하기 위해, 같은 gate length를 갖는 MOSFET SRAM 셀과 그 성능을 비교하고자 한다. 이를 위해, 오랫동안 MOSFET과 CNTFET 회로의 성능 비교에 사용되었던 32nm MOSFET 라이브러리 파일과 32nm CNFET 라이브러리 파일[8][9]을 사용하고자 한다.

## II. 본론

### 1. CNTFET

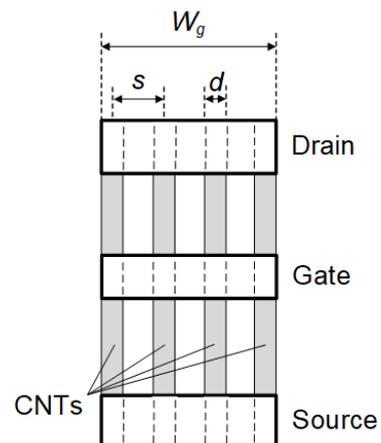


Fig. 1. CNTFET Structure.

그림 1. CNTFET 구조

CNTFET은 그림 1과 같이 소스와 드레인 사이에 전도성이 매우 좋은 CNT를 배치하여 그 성능을 향상시키는 구조를 가지고 있다. 하지만, 그림 2의 (a)와 같이 일반적으로 CNT를 나란히 배치하는데 어려움이 있어서, 그림 2의 (f)와 같은 CNT 기반 CNTFET 회로를 만들기 위해서는 그림 2의 (b)~(e)에 해당하는 공정 과정이 필요하다. 이러한

공정은 일반적인 반도체 공정과는 다른 복잡한 그리고 추가적인 공정으로서, 구현하고자 하는 회로의 복잡도가 높아질수록 더 정교하고 많은 공정을 요구할 수 있기 때문에 CNTFET을 상용화하는데 있어 어려움으로 작용하고 있다[3]-[5].

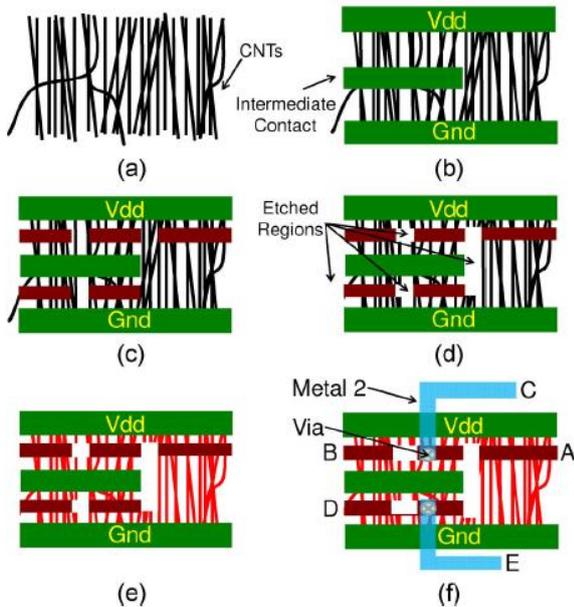


Fig. 2. CNTFET Manufacturing Process [5].  
그림 2. CNTFET 제조 공정 [5]

일반적으로, 그림 1과 같이 CNT는 소스와 드레인 사이의 전류 통로로 사용되기 때문에 CNT 밀도를 올리면, CNTFET의 전류량은 증가하여 회로의 성능을 향상시킬 수 있는 가능성이 높아지지만, 동시에, CNT를 나란히 배치시키기 어려워, 그림 2의 (c)와 같이 CNT의 잘못된 배치로 인해 회로 오동작이 생길 수 있는 가능성 역시 높아질 수 있다. 더욱이, CNT 수가 늘어날수록 CNTFET의 gate capacitance 역시 동시에 증가하기 때문에 CNT 밀도 증가에 따른 회로 성능 향상은 최종적으로 회로 시뮬레이션을 통해 검증되어야 한다.

따라서, CNTFET 회로 디자인이 성공하기 위해서는 CNT의 밀도를 올릴 때, CNTFET 회로의 성능을 확실히 향상시킬 수 있는 만큼 그 밀도를 올려, CNT 배치로 인한 오류 가능성과 gate capacitance 증가로 인한 회로 성능 저하를 최소화 할 필요가 있으며, 전체 회로 패턴에 있어서 상대적으로 그 패턴이 단순하고 반복되는 특성을 가지고 있는 회로 블록에 CNTFET을 적용하여 CNT 배치로 인한 오류를 최소화 할 필요가 있다. 그 대표적인 회로

블록 중 하나가 바로 캐시 메모리(Cache Memory)이다.

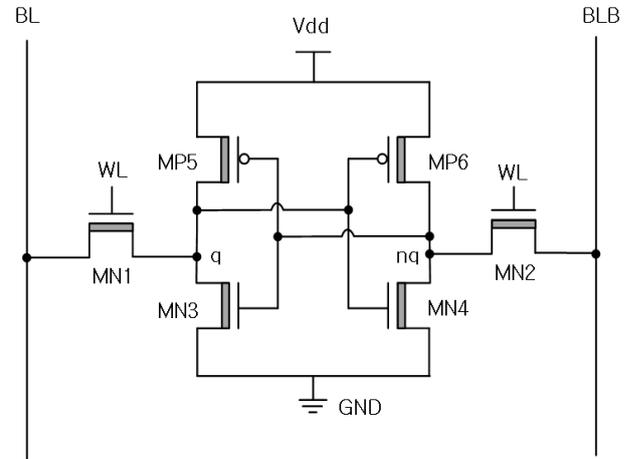


Fig. 3. SRAM Cell.  
그림 3. SRAM 셀

캐시 메모리(Cache Memory)는 CPU와 메인 메모리간의 데이터 속도 향상을 위해 중간 버퍼 역할을 하는 메모리로서 그 속도가 일반적인 다른 DRAM이나 저장장치(e.g. HDD)보다 매우 빠른 특징을 가지고 있으며, SRAM 셀이 규칙적으로 그리고 고밀도로 배치되어 있는 구조를 가지고 있다. SRAM 셀에는 다양한 종류가 있지만 대표적으로 그림 3과 같이 4개의 NMOS와 2개의 PMOS로 구성 6T SRAM이 있으며, SRAM 셀의 규칙적인 그리고 반복적인 배치는 CNT의 배치를 용이하게 하여 CNT의 밀도를 증가시킬 수 있는 가능성을 높여주게 된다. 따라서, 본 논문에서는 CNT 밀도에 따른 SRAM 셀 디자인 방법을 제안하고 그 성능 향상 정도를 HSPICE 시뮬레이션을 통해 검증해 보고자 한다. 본 연구에서 SRAM 셀에 일반적인 MOSFET이 아닌 CNT가 포함된 반도체 소자를 사용한다는 점을 나타내기 위해 그림 3의 각 반도체 소자에는 회색 부분을 추가하였다.

2. CNTFET SRAM 디자인 방법

6T SRAM의 기본 구조는 그림 3과 같으며, 4개의 NMOS는 MN1, MN2, MN3, 그리고 MN4로 명명되었고, 2개의 PMOS는 MP5와 MP6로 각각 명명 되었다. SRAM 셀을 구성하고 있는 이러한 반도체 소자의 크기는 일반적으로 고정된 gate length (본 논문에서는 32nm)에 대한 gate width의 비율

로 결정된다. 예를 들어, gate width/gate length의 비율이 1.5배 또는 2배 등으로 결정되면 gate width는 48nm 또는 64nm가 된다.

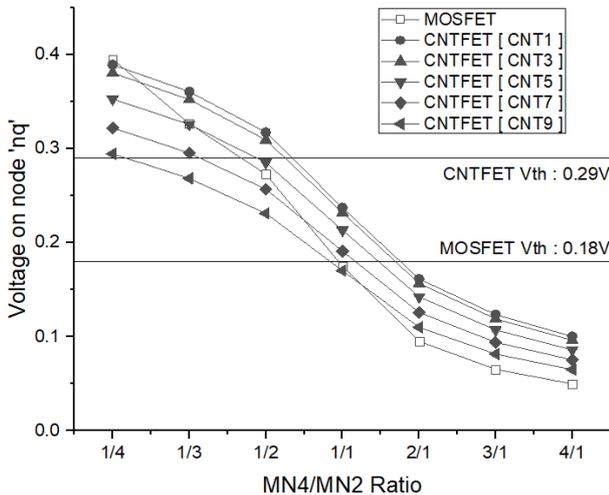


Fig. 4. Voltage on node 'nq' depending on MN4/MN2 Ratio. 그림 4. MN4/MN2 비율에 따른 'nq' 노드 전압

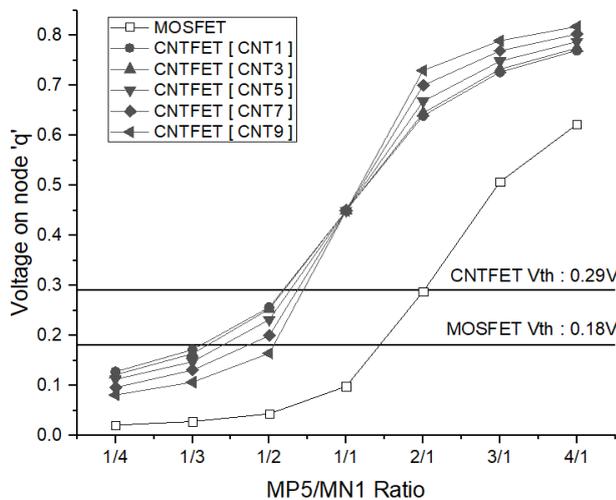


Fig. 5. Voltage on node 'q' depending on MP5/MN1 Ratio. 그림 5. MP5/MN1 비율에 따른 'q' 노드 전압

이러한 비율을 논하는데 있어, 일반적으로 MOSFET은 앞서 언급한 바와 같이 gate width /gate length 비율을 1.5배 그리고 2배 등으로 자유롭게 결정할 수 있으나, CNTFET은 그림 1과 같이 반도체 소자 안에 CNT가 배치되어 있기 때문에, 만약 gate width/gate length 비율이 정수가 아닌 경우, 예를 들어 0.5인 경우, CNTFET 안에 있는 CNT 수를 정하는데 어려움이 생길 수 있다. 즉, 32nm gate width 안에 3개의 CNT가 일정한 간격으로 배치되

어 있는 경우, gate width를 16nm로 디자인해야 할 때, CNT 수를 2개로 해야 할지, 아니면 1개로 해야 할지 결정하기 어려워질 수 있다. 이러한 고민은 다양한 CNT 밀도를 고려할수록 더욱 복잡해질 수 있기 때문에, 본 논문에서는 gate width/gate length를 논할 때, 그 비율을 1, 2, 그리고 3과 같이 정수만 고려하고자 한다.

CNT 밀도의 변화에 따른 CNTFET 6T SRAM 디자인 방법을 논하기 위해 본 논문에서는 우선 기존 디자인 방법([10][11][12])을 기반으로 CNT 밀도에 따른 설계 요소의 변화를 정리해 나갈 예정이다. 6T SRAM 셀을 디자인하기 위해서는, 우선, 그림 3에 있는 반도체 소자의 비율, 즉, MN4/MN2 및 MP5/MN1를 최적화해야 한다. 읽기 동작 중에 노드 'nq'의 전압 값은 MN4/MN2의 비율에 따라 그림 4와 같이 변하며, 읽기 동작 중에 SRAM 셀에 저장된 값을 변화시키지 않도록 'nq'값을 반도체 소자 임계 전압 값보다 낮게 설정해야 한다. 참고로, 본 연구에서 사용하는 MOSFET 모델의 임계 전압 값은 0.18V이고 CNTFET의 임계 전압 값은 0.29V이며, 이 값들은 그림 4와 그림 5에 표시하였다. 다음으로, 쓰기 동작 중에 노드 'q'의 전압 값은 MP5/MN1의 비율에 따라 그림 5와 같이 변하며, 쓰기 동작 중에 SRAM 셀에 저장된 값이 변할 수 있도록 'q'의 전압 값은 반도체 소자의 임계 전압 값보다 높게 설정해야 한다. 이러한 디자인 방법을 CNT 밀도를 고려한 CNTFET SRAM 셀 디자인 방법에 적용하기 위해, 본 논문에서는 그림 4 그리고 그림 5와 같은 시뮬레이션 검토를 CNTFET SRAM 셀에 진행하는데 있어 CNT 밀도를 동시에 고려하였다. 예를 들어, 32nm gate width를 기준으로 CNT1은 1개의 CNT가 CNTFET 안에 배치되어 있음을 나타내고, CNT3는 3개의 CNT가 배치되어 있음을 나타낸다. 이러한 CNT 밀도에 따른 'nq' 전압과 'q' 전압을 그림 4와 그림 5에 각각 표시하였다.

이러한 디자인 기준에 따라, MOSFET의 MN4/MN2 비율을 살펴보면, 그림 4를 보았을 때, MOSFET의 MN4/MN2 비율은 최소 1/1 이상의 비율을 가지면 되지만, 그림 4에서 MN4/MN2의 비율이 1/1일 때의 'nq' 전압 값은 0.175V로 MOSFET의 임계 전압 값인 0.18V 보다 0.005V 작은 값을 가지고 있다. 이러한 작은 차이는 추후 다른 외부 요인,

예를 들어, 반도체 공정, 온도, 그리고 구동 전압 변화로 인해 그 값이 변할 수 있는 가능성이 높으므로, 본 논문에서는 MOSFET SRAM 셀의 MN4/MN2 비율을 2/1보다 높은 값으로 정하고자 한다. 다음으로 MOSFET SRAM 셀의 MP5/MN1의 비율을 살펴보면, 그림 5를 보았을 때, MP5/MN1의 비율이 2/1보다 높은 값을 가졌을 때, 'q' 전압 값은 0.288V로 MOSFET의 임계 전압 값인 0.18V 보다 충분히 큰 값을 가지고 있으므로 본 논문에서는 MOSFET SRAM 셀의 MP5/MN1 비율을 2/1보다 큰 값으로 정하고자 한다. 일반적으로 Binary SRAM 셀 디자인에 있어 SRAM 셀에 저장된 또는 저장될 값에 따라 읽기 및 쓰기 시간의 편차가 생기지 않도록 하기 위해 일반적으로 'MN1과 MN2', 'MN3와 MN4', 그리고 'MP5와 MP6'는 같은 gate width를 갖도록 디자인한다. 따라서, 본 논문에서 앞서 획득한 MOSFET SRAM 셀의 MN4/ MN2 비율 그리고 MP5/MN1 비율을 기반으로 MOSFET SRAM 셀의 MN1(MN2), MN3(MN4), 그리고 MP5(MP6)의 gate width/gate length 비율을 1/2/2로 정하고자 한다. 이러한 비율을 MOSFET SRAM 셀에 적용한 후, 그 성능(Delay, Power, and PDP)을 HSPICE 시뮬레이션으로 검토한 결과를 표 1과 같이 기재하였다.

같은 방법으로 CNTFET SRAM 셀의 MN4/MN2 비율을 살펴보면, 그림 4를 보았을 때, CNT 밀도에 따라 1/2이 가능한 경우도 있으나, 해당 'nq' 전압과 CNTFET 임계 전압 사이의 차이가 크지 않고, 동일한 gate width 하에 CNT 밀도의 변화에 따른 성능 변화를 시뮬레이션하기 위해, 본 논문에서는 CNTFET SRAM 셀의 MN4/MN2 비율을 1/1로 정하고자 한다. CNTFET SRAM 셀의 MP5/MN1 비율 역시 MOSFET SRAM 셀의 MP5/MN1과 같은 논리로 정하면 1/1로 정할 수 있음을 알 수 있다. 이로써 CNTFET SRAM 셀의 MN1(MN2), MN3(MN4), 그리고 MP5(MP6)의 gate width/gate length 비율은 1/1/1이 됨을 알 수 있다. 즉, MOSFET으로 6T SRAM 셀을 디자인하기 위해서는 최소  $32\text{nm} \times 2 + 64\text{nm} \times 4 = 320\text{nm}$ 의 gate width가 필요한 반면, CNTFET에서는  $32\text{nm} \times 6 = 192\text{nm}$ 의 gate width가 필요함을 알 수 있어, CNTFET으로 SRAM 셀을 디자인할 경우, 약 1.7배의 gate width 감소를 획득할 수 있음을 알 수 있다. 본 비

율을 CNTFET SRAM 셀에 적용한 후, 그 성능을 HSPICE 시뮬레이션으로 검토하였을 때, 그 결과를 표 1과 같이 정리하였다.

표 1의 결과를 통해, CNTFET SRAM 셀의 읽기 성능이 MOSFET SRAM 셀의 읽기 성능보다 높기 위해서는 CNTFET의 32nm gate width에 최소한 3개 이상의 CNT가 배치되어야 함을 알 수 있고, CNT를 9개까지 증가했을 때, 읽기 시간을 약 2배 정도 줄일 수 있음을 알 수 있다. 하지만, CNT 밀도를 높일수록 읽기 시간이 줄어드는 비율은 점점 작아지기 때문에 반도체 공정의 CNT 배치 능력을 고려하여 CNT 밀도를 올릴 필요가 있음을 알 수 있다. 다음으로 쓰기 성능은 CNT의 밀도가 올라가도 크게 향상되지 않음을 알 수 있고 오히려 불필요하게 power가 증가하기 때문에 이 부분 역시 CNT 밀도를 정할 때 함께 고려될 필요가 있다.

Table 1. Delay, Power, and PDP of MOSFET and CNTFET SRAM Cell.

표 1. MOSFET과 CNTFET SRAM 셀의 Delay, Power, 그리고 PDP

	Operation	CNT	Delay (ps)	Power (uW)	PDP (aJ)
MOSFET	Read	N/A	234.90	0.041	9.54
	Write		35.58	0.604	21.48
CNTFET	Read	1	541.10	0.044	23.81
		3	198.80	0.037	7.38
		5	134.60	0.019	2.57
		7	116.00	0.004	1.00
		9	108.20	0.002	0.42
	Write	1	31.23	0.281	8.77
		3	30.91	0.790	24.41
		5	31.91	1.161	37.05
		7	33.82	1.407	47.58
		9	34.41	1.459	50.20

### III. 결론

기존 반도체 소자의 성능을 약 13배 향상시킬 수 있어 큰 기대를 모았지만, 공정의 미성숙으로 상용화에 어려움을 겪고 있는 CNTFET의 활용을 위해, 최근 공정상의 한계를 고려한 현실적인 접근 방법이 조금씩 관심을 모으고 있다. SRAM 셀은

캐시 메모리 안에 규칙적으로 그리고 반복적으로 배치되는 특징이 있어, CNTFET 공정의 불완전성에 덜 영향을 받는 장점이 있다. 본 논문에서는 이러한 장점을 활용하기 위해 SRAM 셀을 CNTFET으로 디자인하는데 있어 CNT 밀도를 함께 고려하는 방법을 소개하고, CNT 밀도의 변화에 따른 성능 향상 정도를 HSPICE 시뮬레이션으로 검증하였다. 그 결과, CNTFET을 SRAM 셀에 활용할 경우, 기존 MOSFET의 gate width를 약 1.7배 줄일 수 있음을 확인하였고, CNT 밀도의 증가로 약 2배 정도 읽기 속도를 향상시킬 수 있음을 알 수 있었다.

## References

- [1] Hitoshi. Saito, et al., “Development of 16 Mb NRAM Aiming for High Reliability, Small Cell Area, and High Switching Speed,” *2021 IEEE International Memory Workshop (IMW)*, 2021. DOI: 10.1109/IMW51353.2021.9439617
- [2] <http://nantero.com/technology/>
- [3] J. Deng, et al., “A Compact SPICE Model for Carbon-Nanotube Field-Effect Transistor Including Nonidealities and Its Application—Part I: Model of the Intrinsic Channel Region,” *IEEE Transactions on Electron Devices*, vol.54, no.12, pp.3186–3194, 2007. DOI: 10.1109/SISPAD.2006.282864
- [4] J. Deng, et al., “A Compact SPICE Model for Carbon-Nanotube Field-Effect Transistors Including Nonidealities and Its Application—Part II: Full Device Model and Circuit Performance Benchmarking,” *IEEE Transactions on Electron Devices*, vol.54, no.12, pp.3195–3205, 2007. DOI: 10.1109/TED.2007.909043
- [5] Nishant Patil, et al., “Design Methods for Misaligned and Mispositioned Carbon-Nanotube Immune Circuits,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol.27, no.10, pp.1725–1736, 2008.
- [6] G. Hills et al., “Modern microprocessor built from complementary carbon nanotube transistors,” *Nature*, vol.572, no.7771, pp.595–602, 2019.
- [7] L. Liu et al., “Aligned, high-density semiconducting carbon nanotube arrays for high-performance electronics,” *Science*, vol.368, no.6493, pp.850–856, 2020. DOI: 10.1126/science.aba5980
- [8] CNFET Models. <http://nano.stanford.edu/models.php>
- [9] PTM Models, <http://ptm.asu.edu/>
- [10] G. Cho, et al., “Design and process variation analysis of CNTFET-based ternary memory cells,” *Integration*, vol.54, pp.97–108, 2016. DOI: 10.1016/j.vlsi.2016.02.003
- [11] S. Lin, et al., “Design of a CNTFET-based SRAM Cell by Dual-Chirality Selection,” *IEEE Transactions on Nanotechnology*, vol.9, pp. 30–37, 2009.
- [12] Anantha Chandrakasan, et al., “Design of High-Performance Microprocessor Circuits,” *Wiley-IEEE Press*, 2000.

## BIOGRAPHY

### Geunho Cho (Member)



2004 : BS degree in Electronic Engineering, Sogang University.

2006 : MS degree in Electronic Engineering, Sogang University.

2012 : PhD degree in Electrical Engineering, Northeastern University.

2012~2017 : Senior Engineer, Samsung Display.

2017~present : Assistant Professor, Seokyeong University.