

게이트 절연막 조성에 따른 a-ITGZO 박막트랜지스터의 전기적 특성 연구

Effect of Gate Dielectrics on Electrical Characteristics of a-ITGZO Thin-Film Transistors

공희성*, 조경아*, 김상식**

Heesung Kong*, Kyoungah Cho*, Sangsig Kim**

Abstract

In this study, we fabricated amorphous indium-tin-gallium-zinc-oxide thin-film transistors (a-ITGZO TFTs) with gate dielectrics of HfO_2 and the mixed layers of HfO_2 and Al_2O_3 , and investigated the effect of gate dielectric on electrical characteristics of a-ITGZO TFTs. When only HfO_2 was used as the gate dielectric, the mobility and subthreshold swing (SS) were $32.3 \text{ cm}^2/\text{Vs}$ and $206 \text{ mV}/\text{dec}$. For the a-ITGZO TFTs with gate dielectric made of HfO_2 and Al_2O_3 (2:1, 1:1), the mobilities and SS were $26.4 \text{ cm}^2/\text{Vs}$ (2:1), $16.8 \text{ cm}^2/\text{Vs}$ (1:1), $160 \text{ mV}/\text{dec}$ (2:1) and $173 \text{ mV}/\text{dec}$ (1:1). On the other hand, the hysteresis window shown in transfer curves of the a-ITGZO TFTs was lessened from 0.60 to 0.09 V by the increase of Al_2O_3 ratio in gate dielectric, indicating that the interface trap density between the gate dielectric and channel layer decreases due to Al_2O_3 .

요약

본 연구에서는 HfO_2 와 Al_2O_3 비율을 조절하여 게이트 절연막을 구성하고, 게이트 절연막에 따른 a-ITGZO 박막트랜지스터의 전기적 특성을 분석하였다. HfO_2 게이트 절연막, HfO_2 와 Al_2O_3 비율이 2:1인 게이트 절연막, HfO_2 와 Al_2O_3 비율이 1:1인 게이트 절연막으로 구성된 a-ITGZO 박막트랜지스터의 전이이동도는 각각 32.3 , 26.4 , $16.8 \text{ cm}^2/\text{Vs}$ 이고 SS 값은 각각 206 , 160 , $173 \text{ mV}/\text{dec}$ 이며 히스테리시스 윈도우 폭은 각각 0.60 , 0.12 , 0.09 V 이었다. 게이트 절연막에서 Al_2O_3 비율이 높아질수록 a-ITGZO 박막트랜지스터의 히스테리시스 윈도우 폭이 감소했는데, 이는 Al_2O_3 비율이 높아질수록 게이트 절연막과 채널 박막 사이의 interface trap density가 감소했기 때문이다.

Key words : a-ITGZO thin-film transistor, HfO_2 , HfAlO , hysteresis, interface trap density

* Dept. of Electrical Engineering, Korea University

★, ★★ Corresponding author

Email : chochem@korea.ac.kr, sangsig@korea.ac.kr,

Tel : +82-02-3290-3909

※ Acknowledgment

This study was supported in part by Samsung Display Co. Ltd., the Brain Korea 21 Plus Project, 2021, and Korea University Grant.

Manuscript received Aug. 20, 2021; revised Sep. 23, 2021; accepted Sep. 29, 2021.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

최근 산화물 박막트랜지스터는 플렉시블 디스플레이와 전자기기의 구동소자로 주목을 받고 있고, 특히 amorphous indium-tin-gallium-zinc oxide (a-ITGZO) 박막트랜지스터는 높은 이동도 덕분에 차세대 디스플레이 구동소자로써 연구가 이뤄지고 있다[1, 2]. 또한 ITGZO 채널 물질은 기존의 IGZO에서 희귀금속인 indium의 비율을 줄일 수 있는 장점을 가지고 있다[3]. 그러나 아직까지 a-ITGZO 박막트랜지스터에 대한 연구가 부족한 실정이고 특히 고성능의 a-ITGZO 박막트랜지스터를 제작하기

위해서 박막트랜지스터의 구성요소에 대한 연구가 필수적이다. 박막트랜지스터의 구성요소중에서 게이트 절연막은 산화물 박막트랜지스터의 전기적 특성에 직접적인 영향을 미치므로 게이트 절연막에 대한 연구가 필요하다. 한편, high-k 물질은 높은 capacitance를 가지고 저전력 구동을 가능하게 하기 때문에 산화물 박막트랜지스터의 게이트 절연막 물질로 각광받고 있다. 특히, HfO_2 는 high-k 물질 중 가장 주목받고 있는데, 그 이유는 넓은 밴드갭 (~5.7 eV)과 높은 유전상수(~24)를 가지기 때문이다[4, 5]. 하지만 HfO_2 는 계면에서의 trap density가 높아 산화물 박막트랜지스터의 히스테리시스를 유발한다[6, 7]. 박막트랜지스터의 히스테리시스는 active-matrix organic light-emitting display(AMOLED)에서의 잔상을 유발한다[8].

본 연구에서는 HfO_2 게이트 절연막, HfO_2 와 Al_2O_3 비율이 2:1인 게이트 절연막, HfO_2 와 Al_2O_3 의 비율이 1:1인 게이트 절연막 등 총 3가지 게이트 절연막을 atomic layer deposition(ALD) 방법으로 증착하였다. 표기의 편의를 위해 HfO_2 와 Al_2O_3 의 비율이 2:1인 게이트 절연막을 $\text{HfAlO}(2:1)$, HfO_2 와 Al_2O_3 의 비율이 1:1인 게이트 절연막을 $\text{HfAlO}(1:1)$ 로 명명한다. 따라서 본 연구에서는 top-gate coplanar 구조의 a-ITGZO 박막트랜지스터를 제작하고 게이트 절연막에 따른 박막트랜지스터의 전기적 특성을 분석한다.

II. 본론

1. 실험방법

본 연구에서 top-gate coplanar 구조의 a-ITGZO 박막트랜지스터는 12 μm 두께의 colorless polyimide (CPI) 기판에서 제작되었다. a-ITGZO 박막트랜지스터를 제작하기 전 기판의 뒷면으로부터의 산소와 수분의 투과를 막기 위해 15 nm 두께의 Al_2O_3 가스 배리어 필름을 ALD 장비로 130 $^\circ\text{C}$ 에서 증착되었다. a-ITGZO 채널은 ITGZO ($\text{In}_2\text{O}_3:\text{SnO}_2:\text{Ga}_2\text{O}_3:\text{ZnO} = 0.8:0.2:1:1$ mol%) 타겟을 이용하여 RF 스퍼터링 방법으로 1 mTorr의 공정압력과 120 W의 RF 파워로 Ar 가스와 O_2 가스의 비율을 47:3 sccm으로 6분간 증착되었다. 채널의 길이와 너비는 각각 10, 20 μm 로 제작하였고 두께는 x-ray reflectivity (D/max-2500/PC, Rigaku)를 이용해 45 nm로 측정

되었다. 게이트, 소스 및 드레인 전극은 Ti를 thermal evaporation 방법으로 상온에서 100 nm 증착하였다. 게이트 절연막은 HfO_2 , $\text{HfAlO}(2:1)$, $\text{HfAlO}(1:1)$ 을 ALD 방법으로 tetrakisethylmethylamino hafnium (TEMAHf) 전구체, trimethylaluminum(TMA) 전구체, H_2O 을 이용하여 150 $^\circ\text{C}$ 에서 증착되었다. 그림 1은 각각의 게이트 절연막의 ALD 프로세스를 나타낸다. $\text{HfAlO}(2:1)$ 한 사이클은 HfO_2 두 사이클과 Al_2O_3 한 사이클로 구성되며 총 50번 반복하여 증착하였고, $\text{HfAlO}(1:1)$ 한 사이클은 HfO_2 한 사이클과 Al_2O_3 한 사이클로 구성되고 총 75번 반복하여 증착하였다. HfO_2 , $\text{HfAlO}(2:1)$, $\text{HfAlO}(1:1)$ 의 두께는 각각 13.1, 14.3, 13.3 nm로 측정되었다. 게이트 절연막의 capacitance는 HP 4284A를 이용하여 측정하였고, a-ITGZO 박막트랜지스터의 전기적 특성은 HP 4155c를 이용하여 상온에서 측정하였다.

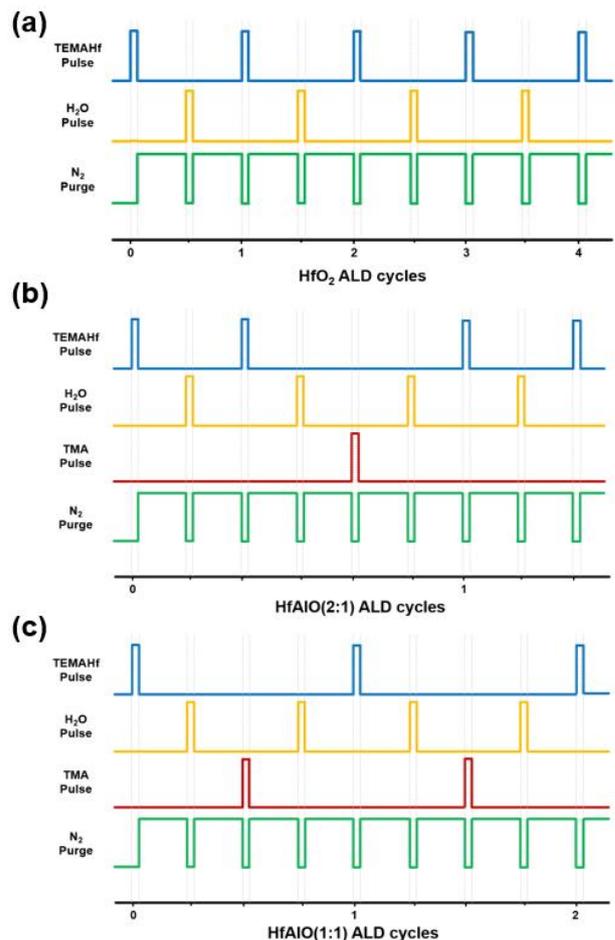


Fig. 1. ALD Process for HfO_2 , $\text{HfAlO}(2:1)$, $\text{HfAlO}(1:1)$ gate dielectrics.

그림 1. HfO_2 , $\text{HfAlO}(2:1)$, $\text{HfAlO}(1:1)$ 게이트 절연막의 ALD 공정 프로세스

2. 결과 및 토의

그림 2는 제작된 a-ITGZO 박막트랜지스터의 (a) 단면 구조와 (b) 광학 이미지이다. V_{GS} 가 0에서 3 V 까지 변화할때의 a-ITGZO 박막트랜지스터의 output curve ($I_{DS}-V_{DS}$)는 그림 3에 나타나 있고, a-ITGZO 박막트랜지스터는 전형적인 n-type 특성을 나타낸다. 또한, HfO_2 로 구성된 a-ITGZO 박막트랜지스터의 경우 게이트-소스 전압 (V_{GS})이 0 V 일 때 소자가 on 상태이므로 depletion mode에서 동작하고, $HfAlO(2:1)$ 과 $HfAlO(1:1)$ 로 구성된 a-ITGZO 박막트랜지스터는 V_{GS} 가 0 V 일 때 소자가 off 상태이므로 enhancement mode에서 동작한다. 각각의 on-current를 볼 때 HfO_2 게이트 절연막으로 구성된 a-ITGZO 박막트랜지스터가 가장 높고 Al_2O_3 비율이 높아질수록 on-current가 낮아지는 것을 확인할 수 있는데, 이는 Al_2O_3 비율이 높아질수록 게이트 절연막의 유전상수가 낮아져 정전용량이 낮아지기 때문이다.

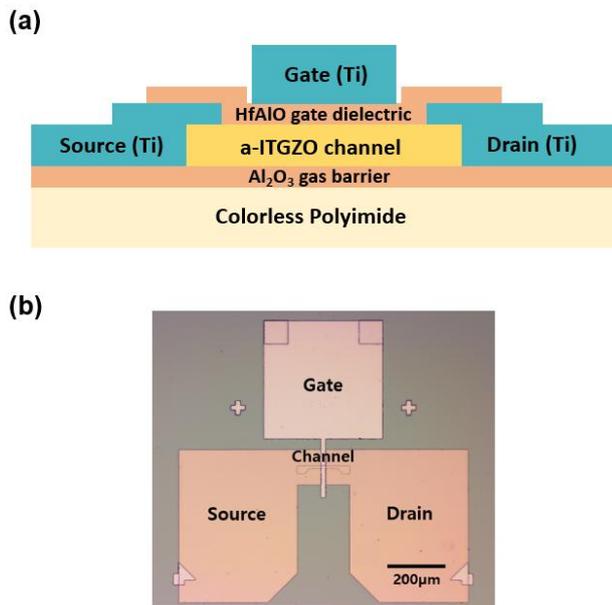


Fig. 2. (a) Schematic and (b) optical image of an a-ITGZO TFT.
그림 2. a-ITGZO 박막트랜지스터의 (a) 단면구조와 (b) 광학이미지

a-ITGZO 박막트랜지스터의 드레인-소스 전압 (V_{DS})이 0.1 V에서 transfer curve ($I_{DS}-V_{GS}$)는 그림 4에 나타나있다. Linear 영역에서 a-ITGZO 박막트랜지스터의 전하이동도와 subthreshold swing (SS)는 다음과 같은 식으로 계산되었다.

$$I_{DS} = \frac{C_{ox}\mu}{2} \frac{W}{L} [2(V_{GS} - V_{TH})V_{DS} - V_{DS}^2] \quad (1)$$

$$SS = \frac{\partial V_{GS}}{\partial(\log I_{DS})} \quad (2)$$

여기서 C_{ox} 는 단위면적당 게이트 절연체의 정전용량, W/L ($10 \mu m/20 \mu m$)는 채널 너비와 길이의 비, V_{TH} 는 문턱전압을 나타낸다. HfO_2 , $HfAlO(2:1)$, $HfAlO(1:1)$ 게이트 절연막의 정전용량은 각각 556, 476, 421 nF/cm²로 측정되었다.

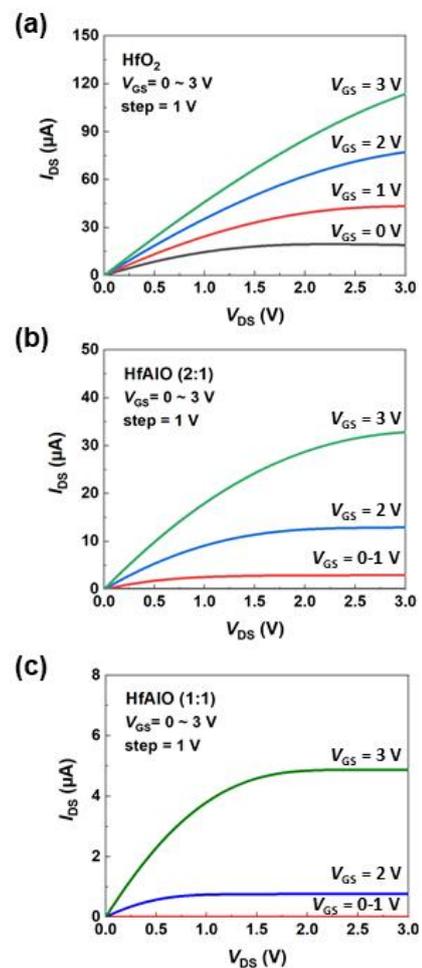


Fig. 3. $I_{DS}-V_{DS}$ curves of a-ITGZO TFTs.
그림 3. a-ITGZO 박막트랜지스터의 $I_{DS}-V_{DS}$ 그래프

a-ITGZO 박막트랜지스터의 전기적 특성을 표 1에 나타내었다. HfO_2 , $HfAlO(2:1)$, $HfAlO(1:1)$ 게이트 절연막으로 구성된 a-ITGZO 박막트랜지스터의 전하이동도는 각각 32.3, 26.4, 16.8 cm²/Vs이고, SS 값은 각각 206, 160, 173 mV/dec 이다. 이때 SS 및 on-current는 forward sweep (-5 to 5 V)을 기준으로 구하였다. Mobility의 경우 게이트 절연막의

capacitance가 높을수록 on-current가 높아 높은 mobility를 가진다. HfO₂, HfAlO(2:1), HfAlO(1:1) 게이트 절연막으로 구성된 a-ITGZO 박막트랜지스터의 문턱전압은 각각 -0.89, 0.65, 1.56 V이며, 문턱전압은 linear extrapolation method를 통해 추출하였다. 문턱전압은 C_{ox}가 커질수록 낮아졌는데 이는 C_{ox}가 커질수록 채널 박막에 더 많은 전하가 accumulation 되기 때문이다. 히스테리시스 윈도우 폭의 경우 HfO₂ 게이트 절연막으로 구성된 a-ITGZO 박막트랜지스터의 경우 0.60 V이고, HfAlO(2:1), HfAlO(1:1) 게이트 절연막으로 구성된 a-ITGZO 박막트랜지스터의 경우 0.12, 0.09 V이다. 히스테리시스 윈도우 폭은 forward sweep (-5 에서 5 V)와 reverse sweep (5 에서 -5 V)에서의 문턱전압의 차이로 계산되었다.

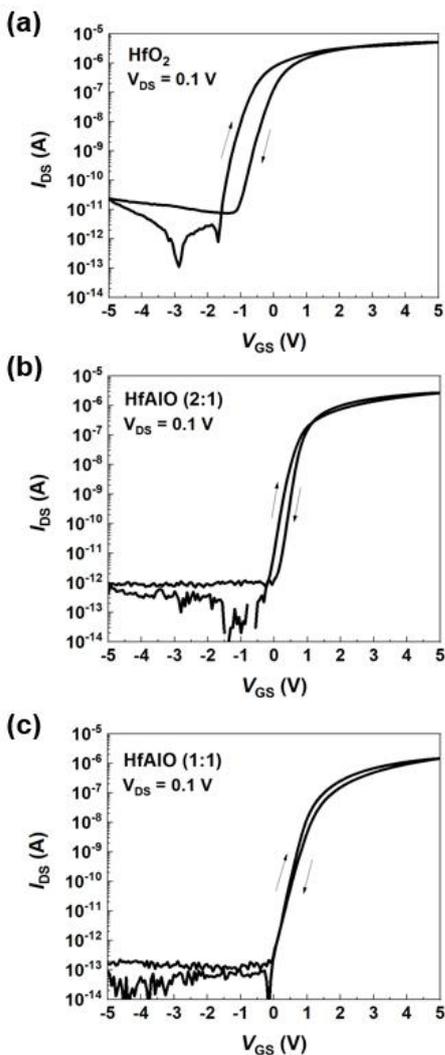


Fig. 4. I_{DS} - V_{GS} curves of a-ITGZO TFTs.
그림 4. a-ITGZO 박막트랜지스터의 I_{DS} - V_{GS} 그래프

Table 1. Electrical characteristics of a-ITGZO TFTs.

표 1. a-ITGZO 박막트랜지스터의 전기적 특성

Gate dielectrics	μ_{FE} (cm ² /V·s)	SS (mV/decade)	V_{TH} (V)	Hysteresis Width (V)
HfO ₂	32.3	206	-0.89	0.60
HfAlO (2:1)	26.4	160	0.65	0.12
HfAlO (1:1)	16.8	173	1.56	0.09

히스테리시스의 방향은 게이트 절연막 물질에 관계없이 시계방향을 관찰되었으며 시계방향의 히스테리시스의 원인은 게이트 절연막과 채널 박막 사이의 interface trap density에 기인한다[9]. Interface trap density는 다음과 같은 식으로 구할 수 있다.

$$D = \left(\frac{SS \log_{10} e}{\frac{K_B T}{q}} - 1 \right) \frac{C_{ox}}{q} \quad (3)$$

여기서 K_B , q , T 는 각각 볼츠만 상수, 전자 전하량, 절대온도이다. HfO₂ 게이트 절연막으로 구성된 a-ITGZO 박막 트랜지스터의 D_{it} 값은 $8.41 \times 10^{12} \text{ ev}^{-1} \text{ cm}^{-2}$ 로 계산되었고 HfAlO(2:1)과 HfAlO(1:1) 게이트 절연막으로 구성된 a-ITGZO 박막트랜지스터의 D_{it} 값은 각각 4.92×10^{12} , $4.89 \times 10^{12} \text{ ev}^{-1} \text{ cm}^{-2}$ 이다.

게이트 절연막에서 Al₂O₃ 비율이 높아질수록 게이트 절연막과 채널 박막 사이에서의 interface trap density가 감소하여 HfAlO(2:1)과 HfAlO(1:1)로 구성된 a-ITGZO 박막트랜지스터의 히스테리시스가 HfO₂만으로 구성된 게이트 절연막을 가진 박막트랜지스터와 비교하여 감소했음을 확인하였다.

III. 결론

본 연구에서는 12 μm 두께의 CPI 기판 위에 a-ITGZO 박막트랜지스터를 제작하고, 게이트 절연막에 따른 박막트랜지스터의 전기적특성을 분석하였다. HfO₂, HfAlO(2:1), HfAlO(1:1) 게이트 절연막으로 구성된 a-ITGZO 박막트랜지스터의 전하이동도는 각각 32.3, 26.4, 16.8 cm²/Vs, SS 값은 각각 206, 160, 173 mV/dec 이고. 히스테리시스 윈도우 폭은 각각 0.60, 0.12, 0.09 V 이다. 게이트 절연막에서 Al₂O₃ 비율이 높아질수록 게이트 절연막과 채널 박막 사이에서의 interface trap density가 감소하여 히스테리시스 윈도우 폭이 줄어들었음을 확인하였다. HfAlO(2:1) 게이트 절연막으로 구성된 a-ITGZO 박막트랜지스터가

비교적 높은 전자이동도를 가지며 낮은 SS와 히스테리시스 윈도우 폭을 가져 a-ITGZO 박막트랜지스터의 가장 적합한 게이트 절연막으로 사료된다.

References

- [1] I. Choi, M. Kim, N. On, A. Song, K. Chung, H. Jeong, J. Park and J. Jeong, "Achieving High Mobility and Excellent Stability in Amorphous In-Ga-Zn-Sn-O Thin Film Transistors," *IEEE Trans. Electron Devices* vol.67, pp.1014-1020, 2020. DOI: 10.1109/TED.2020.2968592
- [2] H. Lee, K. Cho and S. Kim, "Electrical characteristics of bendable a-ITGZO TFTs on colorless polyimide substrates," *Semicond. Sci. Technol.* vol.35, pp.065014, 2020. DOI: 10.1088/1361-6641/ab8439
- [3] D. Kim, K. Cho, S. Woo and S. Kim, "Electrical characteristics of amorphous indium-tin-gallium-zinc oxide TFTs under positive gate bias stress," *Electron. Lett.* vol. 56, pp.102-104, 2020. DOI: 10.1049/el.2019.2784
- [4] P. Ma, J. Sun, G. Zhang, G. Liang, Q. Xin, Y. Li and A. Song, "Low-temperature fabrication of HfAlO alloy dielectric using atomic-layer deposition and its application in a low-power device," *Journal of Alloys and Compounds* vol.792, pp.543-549, 2019. DOI: 10.1016/j.jallcom.2019.04.015
- [5] Y. Ding, and D. Misra, "Oxide structure-dependent interfacial layer defects of HfAlO/SiO₂/Si stack analyzed by conductance method," *J. Vac. Sci. Technol. B*, vol.33, 021203, 2015. DOI: 10.1116/1.4913280
- [6] B. Lu, H. Lv, Y. Zhang and C. Liu, "Composition of HfAlO, HfO₂/Al₂O₃, and HfO₂ on n-type GaAs using atomic layer deposition," *Superlattices and Microstructures* vol.99, pp.54-57, 2016. DOI: 10.1016/j.spmi.2016.07.032
- [7] C. Mahata, Y. Byun, C. An, S. Choi, Y. An and H. Kim, "Comparative Study of Atomic-Layer-Deposited Stacked (HfO₂/Al₂O₃) and Nanolaminated (HfAlO_x) Dielectrics on In_{0.53}Ga_{0.47}As," *ACS Appl. Mater. Interfaces* vol.5, pp.4195-4201, 2013. DOI: 10.1021/am400368x
- [8] D. Won, H. Kim, M. Nguyen, J. Myoung, R. Choi and H. Yoon, "Residual Image Suppression Through Annealing Process of Amorphous Indium Gallium Zinc Oxide Thin Film Transistor for Plastic Organic Light-Emitting Diode Display," *J. Nanosci. Nanotechnol.* vol.20, pp.6877-6883, 2020. DOI: 10.1166/jnn.2020.18807
- [9] Z. Ye, Y. Yuan, H. Xu, Y. Liu, J. Luo, W. M. Wong, "Mechanism and Origin of Hysteresis in Oxide Thin-Film Transistor and Its Application on 3-D Nonvolatile Memory," *IEEE Trans. Electron Devices* vol.64, pp.438-446, 2017. DOI: 10.1109/ted.2016.2641476

BIOGRAPHY

Heesung Kong (Member)



2021 : BS degree in Electrical Engineering, Korea University.
2021~present : MS degree in Electrical Engineering, Korea University.

Kyoungah Cho (Member)



1993 : BS degree in Chemistry, Sungshin Women's University.
1995 : MS degree in Physical Chemistry, Sungshin Women's University.
2000 : PhD degree in Physical Chemistry, Tokyo University.

2002~present : Research Professor, Korea University.

Sangsig Kim (Member)



1985 : BS degree in Physics, Korea University.

1987 : MS degree in Solid State Physics, Korea University.

1996 : PhD degree in Applied Physics, Columbia University.

1996~1998 : Post-Doc, University of Illinois at Urbana-Champaign.

1998~1999 : Research Engineer, University of Illinois at Urbana-Champaign.

1999~present : Professor, Korea University