

# Current Detection 구조 및 향상된 Load Regulation

## 특성을 가진 LDO 레귤레이터

### LDO Regulator with Improved Load Regulation Characteristics and Current Detection Structure

권 상 욱\*, 공 준 호\*, 구 용 서\*

Kwon Sang-Wook\*, Kong June Ho\*, Yong Seo-Koo\*

#### Abstract

In this paper, we propose an LDO that improves the load regulation change due to the current detection structure. The proposed LDO regulator adds the proposed current detection circuit to the output stage. Thereby to improve the load regulation of the delta value coming in on the output has a voltage value of an improved load Regulation characteristics than conventional LDO regulator. Using the proposed current detection structure, it was possible to improve the output change according to the change of the load current by about 60%. The proposed circuit has been simulated and verified characteristics by using a Spectre, Virtuoso simulation of Cadence.

#### 요 약

본 논문에서는 current detection 구조로 인하여 load regulation의 변화를 향상시킨 LDO를 제안하였다. 제안된 LDO 레귤레이터는 출력단에 제안된 current detection 회로를 추가하였다. 그로인하여 출력에 부하전류에 따른 전압 값의 regulation을 향상시켜 기존 LDO 레귤레이터보다 load Regulation의 변화량을 향상시켰다. 제안한 current detection 구조를 사용하여 부하전류의 변화에 따른 출력 변화를 약 60 % 가량 향상시킬 수 있었다. Cadence의 Virtuoso, Spectre 시뮬레이션을 사용하여 특성을 시뮬레이션 및 검증하였다.

*Key words : LDO regulator, Load Regulation, Line Regulation, Capless LDO, Current Detection*

\* Department of Electronics and Electrical Engineering,  
Dankook

★ Corresponding author

E-mail : kso804@naver.com, Tel : +82-31-8005-3625

※ Acknowledgment

This research was supported by National R&D Program through the National Research Foundation of Korea(NRF) funded by Ministry of Science and ICT(2021M3H2A1038042) This research was supported by the MSIT(Ministry of Science and ICT), Korea, under the ITRC(Information Technology Research Center) support program(IITP-2020-2018-0-01421) supervised by the IITP(Institute for Information & Communications Technology Planning & Evaluation)

Manuscript received Sep. 6, 2021; revised Sep. 23, 2021; accepted Sep. 29, 2021.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

#### 1. 서론

현대사회에서 휴대기기의 소형·경량화 추세에 맞춰서 배터리의 크기 및 무게가 감소되고 있는 추세이다. 그러나 휴대기기는 지속적으로 다기능화 및 고성능화를 요구하고 있으며, 이에 따라 내부 시스템이 복잡해지고, 또한 그로 인해 다양한 전원 전압을 요구하고 있다. 만약 각 시스템에서 요구하는 전원 전압에 따라 각각의 칩을 사용하게 될 경우 많은 면적을 차지하게 되므로, 이는 휴대기기의 소형, 경량화에 많은 어려움을 겪게 된다. 이에 따라 한정된 배터리 전원을 관리하는 회로인 PMIC (Power Management IC)의 필요여부가 증가되는 추세이다. PMIC는 시스템에 맞게 전원을 배분하는

제어 기능, 전력변환 기능 등 기본적인 기능 이외에 전원소스 모니터 및 관리 기능, 시스템의 다양한 종류의 출력 전원 공급 기능, 고효율 전원 변환 효율 관리 기능 등이 하나의 칩으로 구현되는 기술로 발전하고 있어 단순하게 전력을 변환하는 역할에서 에너지효율 및 시스템의 안정성을 대두하는 어플리케이션으로 확장되어 가고 있다[1]. 또한 PMIC 기술은 각 어플리케이션에 필요한 전압을 각각의 디스크리트로 해결하던 것을 각각의 소자를 원칩화함으로써 얻어지는 공간 절약의 이점과 코스트 다운으로 배터리 기반의 휴대 정보단말기에서 핵심부품으로 부각되고 있다. PMIC는 높은 변환 효율 및 안정적인 전원 공급에서 가장 중요한 요소로 볼 수 있습니다. LDO 레귤레이터는 출력 전압을 고정하기 위한 오차 증폭기, 파워 트랜지스터, 피드백 저항 및 큰 외부 출력 커패시터로 구성됩니다. 따라서 LDO 레귤레이터는 낮은 전압과 잡음, 정확한 출력전압을 제공하는데 사용되며, 이러한 레귤레이터는 더 큰 시스템의 부하에 안정된 전압을 제공하기 위해 단독으로 사용하거나 SoC(System on Chip)내에 내장된다. 이러한 출력전압의 과도 응답을 개선하기 위하여, current detection 구조를 사용하였다. 그림 1을 참고하면, 기본적인 LDO는 오차 증폭기, 패스 트랜지스터, 피드백으로 구성되어 있다. 오차증폭기는 출력전압과 기준 전압 간의 오차를 출력으로 감지하여 negative feedback 구조에 따라 두 출력의 값의 오차를 적게 하는 방향으로 패스 트랜지스터를 제어한다. 또한 load regulation은 부하전류의 조건이 변화함에 따라서 출력전압의 변화량을 보는 지표이다. 본 논문에서는 출력단에 current detection 감지회로를 사용하여 기존의

레귤레이터의 load regulation 보다 개선된 특성을 가져가는 레귤레이터를 제안한다[2].

## II. 본론

### 1. Low Drop-Out 레귤레이터

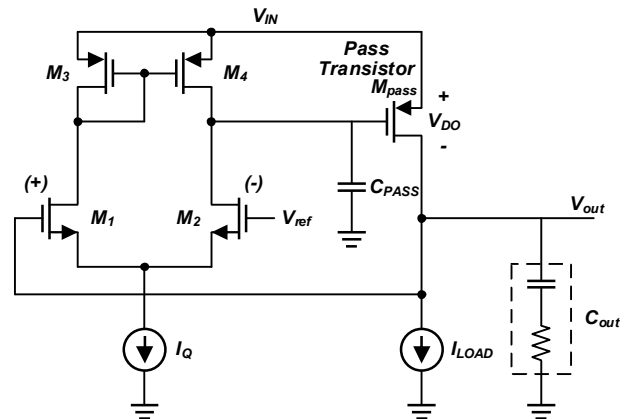


Fig. 2. Schematic of LDO Regulator.

그림 2. LDO 레귤레이터의 스케메틱

그림 2를 참고하면, LDO 레귤레이터는 기본적으로 reference 전압, 파워 트랜지스터, 오차증폭기, 피드백 저항으로 구성되어 있다. 선형적인 제어 방법으로 구동되어 지기 때문에 switching regulator에 비해 단순한 것이 특징이다. 동작은 입력전압에 발생으로 피드백 저항이 전압을 감지하여, 오차증폭기로 인한 출력으로 파워 트랜지스터의 게이트 단으로 감지된 전압이 파워 트랜지스터를 구동하여 출력단의 전압이 잡힌다. 파워 트랜지스터가 작동하면 LDO 레귤레이터는 피드백을 형성한다. 피드백을 통해 LDO 레귤레이터의 출력단 부하의 변동에도 안정적인 출력전압이 공급되어 진다[3]. 레귤레이터의 성능은 출력전압 및 부하에 따른 안정도로 판단할 수 있다. 레귤레이터는 파워 트랜지스터의 크기에 따라 출력전압 값과 시스템의 루프 안정도를 결정한다. 입력전압을 고정시킨 상태에서 출력 전류를 천천히 변동시켰을 때 따른 출력 전압의 변동 전압을 확인해야 한다. 출력 전방을 유지시키는 성능 지표로 출력 전류 변화량 대비 정상 상태의 출력 전압의 변화량을 나타낸다. load regulation의 값이 작을수록 LDO 레귤레이터의 출력단에 안정적인 전압을 공급 할 수 있기 때문에 감소시키는 솔루션이 필요하다[4].

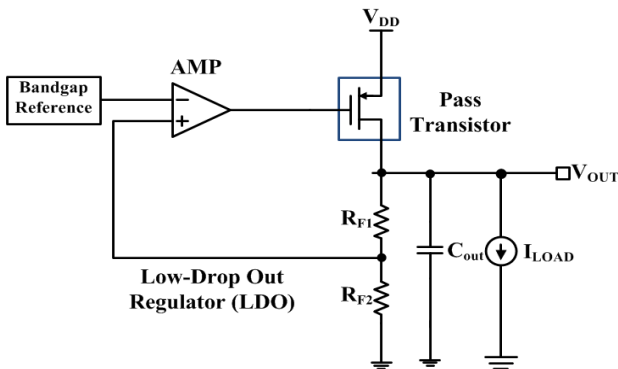


Fig. 1. Block diagram of the LDO regulator.

그림 1. LDO 레귤레이터의 블록도

2. 제안된 current detection LDO 레귤레이터

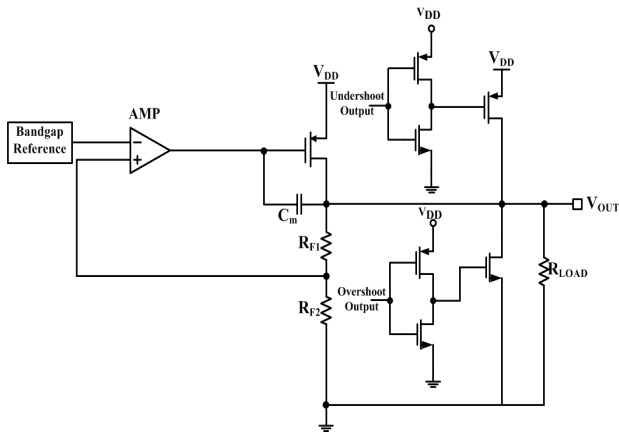


Fig. 3. The Proposed current detection LDO Regulator.  
그림 3. 제안된 current detection LDO 레귤레이터

기존의 LDO 레귤레이터의 출력단에 안정적인 전압을 공급 할 수 있는 솔루션을 위하여 current detection 구조를 추가하였다. 그림 3은 current detection 구조로 출력 단에 부하전류를 감지하는 구조를 추가한 LDO 레귤레이터이다. 피드백을 거쳐 변화된 전압에 따라 증폭기의 출력이 변화하게 되는데, 그로 인하여 current detection 회로가 감지되면서 추가적인 전류를 공급시켜주는 구조이다. 그림 4는 부하전류로 출력전압이 감소로 인해, 오차증폭기의 입력으로 들어가는 전압이 감소하게 된다. 피드백을 통한 감소된 전압은 인버터를 통하여 undershoot output 단으로 감지되어 추가전류를 발생하여 출력전압을 상승시켜주는 효과를 가져다 준다. 따라서 오차증폭기의 출력이 감소되어 패스 트랜지스터의 게이트전압을 떨어뜨려주는 것보다 출력 전압을 보다 빠르게 증가시켜 추가적인 전류를 제공할 수 있기 때문에 기존의 출력대비 감소된 전압을 상승시켜주는 효과를 가져다준다. 또한 그림 5는 부하전류로 인한 출력전압의 증가로 인해, 오차증폭기의 입력으로 들어가는 전압이 증가하게 된다. 피드백을 통한 증가된 전압은 인버터를 통하여 overshoot output 단으로 감지되어 추가전류를 발생하여 증가된 출력전압을 방전시켜주는 효과를 가져다준다. 따라서 오차증폭기의 출력이 증가되어 패스 트랜지스터의 게이트전압을 증가시켜주는 것보다 출력 전압을 보다 빠르게 감소시켜 추가적인 전류를 방전할 수 있기 때문에 기존의 출력대비 높아진 전압을 감소시켜주는 효과를 가져다준다[5].

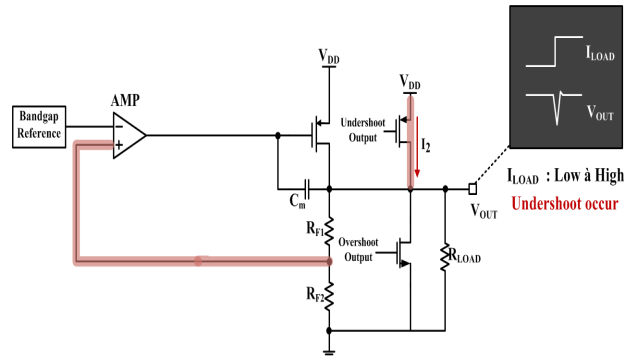


Fig. 4. The Proposed LDO load Undershoot Detect Circuit.  
그림 4. 제안된 LDO load Undershoot Detect Circuit

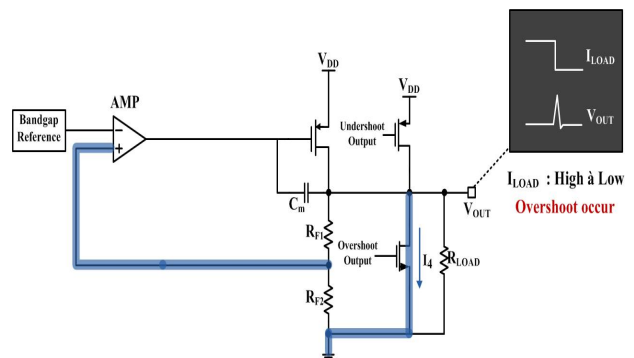


Fig. 5. The Proposed LDO load Overshoot Detect Circuit.  
그림 5. 제안된 LDO load Overshoot Detect Circuit

3. 시뮬레이션 결과

그림 8은 제안된 LDO 레귤레이터의 phase margin 과 dB 값의 시뮬레이션 결과이다. 페이즈 마진은 53도를 확보하였으며, Gain을 높이기 위하여 오차 증폭기를 폴디드 캐스코드 증폭기로 구성하여 Gain을 90 db를 확보하였다[6]. 또한 transient response 또한 확보하였다. 그림 6, 7은 제안된 LDO와 기존의 LDO 레귤레이터의 load regulation 시뮬레이션 결과이다. 시뮬레이션 결과를 보면 입력전압에 따라 부하전류를 100 uA~100 mA 까지 변화시켰을 때 기존의 LDO 레귤레이터는  $\Delta 42$  mV의 변화량, current detection 구조를 가져가는 LDO 레귤레이터는  $\Delta 16$  mV의 전압 변화량을 가져온다. 제안한 current detection 구조를 사용하여 부하전류의 변화에 따른 출력 변화를 약 60 % 가량 향상시킬 수 있었다. 표 1, 표 2는 기존 LDO 및 제안된 LDO의 데이터 표를 보여준다. 데이터를 확인하면 기존 LDO에 비해 향상된 regulation 출력 변화를 볼 수 있다. 따라서 제안된 LDO는 100 uA~100 mA에서 출력전압이  $\Delta 16$  mV 약 26 mV의 향상된 load Regulation 전압 변화량을 갖는다.

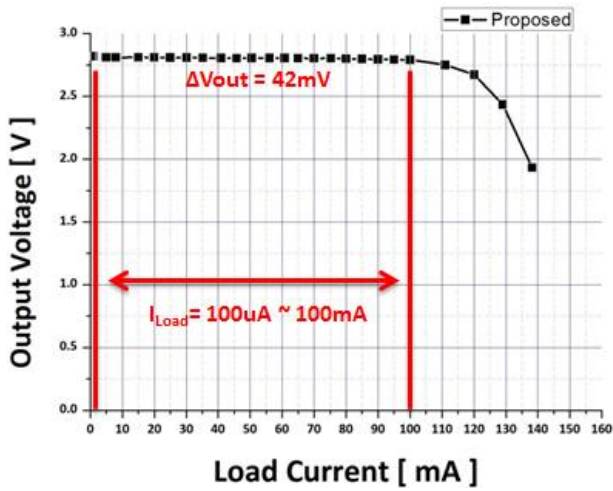


Fig. 6. The load regulation result for the conventional LDO.  
그림 6. 기존의 LDO의 Load Regulation 결과

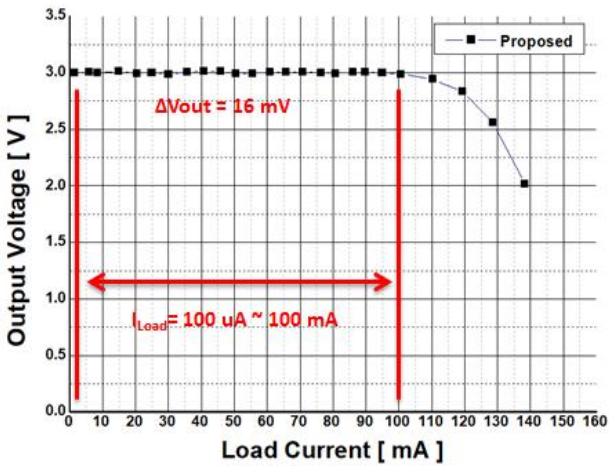


Fig. 7. The load regulation result for the proposed LDO.  
그림 7. 제안된 LDO의 Load Regulation 결과

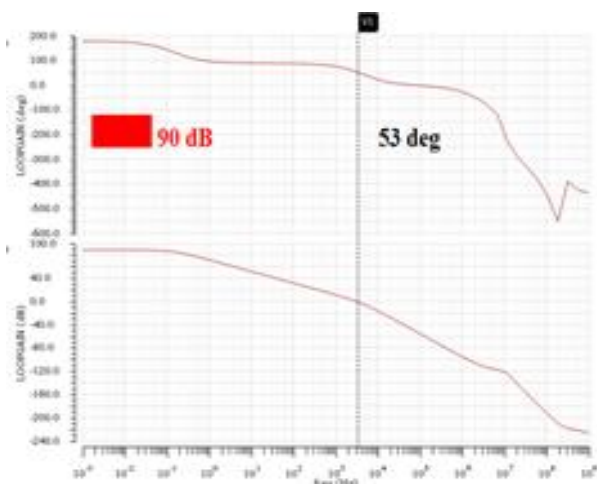


Fig. 8. Phase margin result for the proposed LDO.  
그림 8. 제안된 LDO의 페이즈 마진 결과

Table 1. The conventional LDO circuit data.

표 1. 기본 LDO 회로 데이터

Conventional LDO Regulator	
입력 전압	3.3 V
출력 전압	3 V
기준 전압	1.2 V
Dropout Voltage	300 mV
Line Regulation	$\Delta 40 \text{ mV}$ (Input Voltage= 2.8 V ~ 4.8 V)
Load Regulation	$\Delta 42 \text{ mV}$ (Load Current= 100 uA ~ 100 mA)

Table 2. The proposed LDO circuit data.

표 2. 제안된 회로 데이터

Proposed LDO Regulator	
입력 전압	3.3 V
출력 전압	3 V
기준 전압	1.2 V
Dropout Voltage	300 mV
Line Regulation	$\Delta 15 \text{ mV}$ (Input Voltage= 2.8 V ~ 4.8 V)
Load Regulation	$\Delta 16 \text{ mV}$ (Load Current= 100 uA ~ 100 mA)

### III. 결론

본 논문에서는 기존 LDO 레귤레이터의 출력단에 current detection 구조를 추가하여 부하전류의 변동에 따른 전압변화를 보다 향상된 변화량을 가지게 하였다. current detection 회로는 부하에 변화에 따라 피드백을 거치는 LDO 레귤레이터의 시스템에서 추가적인 전류를 공급해주는 형식이다. 또한, 부하 전류의 변동에 따른 출력전압 특성에 regulation 이 향상되었음을 확인하였다. 그 결과 부하 전류의 변화에도 변화량이 감소하여 동작을 개선시킨 current detection 구조를 추가한 LDO 레귤레이터를 개발하였다. 본 논문은 삼성 0.13um 공정을 사용하여 시뮬레이션을 진행하였다.

### References

[1] Behzad Razavi, "Design of Analog CMOS Integrated Circuits," McGraw-Hill Hanbit media, pp.93-106, 2011.

- [2] Sao-Hung Lu, "A Fast-Recovery Low Dropout Linear Regulator for Any-Type Output Capacitors," *Asian Solid-state circuits conference*, pp.497-500, 2005. DOI: 10.1109/ASSCC.2005.251786
- [3] Behzad Razavi, "Design of Analog CMOS Integrated Circuits," McGraw-Hill Hanbit media, pp.183-206, 2011.
- [4] Behzad Razavi, "Design of Analog CMOS Integrated Circuits," *McGraw-Hill Hanbit media*, pp.395-426, 2011.
- [5] Yong-Seo Koo; Kang-Yoon-Lee; Jae-Hwan Ha; Yil-Suk Yang. "A Design of Power Management IC for CCD Image Sensor," *IKEEE*, vol.13, no.4, pp.63-68, 2009.
- [6] Yong-Seo Koo. "A design of low-area low drop-out regulator using body bias technique," *IEICE Electronics Express*, vol.10, no.19, pp.1-12, 2013. DOI: 10/19/10\_10.20130300e

#### Yong Seo-Koo (Member)



1981 : BS degree in Electronics Engineering, Sogang University.  
 1983 : MS degree in Electronics Engineering, Sogang University.  
 1992 : Ph.D degree in Electronics Engineering, Sogang University.  
 Current research interest : integrated circuit, micro processor

### BIOGRAPHY

#### Kwon Sang-Wook (Member)



2017 : BS degree in Electrical Engineering, SeoKyeong University.  
 2018~ : Unified course of the master's and the doctor's in Electronics and Engineering, DanKook University.

#### Jun-Ho Gong (Member)



2018 : BS degree in Electrical Engineering, SeoKyeong University.  
 2020~ : Unified course of the master's in Electronics and Engineering, DanKook University.