


# FinFET 및 GAAFET의 게이트 접촉면적에 의한 열저항 특성과 Fin-Layout 구조 최적화

조재웅<sup>1</sup>, 김태용<sup>1</sup>, 최지원<sup>1</sup>, 최자양<sup>1</sup>, 신동욱<sup>1</sup>, 이준신<sup>2</sup> 

<sup>1</sup> 성균관대학교 전자전기컴퓨터공학과

<sup>2</sup> 성균관대학교 정보통신대학

## Thermal Resistance Characteristics and Fin-Layout Structure Optimization by Gate Contact Area of FinFET and GAAFET

Jaewoong Cho<sup>1</sup>, Taeyong Kim<sup>1</sup>, Jiwon Choi<sup>1</sup>, Ziyang Cui<sup>1</sup>, Dongxu Xin<sup>1</sup>, and Junsin Yi<sup>2</sup>

<sup>1</sup> Department of Electrical and Computer Engineering, Sungkyunkwan University, Suwon 16419, Korea

<sup>2</sup> College of Information and Communication Engineering, Sungkyunkwan University, Suwon 16419, Korea

(Received June 3, 2021; Revised June 23, 2021; Accepted June 23, 2021)

**Abstract:** The performance of devices has been improved with fine processes from planar to three-dimensional transistors (e.g., FinFET, NWFET, and MBCFET). There are some problems such as a short channel effect or a self-heating effect occur due to the reduction of the gate-channel length by miniaturization. To solve these problems, we compare and analyze the electrical and thermal characteristics of FinFET and GAAFET devices that are currently used and expected to be further developed in the future. In addition, the optimal structure according to the Fin shape was investigated. GAAFET is a suitable device for use in a smaller scale process than the currently used, because it shows superior electrical and thermal resistance characteristics compared to FinFET. Since there are pros and cons in process difficulty and device characteristics depending on the channel formation structure of GAAFET, we expect a mass-production of fine processes over 5 nm through structural optimization is feasible.

**Keywords:** FinFET, GAAFET, Thermal resistance, DIBL, Self-heating effect

### 1. 서론

반도체 산업은 소자 scaling-down에 의한 집적회로의 성능 향상을 이루어 왔다. 평면 채널 구조를 갖는 MOSFET의 집적도를 증가시키기 위해 크기가 나노미터의 스케일까지 소형화되었다. 소형화에 따라 게이트-채널 길이가 감소되고 SCE (short channel effect), DIBL (drain-

induced barrier lowering) 같은 열화 문제가 함께 발생한다. 열화를 해결하기 위해 3차원의 FET (field effect transistor)인 FinFET에 관한 연구가 활발히 진행되고 있다 [1,2]. 파운드리 업체에서 현재 행해지고 있는 7 nm, 5 nm 공정기술을 중심으로 공정 미세화에 관한 연구가 이루어지고 있다. FinFET은 채널과 게이트의 접촉 면적을 키워 게이트의 통제력을 증가시켜 MOSFET의 열화 문제를 개선할 수 있다 [3]. 지속적인 소자의 소형화에 따라 FinFET도 4 nm 공정 미만으로 적용하기가 힘들다는 한계에 부딪혔다. 무어의 법칙에 의해 5 nm에서 3 nm, 혹은 그 이상의 미세공정으로 가기 위해서 새로운 구조의 FET이 필요했고, 이를 GAA (gate-all-around) 구조를 통해 실현 가

✉ Junsin Yi; [Junsin@skku.edu](mailto:Junsin@skku.edu)

능하다 [4,5]. GAA 구조는 게이트가 채널의 모든 면을 감싸고 있어 초미세 공정에서의 누설 전류를 줄이고 채널 제어 능력을 향상한다. GAAFET의 일종인 NWFET (nano wire FET)은 단면의 지름이 1 nm 정도로 얇은 와이어 형태로 되어 있어 충분한 전류를 얻기가 힘들다는 단점이 있다. Nano wire 구조를 일부 개선하기 위해 MBC (multi-bridge-channel) 구조가 등장했다. MBCFET은 얇은 nano sheet를 수직 방향으로 쌓아서 성능과 전력효율을 높인 GAAFET이다. 7 nm FinFET보다 집적도를 45%가량 향상할 수 있으며, 50%의 소비전력 절감과 35%의 성능 개선 효과가 있다 [6]. 선행 연구결과를 토대로 FinFET 및 GAAFET의 전기적, 열적, 구조적 특성을 비교 분석하여 접촉면적이 FET 소자에 미치는 영향을 연구하였다. 또한 접촉면적의 증가로 인한 열저항 특성을 Fin 및 Finger의 layout 관점에서 분석하여 5 nm 이상의 초미세공정에서 상용화될 FET에 대한 고찰을 하였다.

## 2. 실험 방법

본 논문에서는 현재 사용되고 있는 FinFET과 5 nm 이상의 초미세 공정에서 사용될 GAAFET의 열저항 특성 및 Fin-layout 비교를 통해 접촉면적에 따른 변화를 연구하였다. 모든 실험방법은 문헌 값 정리를 통해 도출된 결과이며 3D TCAD (technology computer-aided design) 시뮬레이션 작업이 수행되었다. 먼저 FinFET과 GAAFET의 열화 내성 분석을 위해 32 nm부터 3 nm까지 각 소자의 DIBL과 SS를 비교하였다. 시뮬레이션 모델은 HfO<sub>2</sub> 게이트 산화물층을 포함하여 4면에서 채널을 둘러싸고 있는 MBCFET을 이용하였다. DIBL과 SS는 채널 길이가 짧아질수록 그 차이가 더 명확히 보이기 때문에 열화 내성 비교에 적합하다. 게이트와 채널의 접촉면적이 3면인 FinFET과 게이트가 채널 전체를 감싸고 있는 GAAFET의 전기적 특성 비교를 위해 32 nm부터 5 nm까지 각 소자의 게이트 길이에 따른 누설 전류 특성을 분석하였다. 열저항 특성은 SOI FinFET과 GAA의 일종인 NWFET의 fin 및 finger 개수 변화를 통해 비교하였다. 시뮬레이션 모델은 동일한 gate length (20 nm) 및 fin pitch (42 nm)를 갖는 14 nm 노드 SOI FinFET과 10 nm 노드 NWFET을 이용하였다. Fin과 finger의 개수 및 면적은 발열 해소에 영향을 주기 때문에 소자의 성능에도 직접적인 연관이 있다. 구조적 측면에서는 FinFET, NWFET, MBCFET을 비교하여 각 소자의 게이트 접촉면적에 따른 특성과 장단점을 알아보고 차세대 FET으로 사용 가능한 소자에 대해 고찰하였다.

## 3. 결과 및 고찰

FET의 공정 미세화는 집적도의 향상, 구동 전압 감소, 열적 안정성 향상, DIBL 및 SS (subthreshold swing) 열화 개선 등의 이점이 있다. 그림 1과 같이 planar FET에서 FinFET, GAAFET에 이르기까지 2년마다 70%씩 technology node의 면적 감소 및 성능 향상이 이루어졌다. Planar FET에서는 노드의 스케일이 곧 게이트나 채널의 길이를 말하였지만 공정 미세화에 따라 3차원 FinFET부터는 단지 소자 성능의 지표로서 사용된다 [7,8].

FinFET과 GAAFET에서 SCE에 의한 열화 내성을 분석하기 위해 게이트 길이에 따른 DIBL과 SS를 비교하였다. 그림 2는 FinFET과 5 nm 이상 공정에서 사용되는 GAAFET의 DIBL 및 SS이다. SCE는 게이트 길이가 짧아질수록 10 nm 이하에서 급격하게 증가하는 경향을 보인다. GAAFET은 게이트-채널 접촉면적이 3면인 FinFET에 비해 게이트가 채널 전체를 감싸고 있는 구조이기 때문에 게이트 제어능력이 향상된다. DIBL은 GAAFET이 기존 FinFET 대비 26% 개선되었고, SS는 GAAFET이 FinFET 대비 34% 이상 개선되었음을 확인할 수 있다. 그림 3은 게이트 길이에 따른 I<sub>off</sub> current와 I<sub>on/off</sub> ratio를 나타낸다. I<sub>off</sub> current는 10 nm 이하의 짧은 gate length에서 급격히 증가하였는데 GAAFET은 FinFET에 비해 30% 정도 더 낮게 측정되었다 [10]. 누설 전류의 원인으로는 역바이어스에 의한 junction leakage, dielectric tunneling으로부터의 gate leakage, 소수 캐리어 확산에 의한 subthreshold leakage 등이 있다. 게이트와 채널의 접촉면적이 늘어났기 때문에 전류를 제어하는 능력이 향상되어 GAAFET의 누설 전류가 줄어드는 것을 알 수 있다.

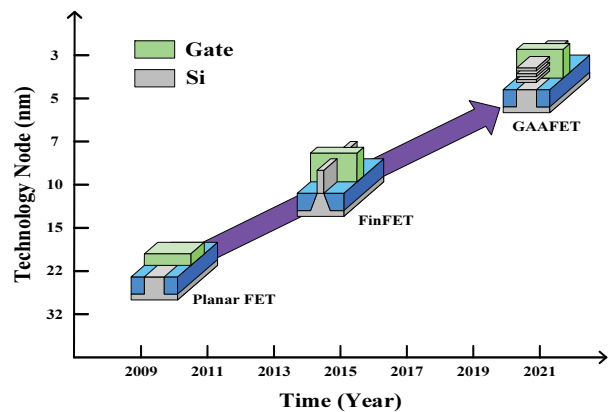


Fig. 1. Change of process node over time from planar MOSFET to GAAFET [9].

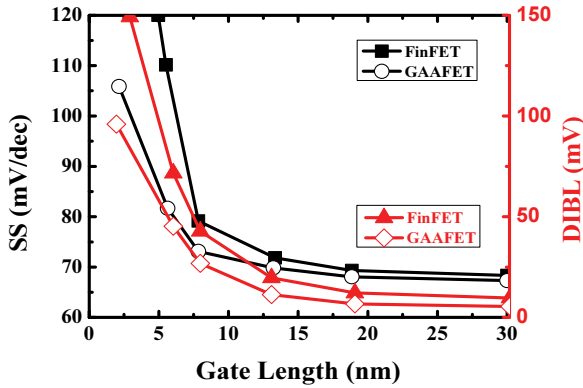


Fig. 2. Gate length dependency of short channel effects characteristics (DIBL and Subthreshold Swing) [10].

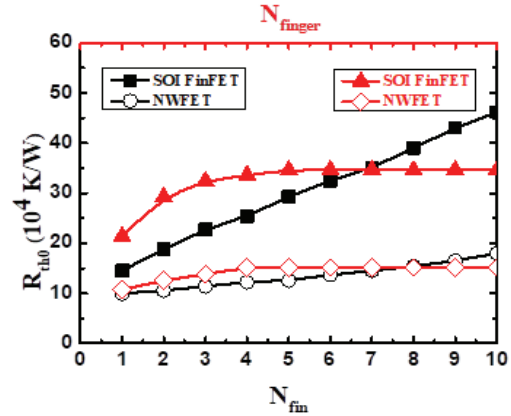


Fig. 4. Thermal resistance characteristics depending on fin number and finger number [13].

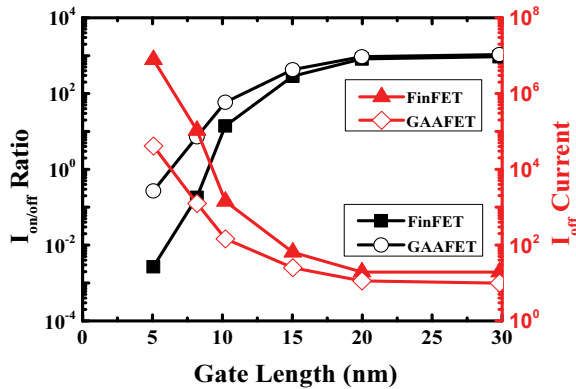


Fig. 3. Leakage characteristics.  $I_{off}$  current and  $I_{on/off}$  ratio depending on gate length [10].

SCE에 의한 off current가 FinFET에 비해 감소되었으므로  $I_{on/off}$  ratio도 GAAFET이 더 좋은 성능을 보여준다.  $I_{on/off}$  ratio의 경우 FinFET보다 28%가량 향상되었다 [11,12].

SCE에 의한 SHE (self-heating effect)는 소자의 속도를 감소시키고 누출을 증가시키며 열화를 촉진하는 등의 성능 저하에 영향을 끼친다. SHE는 열전도율이 낮은 산화물로 게이트가 둘러싸여 있어 발생한 열을 효과적으로 방출할 수 없을 때 강하게 발생한다. Fin 및 finger의 개수에 따른 열 저항을 분석하기 위해 3D TCAD 시뮬레이션이 사용되었다. SOI FinFET과 GAAFET의 일종인 NWFET의 열저항 및 격자 온도를 비교해 보았을 때 SOI FinFET의  $R_{th}$  값이 더 크게 나타난다. 그림 4를 통해 열저항이 fin과 finger의 수에 영향을 받는 것을 알 수 있다. 열저항은 fin

과 finger의 개수가 증가할수록 증가하는 양상을 보이는데 fin 개수의 증가가 finger의 증가보다 큰 열저항 상승을 보인다 [13]. Fin의 수가 많을수록 단면적이 넓어 더 나은 열 방출 능력을 제공한다. NWFET은 GAA의 이점을 살려서 향상된 게이트 제어능력으로 인해 SOI FinFET에 비해 훨씬 좋은  $R_{th}$  성능을 보여준다 [14]. 유효 열저항은 다음의 수식을 통해 추출하였다.

$$R_{th0} = \frac{\Delta T}{V_{ds} \cdot I_d / W_{eff}} = R_{th} X W_{eff}$$

구조적 측면에서 fin-layout에 따라 FinFET과 GAAFET의 성능에 영향을 미친다. 앞서 전기적 특성 및 열저항 특성에 대한 FinFET과 GAAFET의 성능 차이를 확인하였고, GAAFET이 FinFET에 비해 더 나은 성능을 나타내는 것을 알 수 있었다. 그림 5는 fin 형태 또는 채널 형성 모양에 따른 트랜지스터의 구조 변화를 보여준다 [15]. FinFET은 채널 제어를 향상시키기 위해 게이트 산화물이 3면을 둘러싸고 있는 구조로 되어 있지만 공정 미세화로 전체 제어능력이 떨어진다. 이를 개선하기 위해 GAAFET이 도입되었다. 채널이 얇고 긴 나노 와이어 형태로 되어 있는 NWFET과 채널을 나노 시트 형태로 만들어 수직 방향으로 쌓은 구조로 만든 MBCFET이 있다 [16]. NWFET은 기존 직사각형 채널의 corner effect를 해결할 수 있다는 장점이 있지만 등글게 에칭하는 공정의 난이도가 높고, 얇은 채널폭으로 인해 충분한 전류를 얻기 힘들다는 장점이 있다 [17]. MBCFET은 채널이 시트형태로 게이트에 닿는 면적이 늘어났기 때문에 충분한 전류량을 확보할 수 있다 [18].

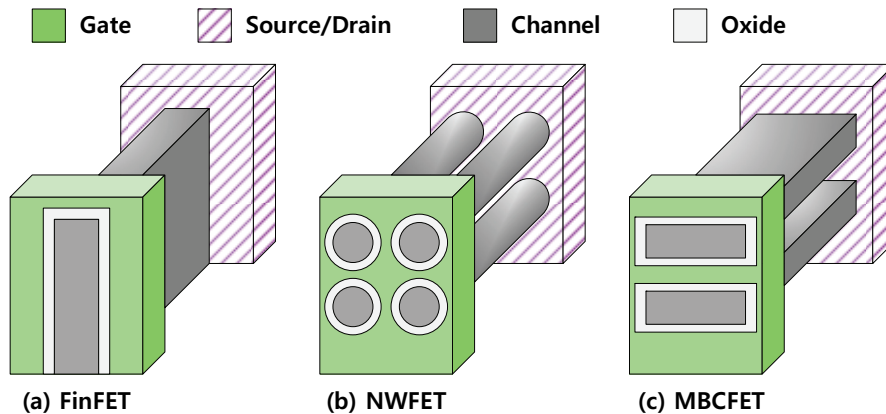


Fig. 5. Transistor structure and performance change depending on fin-layout [15].

n-MOS와 p-MOS 모두 뛰어난 게이트 제어 능력을 갖고, 동일한 CPP (contacted poly pitch) 및 표준 셀 높이를 가진 FinFET에 비해 각각 31% 및 26%  $I_{Dsat}$  개선 효과가 있다. 기존 FinFET 공정의 마스크를 90% 이상 마이그레이션 할 수 있기 때문에 NWFET에 비해서 공정 난이도가 낮고 채널 폭을 조정하기 더 수월하여 확장성이 높은 소자이다 [19].

#### 4. 결론

Planar FET에서부터 GAAFET에 이르기까지 소자 성능 향상과 구조 최적화에 대해 리뷰해 보았다. 소형화에 따른 SCE를 게이트와 채널의 접촉면적을 늘림으로써 해결 가능하였다. GAAFET은 FinFET에 비해 게이트가 채널 전체를 감싸고 있어 우수한 전류 제어 특성을 보여준다. DIBL 및 SS의 개선을 확인할 수 있었고  $I_{on/off}$  ratio 및  $I_{off}$  current의 향상도 함께 확인하였다. 두 소자 모두 fin과 finger의 수가 증가할수록 열 저항이 증가하며 NWFET이 SOI FinFET보다 나은 성능을 보여준다. 구조적 측면에서 NWFET은 corner effect에 의한 단점을 보완할 수 있어 높은 성능을 보여주지만 에칭이 힘들다는 단점을 갖고 있다. 그에 비해 MBCFET은 GAA 구조의 특성을 살리면서 직사각형 모양의 시트를 수직으로 쌓는 구조를 택하여 에칭의 난이도를 완화하였다. 결과적으로 나노 시트 형태 MBCFET의 5 nm 이상의 초미세 공정에서 쓰이기 적합한 구조로의 양산화가 기대된다.

#### 감사의 글

이 연구는 산업통상자원부 ‘산업혁신인재성장지원사업’의 재원으로 한국산업기술진흥원(KIAT)의 지원을 받아 수행된 연구임(2021년 차세대 디스플레이 공정·장비·소재 전문인력 양성사업, 과제번호: P0012453).

#### REFERENCES

- [1] S. Dey, J. Jena, E. Mohapatra, T. P. Dash, S. Das, and C. K. Maiti, *Phys. Scr.*, **95**, 014001 (2019). [DOI: <https://doi.org/10.1088/1402-4896/ab4621>]
- [2] S. Zhang, *Proc. 2nd International Conference on Electronic Engineering and Informatics* (IOP Publishing Ltd, Lanzhou, China, 2020) p. 012054. [DOI: <https://doi.org/10.1088/1742-6596/1617/1/012054>]
- [3] S. Singh and A. Raman, *J. Comput. Electron.*, **17**, 967 (2018). [DOI: <https://doi.org/10.1007/s10825-018-1166-0>]
- [4] M. Khauani and A. Guen-Bouazza, *Int. J. Electr. Comput. Eng.*, **7**, 1899 (2017). [DOI: <https://doi.org/10.11591/ijece.v7i4.pp1899-1905>]
- [5] M. Karner, O. Baumgartner, Z. Stanojević, F. Schanovsky, G. Strof, C. Kernstock, H. W. Karner, G. Rzepa, and T. Grasser, *Proc. 2016 IEEE International Electron Devices Meeting (IEDM)* (IEEE, San Francisco, USA, 2016) p. 30.7.1. [DOI: <https://doi.org/10.1109/IEDM.2016.7838516>]
- [6] T. N. Theis and H.S.P. Wong, *Comput. Sci. Eng.*, **19**, 41 (2017). [DOI: <https://doi.org/10.1109/MCSE.2017.29>]
- [7] E. P. DeBenedictis, *Computer*, **50**, 72 (2017). [DOI: <https://doi.org/10.1109/MC.2017.34>]
- [8] U. K. Das and T. K. Bhattacharyya, *IEEE Trans. Electron Devices*, **67**, 2633 (2020). [DOI: <https://doi.org/10.1109/TED.2020.2987139>]

#### ORCID

Junsin Yi

<https://orcid.org/0000-0002-6196-0035>

- [9] T. Song, W. Rim, H. Kim, K. H. Cho, T. Kim, T. Lee, G. Bae, D. W. Kim, S. D. Kwon, S. Baek, J. Jung, J. Kye, H. Jung, H. Kim, S. M. Jung, and J. Park, *Proc. 2021 IEEE International Solid-State Circuits Conference (ISSCC)* (IEEE, San Francisco, USA, 2021) p. 338. [DOI: <https://doi.org/10.1109/ISSCC42613.2021.9365988>]
- [10] S. H. Joung and S. Y. Kim, *Proc. 2019 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)* (IEEE, Udine, Italy, 2019) p. 1. [DOI: <https://doi.org/10.1109/SISPAD.2019.8870498>]
- [11] F. Ahmed, R. Paul, and J. K. Saha, *Proc. 2020 IEEE 10th International Conference Nanomaterials: Applications & Properties (NAP)* (IEEE, Sumy, Ukraine, 2020) p. 01TPNS04-1. [DOI: <https://doi.org/10.1109/NAP51477.2020.9309688>]
- [12] I. Myeong, D. Son, H. Kim, M. Kang, and H. Shin, *J. Semicond. Technol. Sci.*, **17**, 685 (2017). [DOI: <https://doi.org/10.5573/JSTS.2017.17.5.685>]
- [13] I. Jain, A. Gupta, T. B. Hook, and A. Dixit, *IEEE Trans. Electron Devices.*, **65**, 4238 (2018). [DOI: <https://doi.org/10.1109/TED.2018.2863730>]
- [14] B. K. Kompala, P. Kushwaha, H. Agarwal, S. Khandelwal, J. P. Duarte, C. Hu, and Y. S. Chauhan, *Jpn. J. Appl. Phys.*, **55**, 04ED11 (2016). [DOI: <http://doi.org/10.7567/JJAP.55.04ED11>]
- [15] T. Song, *IEEE Access*, **8**, 149984 (2020). [DOI: <https://doi.org/10.1109/ACCESS.2020.3015596>]
- [16] A. Veloso, T. Huynh-Bao, P. Matagne, D. Jang, G. Eneman, N. Horiguchi, and J. Ryckaert, *Solid-State Electron.*, **168**, 107736 (2020). [DOI: <https://doi.org/10.1016/j.sse.2019.107736>]
- [17] A. Dasgupta and C. Hu, *IEEE Electron Device Lett.*, **41**, 1750 (2020). [DOI: <https://doi.org/10.1109/LED.2020.3032390>]
- [18] S. Barraud, V. Lapras, B. Previtali, M. P. Samson, J. Lacord, S. Martinie, M. A. Jaud, S. Athanasiou, F. Triozon, O. Rozeau, J. M. Hartmann, C. Vizios, C. Comboroure, F. Andrieu, J. C. Barbé, M. Vinet, and T. Ernst, *Proc. 2017 IEEE International Electron Devices Meeting (IEDM)* (IEEE, San Francisco, USA, 2017) p. 29.2.1. [DOI: <https://doi.org/10.1109/IEDM.2017.8268473>]
- [19] G. Bae, D. I. Bae, M. Kang, S. M. Hwang, S. S. Kim, B. Seo, T. Y. Kwon, T. J. Lee, C. Moon, Y. M. Choi, K. Oikawa, S. Masuoka, K. Y. Chun, S. H. Park, H. J. Shin, J. C. Kim, K. K. Bhuwalka, D. H. Kim, W. J. Kim, J. Yoo, H. Y. Jeon, M. S. Yang, S. J. Chung, D. Kim, B. H. Ham, K. J. Park, W. D. Kim, S. H. Park, G. Song, Y. H. Kim, M. S. Kang, K. H. Hwang, C. H. Park, J. H. Lee, D. W. Kim, S. M. Jung, and H. K. Kang, *Proc. 2018 IEEE International Electron Devices Meeting (IEDM)* (IEEE, San Francisco, USA, 2018) p. 28.7.1. [DOI: <https://doi.org/10.1109/IEDM.2018.8614629>]