

병렬 인터페이스형 디지털/아날로그 변환회로의 1개 비트 확장에 관한 연구

권성열¹, 이현창^{2*}

¹부경대학교 전기공학과 교수, ²공주대학교 정보통신학부 교수

A Study on Extension of One-bit of the Parallel Interface type Digital-to-Analog Conversion Circuit

Sung-Yeol Kwon¹, Hyun-Chang Lee^{2*}

¹Professor, Department of Electrical Engineering, PuKyong National Univ.

²Professor, Division of Information & Telecommunications, Kongju National Univ.

요약 본 논문에서는 병렬 인터페이스형 디지털/아날로그 변환회로에 외부 소자를 추가해 1개 비트를 확장하는 방법을 제시했다. 이를 위해 디지털/아날로그 변환회로의 원리를 살펴보고 개별 소자를 추가해 1개 비트를 확장하는 경우에 발생하는 문제점을 분석했으며, 연산증폭기 회로를 이용한 디지털/아날로그 소자의 비트 확장 방법을 제시했다. 제시한 방법은 연산증폭기의 고정밀도 특성을 이용함에 따라 소자에 오차가 발생하더라도 출력파형의 전체적인 크기에만 영향을 미치고 각 비트 사이에서 발생하는 전압역전 현상은 발생하지 않는 특징을 지닌다. 제시한 방법의 효과를 확인하기 위해 실험회로를 구성해 출력의 절대전압 측정과 상대적 오차 측정을 실시한 결과 0.0756%의 전압오차가 나타남으로서 개별소자 추가에 의해 1개 비트 확장 시 요건인 0.195%를 충분히 충족함을 확인했다.

주제어 : 디지털/아날로그, 변환회로, 병렬형, 비트 확장, 반전/비반전 증폭기

Abstract In this paper, a method of extending 1 bit by adding an external device to a parallel interface type Digital-to-Analog conversion(D/A C) circuit is presented. To do this, the principle of the D/A C circuit was examined, and the problems that occur when extending one bit by adding individual devices were analyzed, and a bit extension method of the D/A devices using an OP-Amp. circuit was presented. As the proposed method uses the high-precision characteristics of the OP-Amp., even if an error occurs in the device, only the overall size of the output waveform is affected, and the voltage reversal phenomenon that occurs between each bit does not occur. In order to confirm the effect of the proposed method, an experimental circuit was constructed and the absolute voltage of the output and the relative error were measured. As a result, a voltage error of 0.0756% appeared, confirming that the 0.195% requirement for one bit expansion by adding individual devices was sufficiently satisfied.

Key Words : D/A C, Conversion circuit, Parallel interface, Bit extension, Switchable non-inverting/inverting

1. 서론

마이크로프로세서는 디지털 추세와 반도체 소자 기술의 발전에 힘입어 컴퓨터 주변장치를 비롯해 가전제

품의 임베디드 시스템(Embedded system)[1,2], 공장 자동화 분야뿐만 아니라 최근에는 인터넷과 연동한 IoT (Internet of Things)[3] 같은 주변의 사물 영역까지 적용분야가 확대되고 있으며, 이러한 추세는 더욱

*Corresponding Author : Hyun-Chang Lee(hclee@kongju.ac.kr)

Received June 20, 2021

Accepted August 20, 2021

Revised July 20, 2021

Published August 28, 2021

가속화될 것으로 보인다. 한편 마이크로프로세서 또는 마이크로컨트롤러는 제어대상의 각종 상태를 감지하기 위한 센서 신호나 전기신호를 입력받는 아날로그/디지털 변환회로(Analog-to-Digital Converter)가 사용되고, 제어대상을 제어하기 위한 신호를 출력하기 위해 디지털/아날로그 변환회로(Digital-to-Analog Converter)가 사용되며, 이러한 필요성에 의해 최근의 마이크로컨트롤러는 대부분 SA (Successive approximation)형 아날로그/디지털 변환회로를 내장하고, 디지털/아날로그 변환회로는 저속을 대상으로 하는 PWM(Pulse Width Modulation) 회로를 주로 내장한다[4].

PWM을 이용한 디지털/아날로그 변환(이후로는 D/A C로 표기한다)은 큰 적분요소가 존재하므로 반응속도가 상대적으로 느린 제어대상에 적용할 경우 간단한 회로를 이용해 고효율로 제어할 수 있는 방식이다 [5]. 그러나 출력신호의 주파수가 높을 경우 PWM 주파수는 이의 256배, 1,024배 등으로 높아져야 하므로, 음향신호나 영상신호 발생 등에는 적용할 수 없는 제약점이 있다. 따라서 비교적 높은 주파수의 출력신호를 발생할 경우 마이크로컨트롤러 외부에 별도의 D/A C 소자를 접속해 사용하며, 최근에는 초고속 직렬전송을 이용함으로써[6] 마이크로컨트롤러 포트 수가 크게 절감되고 D/A C 소자의 핀 또한 크게 절감되어 소형화뿐만 아니라 제작단가의 절감 측면에서도 유리하다. 그러나 출력 신호의 주파수가 더욱 높아지면 데이터 전송 속도가 더욱 높아야 하므로 더욱 고속의 마이크로컨트롤러가 필요해 오히려 가격 상승의 원인이 된다. 이러한 경우 D/A C 소자로 데이터를 공급하는 회로는 개별적인 논리회로를 적용하고, 마이크로컨트롤러는 저속의 것을 사용해 회로들을 제어하는데, 이 경우 병렬 전송 방식 소자를 사용해야 한다.

직렬 전송 방식 소자는 비트 수 증가에 따른 소자의 핀 수가 증가하지 않으므로 비트 수 증가에 대한 가격 상승 폭이 두드러지지 않지만, 병렬 전송방식 소자는 비트 수가 증가하면 그만큼 소자의 핀 수가 증가하고 패키지 크기가 증가해 직렬 전송방식에 비해 큰 가격차가 발생한다. 한편 일반적으로 생산되는 D/A C 소자는 대부분 8-비트를 기준으로 10, 12, 16-비트와 같이 비트 수가 증가하며, 응용 대상에 따라 9-비트의 해상도가 요구되는 경우 10-비트 급 소자를 1-비트 사용하지 않는 방법으로 구성한다. 이 경우 병렬 전송방식은 비

트 수 증가에 따른 가격차가 2배 이상이므로 가격 경쟁력이 중요시 되는 제품의 경우 큰 문제가 될 수 있다. 이러한 필요성에 의해 Lee 등[7]은 기존의 병렬 전송 방식 D/A C 소자에 외부 개별소자를 이용해 비트 수를 확장하기 어려운 요인을 분석했으며, 그 결과 8-비트 이상 급에서 1개 비트를 확장하는 것은 0.19% 이하의 오차율이 요구되므로 일반적인 개별소자를 이용해서는 거의 불가능한 것으로 나타났다.

본 논문에서는 이상에서 논한 병렬 전송방식 D/A C 소자에 소량의 외부 소자를 추가해 1개 비트를 확장하기 위한 방법을 제시하고자 한다. 이를 위해 비트 확장에 따른 문제점을 고찰하고 해결 방법을 제시하며, 실험을 통해 이를 입증하고자 한다.

2. 디지털/아날로그 변환기

D/A C 회로의 비트 수 확장 시 고려사항을 분석하기 위해 전류출력형 회로를 대상으로 고찰한다.

2.1 디지털/아날로그 변환회로의 원리

전류출력형 D/A C의 등가회로는 Fig. 1과 같이 나타낼 수 있고 출력전류는 식 (1)과 같이 표현된다[8].

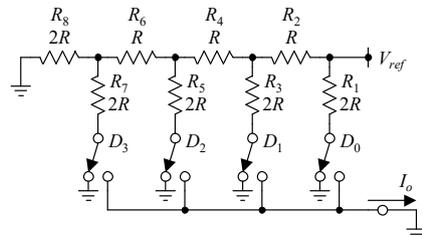


Fig. 1. Equivalent circuit of 4-bit ladder circuit

$$I_o = I_{ref} \cdot \left(\frac{1}{2} D_0 + \frac{1}{4} D_1 + \frac{1}{8} D_2 + \frac{1}{16} D_3 \right) \quad (1)$$

여기서, $I_{ref} = V_{ref}/R$ 로서 회로의 기준 전류이다. 식 (1)에 의하면, 디지털 비트 D_0 이 변화함에 의해 기준전류의 1/2이 출력전류에 기여하고, D_1 의 변화는 기준전류의 1/4, D_2 의 변화는 1/8 등으로 기여하며, 이들의 조합에 의해 기준전류는 1/16 단위로 16단계 제어된다. 동일한 원리로 8-비트 변환소자의 경우 기준전류는 1/256 단위로 256단계 제어되며, 10-비트 변환소자는 1/1024 단위로 1024단계 제어된다.

2.2 비트 확장을 위한 소자의 허용오차

Fig. 1 회로의 경우 4개 비트로 구성되어 최하위 비트 D_3 에 의해 I_{ref} 의 16분의 1을 제어한다. 따라서 최상위 비트를 구성하는 R_1 과 R_2 저항 소자의 오차는 최하위를 담당하는 R_7 , R_8 의 비율 16분의 1(6.25%)보다 1/2 이하, 즉 32분의 1(3.125%)보다 작아야 최하위 제어전류에 큰 영향을 미치지 않는다. 만약 이 오차보다 큰 경우 최하위 제어전류는 최상위에서 발생하는 오차보다 작으므로 무의미해지며, Fig. 2에 나타낸 바와 같이 최상위 비트가 변화할 때 출력이 역전되는 현상이 발생한다.

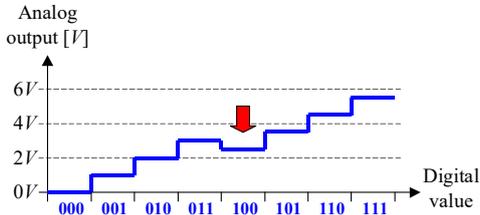


Fig. 2. Example of output reversal phenomenon

디지털 데이터 비트 수를 n 이라 할 때, 최하위 비트 (LSB; Least Significant Bit)는 최상위 비트(MSB; Most Significant Bit)가 제어하는 전류에 비해 식 (2)와 같은 전류를 제어한다.

$$I_{LSB} = \frac{1}{2^{(n-1)}} \times I_{MSB} \quad (2)$$

최상위 비트의 오차가 최하위 비트의 전압에 큰 영향을 미치지 않으려면 오차값이 최하위 비트의 제어값보다 절반 이하로 작아야 하므로 최상위 비트가 가져야 할 소자 오차는 식 (3)과 같다.

$$\varepsilon_{MSB} \leq \frac{1}{2^n} \times 100 [\%] \quad (3)$$

따라서 이 소자를 1개 비트 확장할 경우 해상도가 2배 증가하므로 비트 확장에 사용할 소자들은 식 (3)보다 절반 이하인 식 (4)와 같은 오차를 가져야 한다.

$$\varepsilon_{MSB+1} \leq \frac{1}{2^{(n+1)}} \times 100 [\%] \quad (4)$$

식 (3), (4)에 의해 최상위 비트가 가져야 할 최소 오차(제한오차)와 비트 확장 시 적용될 제한오차의 계산 예를 Table 1에 나타내었다.

Table 1. Example of tolerance calculation for various bits

bit	Resolution	Tolerance [%]	Tolerance for extending 1-bit [%]
4	16	6.250000	3.125000
5	32	3.125000	1.562500
6	64	1.562500	0.781250
7	128	0.781250	0.390625
8	256	0.390625	0.195313

Table 1에 의하면 8-비트를 9-비트로 확장하려면 0.195% 이하의 오차를 가져야 하므로 일반적인 소자를 이용하는 경우 출력 역전 현상이 발생할 수 있다. 이에 비해 IC로 구성된 D/A C는 트랜지스터를 대량으로 이용 가능하므로 전류-미러(current-mirror) 회로를 이용해 기본 전류의 배수를 제어하도록 구현한다[9].

3. 디지털/아날로그 변환기의 확장

3.1 반전/비반전 증폭기

연산증폭기를 이용한 비반전/반전 스위치 증폭기 (Switchable Non-inverting/Inverting Amplifier 또는 Dual Polarity Amplifier)를 Fig. 3에 나타내었다.

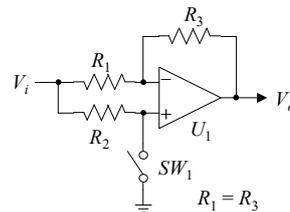


Fig. 3. Switchable non-inverting/inverting amplifier circuit

3.1.1 SW1이 off일 때

SW1이 off일 때 연산 증폭기의 (+)입력과 (-)입력은 각각 식 (5), (6)과 같이 나타낼 수 있고, 연산증폭기의 정의에 의해 출력전압은 식 (7)과 같으며, 여기서 A_n 는 연산증폭기 전압이득, $R_{sw,off}$ 는 스위치 소자의 off 시 저항이다.

$$V_{i(+)} = \frac{R_{SW,off}}{R_2 + R_{SW,off}} \cdot V_i \quad (5)$$

$$V_{i(-)} = \frac{R_3}{R_1 + R_3} \cdot (V_i - V_o) + V_o \quad (6)$$

$$V_o = (V_{i(+)} - V_{i(-)}) \cdot A_v \quad (7)$$

식 (7)에 식 (5), (6)을 대입하고 정리하면 식 (8)과 같고, 일반적으로 연산증폭기 A_v 는 매우 크며, $R_1 = R_3$ 조건을 대입하면 식 (9)와 같이 간소화할 수 있다.

$$\left(\frac{R_{SW,off}}{R_2 + R_{SW,off}} - \frac{R_3}{R_1 + R_3} \right) \cdot V_i = \left(\frac{1}{A_v} - \frac{R_3}{R_1 + R_3} + 1 \right) \cdot V_o \quad (8)$$

$$\left(\frac{R_{SW,off}}{R_2 + R_{SW,off}} - \frac{1}{2} \right) \cdot V_i = \frac{1}{2} \cdot V_o \quad (9)$$

식 (9)에서 R_2 와 $R_{SW,off}$ 의 관계가 식 (10)을 충족한다면 식 (9)는 식 (11)과 같이 표현되며, 이는 SW_1 이 off일 때 출력 V_o 는 V_i 와 동일한 버퍼 상태가 됨을 의미한다.

$$R_2 \ll R_{SW,off} \quad (10)$$

$$V_o \cong V_i \quad (11)$$

3.1.2. SW1이 on일 때

SW_1 이 on일 때는 연산 증폭기의 (+)입력은 식 (5)로부터 식 (12)와 같이 나타낼 수 있고, (-)입력은 식 (6)과 동일하므로 식 (6), (12)를 식 (7)에 대입하고 V_o 에 대해 정리하면 식 (13)과 같다.

$$V_{i(+)} = \frac{R_{SW,on}}{R_2 + R_{SW,on}} \cdot V_i \quad (12)$$

$$\left(\frac{R_{SW,on}}{R_2 + R_{SW,on}} - \frac{R_3}{R_1 + R_3} \right) \cdot V_i = \left(\frac{1}{A_v} - \frac{R_3}{R_1 + R_3} + 1 \right) \cdot V_o \quad (13)$$

연산증폭기 A_v 가 매우 크고, 식 (14)의 조건을 충족한다면 식 (13)은 식 (15)와 같이 간소화할 수 있다.

$$R_2 \gg R_{SW,on} \quad (14)$$

$$V_o = -\frac{R_3}{R_1} \cdot V_i \quad (15)$$

회로의 조건에서 $R_1 = R_3$ 이므로, 이를 대입하면, 식 (16)과 같은 반전버퍼가 된다.

$$V_o = -V_i \quad (16)$$

3.1.3. 오차 요인의 최소화 조건

이상의 과정에서 오차 요인을 최소화 하는 조건은 식 (10), (14), (15)이며, 오차를 최소화하기 위해 식 (10)과 식 (14)를 종합하면 식 (17), (18)과 같은 조건을 최대한 충족시켜야한다.

$$R_{SW,off} \gg R_2 \gg R_{SW,on} \quad (17)$$

$$R_1 = R_3 \quad (18)$$

주목할 점은 이들 조건들 중에 오차가 발생하더라도 연산증폭기의 전압이득 A_v 항에만 작용해 출력 전체의 이득에 영향을 미칠 뿐 각 비트별로 작용하는 것이 아니므로 출력 역전현상은 발생하지 않는다는 것이다.

3.2 반전/비반전 증폭기에 의한 확장

3.2.1. 확장 회로

Fig. 4에 D/A C와 반전/비반전 증폭기를 접속해 1개 비트를 확장한 회로를 나타내었다.

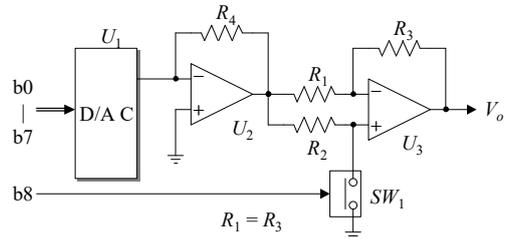


Fig. 4. 1-bit extended circuit using switchable non-inverting/inverting amplifier

Fig. 4의 구성에서 D/A C는 8-비트 출력, 즉 0부터 +255의 256단계로 구성되고 이를 U_2 에서 전류/전압 변환 후 확장된 비트에 의해 U_3 를 반전/비반전 제어함으로써 해상도를 2배로 향상시킨다.

3.2.2 제어 방법

Fig. 4의 회로를 이용해 데이터를 출력할 때, 구성 데이터의 형태가 unsigned 9-bit일 경우와 signed 9-bit일 경우의 데이터 출력방법을 Fig. 5에 각각 나타내었다.

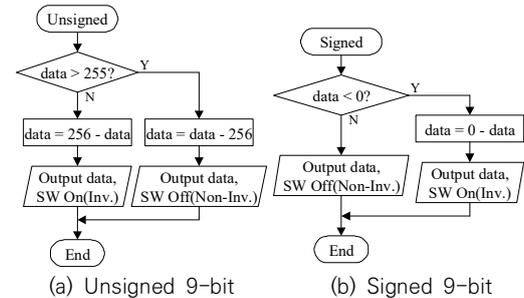


Fig. 5. Data flow according to data structures

여기서, 실제 9-비트 출력인 512단계와 차이점은 확장된 8-비트 D/A C의 경우 +0과 -0이 존재하므로 본래의 9-비트에서 발생하는 512단계가 아닌 511단계가 된다는 점이다.

4. 실험 및 결과

4.1 실험장치의 구성

본 논문의 실험을 위해 Fig. 6과 같은 회로를 구성했다.

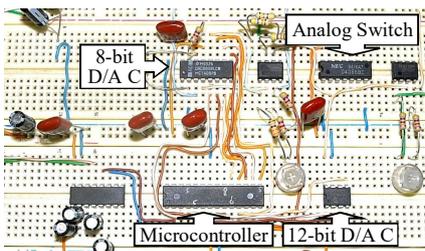


Fig. 6. Constructed experimental circuit

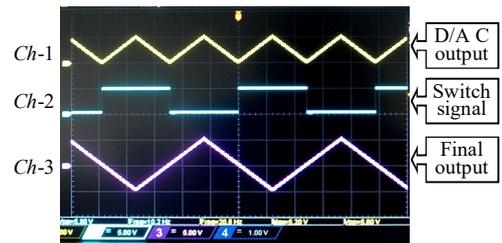
U_1 D/A C는 8-비트 DAC0808[10]을, SW_1 은 CMOS 시리즈의 4066 아날로그 스위치를[11]. 제어는 AVR 시리즈 마이크로컨트롤러를[12] 사용하고, unsigned 9-bit 코드를 적용했다. 4066은 데이터시트에 의하면 +5V 동작 시 on 저항은 470Ω , off 시 약 $100M\Omega$ 이며 식 (17)로부터 R_2 는 $47K\Omega$ 를 적용했다. 실험은 확장된 9-비트 D/A C의 절대전압 측정과

National Semiconductor에서 제시한 상위 비트 D/A C(본 논문에서는 12-비트급)와의 상대오차 비교법[10]을 적용했다.

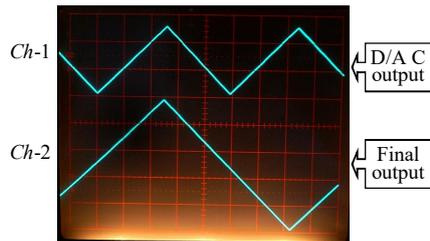
4.2. 실험 결과

4.2.1. 출력파형

Fig. 7에 실험 결과에 따른 오실로스코프 출력파형을 나타내었다.



(a) Waveform from digital oscilloscope



(b) Waveform from analog oscilloscope

Fig. 7. Constructed experimental circuit

Fig. 7(a)는 디지털 오실로스코프 파형으로서, 채널 -1은 본래의 8-비트 D/A C 출력, Ch-2는 반전/비반전 스위칭 신호. Ch-3은 이에 따른 확장된 출력을 각각 나타낸 것이며, 본래의 256단계 8-비트 D/A C 출력이 511단계의 9-비트로 확장되었음을 확인할 수 있다. Fig. 7(b)는 Ch-1, 3의 출력을 더 정확히 확인하기 위해 아날로그 오실로스코프를 이용해 관찰한 것으로서, 육안으로도 전압 역전현상은 발생하지 않음을 알 수 있다.

4.2.2. 절대전압 측정결과

Table 2에 절대전압 측정 결과와 반전/비반전에서 출력전압 오차를 비교해 나타내었다. 실험은 비반전 시 디지털 값이 255일 때 출력전압이 5.11V가 나타나도록, 즉 디지털 값 1 당 0.2V의 변화가 나타나도록 조

정한 후 다른 디지털 값에 대한 전압을 측정했다. 실험 결과에 따르면 비반전과 반전 시 차이를 9-비트 D/A C가 가져야 할 비트 전압, 즉 본 실험에서는 0.2V에 대한 오차를 구하면 평균 13.125% 정도의 오차가 발생하지만, 전체 전압범위인 10.22V에 대한 오차는 평균 0.0262%로 나타나며, 특히 실험 과정 중 각 디지털 값에 대해 출력전압이 역전되는 현상은 관찰되지 않았다. 실험 결과에서 디지털 값이 0인 경우 차이가 발생하는 것은 D/A C로부터의 전류출력이 거의 없으므로 인해 연산 증폭기의 오프셋 전류가 영향을 미친 것으로 보인다.

Table 2. Experimental result of absolute voltage

Digital Value	Non-inv. [V]	Inverted [V]	Diff. per bit error[%]	Diff. error of V_o [%]
0	0.005	0	25	0.049
1	0.013	-0.011	10	0.020
2	0.034	-0.031	15	0.029
3	0.053	-0.051	10	0.020
4	0.074	-0.071	15	0.029
5	0.093	-0.090	15	0.029
6	0.114	-0.111	15	0.029
:	:	:	:	:
248	4.970	-4.967	15	0.029
249	4.989	-4.987	10	0.020
250	5.009	-5.007	10	0.020
251	5.029	-5.027	10	0.020
252	5.050	-5.046	20	0.039
253	5.070	-5.066	20	0.039
254	5.090	-5.086	20	0.039
255	5.110	-5.107	15	0.029
Average			13.125 [%]	0.0262 [%]

4.2.3. 상대오차 측정결과

Table 3에 확장된 8-비트 D/A C 출력전압과 12-비트 급 D/A C의 출력전압을 비교한 결과를 나타내었으며, 이 때 12-비트 D/A C는 8-비트 D/A C에 비해 16배의 정밀도를 가진다. 확장된 8-비트 D/A C는 Table 1의 최저 전압을 0V 기점으로 적용하기 위해 +5.1V 바이어스를 부가해 사용했으며, 앞서 논한 바와 같이 511단계가 되어 0부터 510까지의 디지털 값이 출력된다.

Table 3의 상대적 비교결과에서, 비반전/반전 전환이 이루어지는 디지털 값 256 이후부터는 오차가 크게 증가한 것을 확인할 수 있는데, 이는 회로 구성 시 일반적인 5%급 저항을 사용했기 때문에 식 (18)의 조건이 완전하게 부합되지 않아 발생한 것으로 보인다. 그럼에도 불구하고 16배 정밀도를 가진 12비트 급과 비교해

평균 38.867%의 오차만이 발생했으며, 특히 이는 확장된 8-비트 회로뿐만 아니라 12-비트 D/A C 소자의 오차도 합산된 결과이다. 출력 전체전압에 대한 오차는 평균 0.0756%로서 Table 1에서 구했던 9-비트 확장 범위 0.195% 이내의 요건을 충분히 만족할 뿐만 아니라 10-비트 확장범위 요건인 0.0975%까지도 충족하고 있음을 알 수 있다.

Table 3. Comparison of extended 8-bit and 12-bit D/A C

Digital Value	Extended 8-bit [V]	12-bit [V]	Diff. per bit error[%]	Diff. error of V_o [%]
0	-0.007	0.005	45	0.088
1	0.014	0.026	40	0.078
2	0.034	0.046	40	0.078
3	0.054	0.067	30	0.059
4	0.073	0.088	25	0.049
:	:	:	:	:
253	5.069	5.065	20	0.039
254	5.089	5.085	20	0.039
255	5.100	5.105	25	0.049
256	5.113	5.125	60	0.117
257	5.134	5.145	55	0.108
258	5.153	5.165	60	0.117
:	:	:	:	:
507	10.150	10.14	50	0.098
508	10.170	10.16	50	0.098
509	10.190	10.18	50	0.098
510	10.210	10.20	50	0.098
511	-	10.22	-	-
Average			38.867 [%]	0.0756 [%]

5. 결론

본 논문에서는 병렬 인터페이스형 D/A C 회로에 외부 소자를 추가해 1개 비트를 확장하는 방법을 제시했다. 이를 위해 D/A C 회로의 원리와 개별 소자를 추가해 1개 비트를 확장하는 경우의 문제점을 분석했고, 이를 극복하기 위해 연산증폭기 회로를 추가함으로써 기존 D/A C 소자에서 비트를 확장하는 방법을 제시했다. 제시한 방법은 연산증폭기의 고정밀도 특성을 이용함에 따라 소자에 오차가 발생하더라도 출력파형의 전체적인 크기에만 영향을 미치고 각 비트 사이에서 발생하는 전압역전 현상은 발생하지 않는 특징을 지닌다. 제시한 방법의 효과를 확인하기 위해 실험회로를 구성해 출력의 절대전압 측정과 상위 비트급 소자와의 상대오차 측정을 실시했다. 실험 결과, 일반적인 개별소자를 적용했음에도 불구하고 소자의 오차는 예상한 바와 같이 파형의 전체적인 크기에만 영향을 미칠 뿐 전압 역

전 현상은 발생하지 않음을 확인했고, 전압측정 결과 평균 0.0756%의 오차만 발생함으로써 9비트 확장 제한오차인 0.195%를 충족시키는 것으로 나타났다.

이상의 결과에 따라 병렬 인터페이스형 D/A C 소자에 소량의 개별소자를 적용해 저렴한 가격으로 1개 비트를 확장할 수 있으며, 이는 제품 구성 시 큰 가격상승 요인 없이 성능 향상이 가능함에 따라 중소기업 제품 생산 현장에서 유용하게 적용될 수 있을 것으로 기대된다. 또한 추가되는 회로의 소자를 더 정밀급으로 사용한 경우 더욱 정밀도가 향상되는 결과를 얻을 수 있을 것으로 사료된다. 한편, 10-비트 급을 1개 비트 확장하기 위한 조건은 0.049%인데 비해 본 논문의 절대전압 측정결과에 따르면 오차율이 0.0262%가 나타남에 따라 10-비트를 11비트로 확장하는 경우에도 적용이 가능할 것으로 보이며, 본 회로를 응용해 아날로그-디지털 회로를 구성할 경우에도 1개 비트 확장이 가능할 것으로 사료된다.

REFERENCES

- [1] F. Vahid & T. Givargis. (2021). *Embedded System Design : A Unified Hardware/Software Instruction*. New Jersey : John Wiley & Sons. ISBN : 978-0471386780
- [2] Marwedel. Peter. (2021). *Embedded System Design*. London, UK : Springer Nature. DOI : 10.1007/978-3-030-60910-8
- [3] J. Gubbi, R. Buyya, S. Marusic & M. Palaniswami. (2013). Internet of Things (IoT): A Vision, architectural elements, and future directions. *Future Generation Computer Systems*, 29(7), 1645-1660. DOI : 10.1016/j.future.2013.01.010.
- [4] Atmel. (2015). *Product Selection Guide Vol. 11*. (Online). http://ww1.microchip.com/downloads/en/DeviceDoc/Atmel-45154-Product-Selection-Guide_Brochure.pdf
- [5] M. H. Hassan. (2018). *Microprocessors and Microcomputers, Kindle Edition*. KDP.
- [6] Microchip. (2015). *MCP4901/4911/4921 : 8/10/12-Bit Voltage Output Digital-to-Analog Converter with SPI Interface*. (Online). <http://ww1.microchip.com/downloads/en/DeviceDoc/22248a.pdf>
- [7] H. C. Lee, W. S. Na, K. T. Lee, S. I. Kang & H. I. Jun. (2020). Analysis about Expanding condition

of the Digital-to-Analog Conversion circuit. *The 10th International Conference on Convergence Technology in 2020*, 286-287.

- [8] M. M. Morris, D. C. Michael. (2018). *Digital Design 6th Edn.*, London : Pearson Education.
- [9] Kelvin Duke. (2013). *DAC Essentials : The resistor ladder*. (Online). https://e2e.ti.com/blogs_/b/analogue/posts/dac-essentials-the-resistor-ladder
- [10] Texas Instruments. (2013). *DAC0800/DAC0802 8-Bit Digital-to-Analog Converters*. (Online). <http://www.ti.com/lit/ds/symlink/dac0800.pdf>
- [11] Texas Instruments. (2017). *CD4066 CMOS Quad Bilateral Switch*. (Online). <http://www.ti.com/lit/ds/symlink/cd4066b.pdf>
- [12] Microchip. (2014). *ATmega48/88/168 8-bit AVR Microcontroller DATASHEET*. (Online). http://www1.microchip.com/downloads/en/DeviceDoc/Atmel-17530-Automotive-Microcontrollers-ATmega48-ATmega88-ATmega168_Datasheet.pdf

권 성 열(Sung-Yeol Kwon)

[정회원]



- 1990년 2월 : 수원대학교 전자재료공학과 (공학사)
- 1993년 2월 : 경북대학교 전자재료전공 (공학석사)
- 2000년 2월 : 경북대학교 센서공학과 (공학박사)
- 1994년 3월 ~ 1998년 : 안동과학대학 전자계산과 조교수
- 2000년 3월 ~ 현재 : 국립 부경대학교 공과대학 전기공학과 교수
- 관심분야 : MEMS sensor, 전자재료, 전기제어계측, 신재생에너지
- E-Mail : sungyeol@pukyong.ac.kr

이 현 창(Hyun-Chang Lee)

[정회원]



- 1986년 2월 : 단국대학교 전자공학과 (공학사)
- 1989년 8월 : 단국대학교 전자공학과 (공학석사)
- 1996년 2월 : 단국대학교 전자공학과 (공학박사)
- 1996년 3월 ~ 2005년 3월 : 국립 천안공업대학 정보통신과 부교수
- 2005년 4월 ~ 현재 : 국립 공주대학교 공과대학 정보통신공학부 교수
- 관심분야 : 멀티미디어 회로, 마이크로프로세서, 전동기 제어, 임베디드 소프트웨어
- E-Mail : hclee@kongju.ac.kr