

Low Voltage Ride Through Test for Smart Inverter in Power Hardware in Loop System

전력 HILs를 활용한 스마트 인버터의 LVRT 시험

Junbo Sim

Abstract

Encouragement of DER from Korean government with several policies boosts DER installation in power system. When the penetration of DER in the grid is getting high, loss of generation with break-away of DER by abnormal grid conditions should be considered, because loss of high generation causes abnormal low frequency and additional operations of protection system. Therefore, KEPCO where is Korean power utility is preparing improvement in regulations for DERs connected to the grid to support abnormal grid conditions such as low and high frequencies or voltages. This is called 'Ride Through' because the requirement is for DER to maintain grid connection during required periods when abnormal grid conditions occur. However, it is not easy to have a test for ride through capability in reality because emulation of abnormal grid conditions is not possible in real power system in operation. Also, it is not easy to have a study on grid effect when ride through capability fails with the same reason. PHILs (Power Hardware In the Loop System) makes it possible to analyze power system and hardware performance at once. Therefore, this paper introduces PHILs test methods and presents verification of ride through capability especially for low voltage grid conditions.

Keywords: Smart Inverter, Real Time Simulation, Inverter Test Bed, Smart Inverter Control, RTDS, Hardware In the Loop, LVRT

I. Introduction

정부의 재생에너지 3020 이행 계획, 제9차 전력수급기본계획, 제5차 에너지 기본계획 등과 함께 전력계통의 분산형전원 연계가 급증하고 있다 [1]-[3]. 전력계통에 분산형전원이 늘어날 경우, 전력 수급을 유지하기 위한 발전량을 분산형전원에서 감당하기 때문에 계통고장 등과 같은 비정상적인 조건에서 분산형전원의 탈락 발생 시 발전원의 상실에 의한 주파수 하락이 발생할 수 있으며, 분산형전원의 탈락에 의한 주파수 하락은 2차적인 발전원 상실이 되어 극단적인 경우 전력계통의 붕괴 원인이 될 수가 있다. 실제로 한국에서는 2020년 3월 1,019 MW 신보령발전기가 805 MW 운전 중 탈락으로 인해 1차적인 주파수 하락이 발생하였고, 그로 인한 태양광발전기의 탈락으로 2차적인 주파수 하락이 발생하여 부하 차단 직전까지 계통 상황이 전개되기도 하였다 [4].

이에 전력계통에서는 분산형전원에 주파수의 이상적인 변동이 발생하더라도 일정 시간 이상 계통연계를 유지하도록 Frequency Ride Through를 요구하고 있으며, 계통 전압의 이상적인 변동 상황에서도 일정 시간 이상 계통연계를 유지하도록 Voltage Ride Through 기능을 요구하고 있다. 그러므로 한전의 전력계통에 연계되기 위한 분산형전원은 FRT 및 VRT 기능을 보유하

고 있어야 한다.

분산형전원의 점유율이 낮을 때에는 20 MW 이상의 풍력단지에만 Low Voltage Ride Through (LVRT) 기능이 요구되었으나, 2016년 10월 시행한 1 MW 이하의 분산형전원 무제한 접속보장 제도와 함께 배전계통에 연계되는 분산형전원의 연계가 급증하면서 배전계통 연계 분산형전원에도 FRT 및 VRT 기능이 요구되고 있다 [5].

그러나 분산형전원에 Ride Through 기능이 요구되더라도 그 성능을 검증하는 것은 쉽지 않으며, 대용량 분산형전원의 경우 시험에 필요한 계통 이상 조건을 모의하는 것이 어렵기 때문에 Ride Through 성능 시험이 매우 어려운 실정이다. 250 kW 이하의 분산형전원일 경우, 한국의 여러 시험기관들이 Grid simulator를 보유하고 있어서 임의적인 계통 이상 모의를 통해 분산형전원의 Ride through 기능 시험을 할 수 있도록 한국스마트그리드협회와 함께 시험 방법 및 절차를 준비중에 있다 [6].

일반적으로 Ride Through 성능 시험이 고장 시험과 함께 진행되기 때문에 Grid simulator를 활용하는 것처럼 Ride Through 성능이 반영된 계통 해석도 실제 계통 조건에서 해석하는 것이 현실적이지 못하다. 그러므로 분산형전원의 Ride Through 성능이 반영된 비정상 계통 해석을 하기 위해서는 대부분 SW를 활용한 해석

Article Information

Manuscript Received March 29, 2021, Accepted April 06, 2021, Published online June 30, 2021

The Author is with KEPCO Research Institute, Korea Electric Power Corporation, 105 Munji-ro Yuseong-gu, Daejeon 34056, Republic of Korea.

Correspondence Author: Junbo Sim (jbsim@kepc.co.kr)



This paper is an open access article licensed under a Creative Commons Attribution-NonCommercial-NoDerivatives 4.0 International Public License. To view a copy of this license, visit <http://creativecommons.org/licenses/by-nc-nd/4.0>
This paper, color print of one or more figures in this paper, and/or supplementary information are available at <http://journal.kepc.co.kr>.

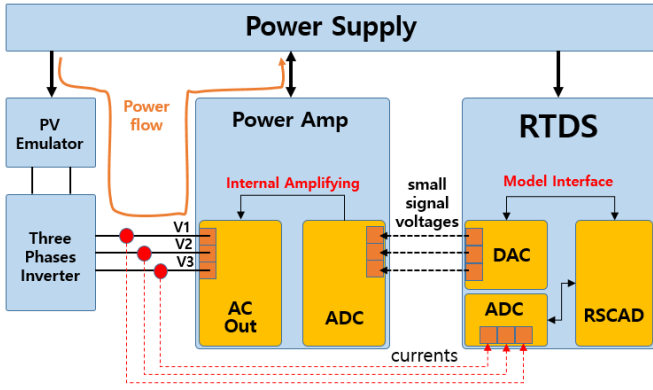


Fig. 1. 3상 인버터 시험을 위한 PHILs의 하드웨어 구성 및 신호 흐름.

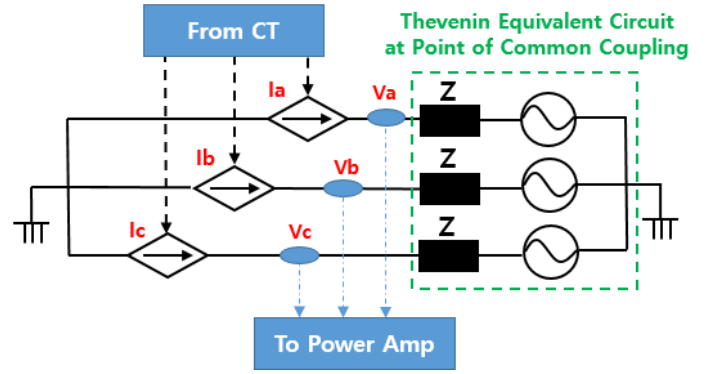


Fig. 2. PHILs 해석을 위한 전기적 모델.

적인 측면에서 수행되어 왔다 [7]-[9]. 그러나 분산형전원의 Ride Through 성능이 하드웨어적으로 연계되어 계통 영향이 분석된 바 없다.

실제로 계통에 발생가능한 이상적인 상황은 매우 다양하기 때문에 이상적인 계통 조건에서 분산형전원의 Ride Through 성능 시험이 아닌 다양한 계통 조건에서 분산형전원의 Ride Through 성능 시험도 필요하다. 뿐만 아니라, 실제로 계통 조건에 따라서 분산형전원의 Ride Through가 실패할 수도 있기 때문에 다양한 분산형전원의 Ride Through 실패에 따른 계통 해석도 동시에 필요할 수 있다. 그러므로 본 논문에서는 분산형전원의 하드웨어 연계를 통한 계통해석 기술인 Power HILs 기반 기술에 대한 소개를 하고, Ride Through에 대한 검증 방법을 제시하였다.

본 논문의 II장에서는 분산형전원용 인버터의 하드웨어 성능을 반영할 수 있도록 Power HILs를 적용한 Ride Through 성능 시험 방법을 소개하고, III장에서는 소개된 PHILs 기법을 사용하여 특히 배전계통에서 가장 많이 발생하는 저전압 조건에서 수행한 인버터의 LVRT 기능 시험 결과를 분석하였다. 마지막으로 IV장에서는 결론 및 향후 계획에 대하여 서술하였다.

II. Power Hardware In the Loop System (PHILs)의 원리

PHILs는 Power Amplifier를 통해서 RTDS, Opal-RT 등과 같은 실시간 시뮬레이터에서 소프트웨어적으로 모의된 전기적 가상환경과 인버터, 보호장치 등의 시험용 장비 하드웨어를 연계하여 소프트웨어와 하드웨어를 병행 해석하는 방법을 말한다. Fig. 1은 3상 인버터 시험 및 계통해석을 위한 PHILs의 구성도를 나타내고 있다.

PHILs의 기본적인 컨셉은 3상 인버터 시험을 위한 전력을 계통에서 받아와서 시험 Loop 내의 손실을 제외하고 모든 전력을 다시 동일 계통으로 내보냄으로써 최소한의 전력을 이용해 하드웨어 루프 시험을 구성하는데 있다. 그러므로 PV Emulator에서 태양 전지의 모의를 위해 사용된 전력은 인버터와 Power Amp를 통해서 다시 계통으로 유입된다. Power Amp는 RTDS와 같은 실시간 시뮬레이터에서 소신호로 전압 기준 파형을 받아서 scale up하여 원하는 전압으로 인버터에 인가해주는 역할을 하는 동시에 인버터에서 받은 전력을 다시 계통으로 흘려보내면서 전력에 대한 정보를 scale down하여 다시 RTDS로 전송하는 역할을 한다. RTDS는

RSCAD를 통해 모델링한 계통에서 모의된 전압 정보를 내부 DAC (Digital Analog Converter)를 통해 Power Amp로 전송하고, 실제 인버터로 흐르는 전류를 센싱하여 ADC (Analog Digital Converter)를 이용해 RSCAD로 모의된 계통에 주입하여 전압 인가, 전류 주입의 Loop를 구성하고 계통 해석을 수행한다.

PHILs에서 중요한 것은 RTDS에서 전송된 전압 신호가 Power Amp를 통해 3상 인버터에 인가되는 과정에서 발생하는 시간 지연과 3상 인버터에서 실제로 흐르는 전류를 센싱하여 다시 RTDS로 전송하는 과정에서 발생하는 시간 지연이 동일하여야 동일 전압 대비 전류의 위상 지연이 발생하지 않는다는 점이다.

그 이유는 일반적으로 PHILs 해석을 위해서는 Fig. 2와 같이 인버터에 인가하고 싶은 포인트의 전압(V_a, V_b, V_c)을 Power Amp로 내보내어 인가하게 하고, 해당 포인트에 3상 전류원 모델을 사용하여 CT에서 받은 전류를 주입하는 형태로 모델링하기 때문에 동일 포인트에서의 전압과 전류에 대한 시간 지연은 위상 지연으로 나타날 수 있게 된다.

만약 단순한 인버터 성능 시험에 PHILs가 사용될 경우, 3상 인버터가 연계되어 해석되기 위한 BUS를 제외하고 계통측은 테브닌 등가회로를 구성하여 계통의 강인도를 표현할 수 있다. 즉, 테브닌 등가된 임피던스의 X/R ratio나 short circuit capacity에 따라 계통의 특성이 달라지게 되며, 달라진 계통 특성에 따라 인버터의 제어 성능을 시험할 수 있게 되는 것이다. 또한, 인버터에서 센싱되어 전류원 모델로 공급되는 전류의 scaling을 통해서 계통 해석에 모의될 수 있는 인버터의 용량 조절도 가능하다. 즉, 단일 용량의 인버터가 RTDS에서 해석될 때, scale을 변경함으로써 원하는 용량을 갖는 인버터 조건에서 계통해석이 가능해지는 것이다.

또한, 계통 해석의 수단으로 PHILs가 사용될 경우, 3상 인버터가 연계되는 BUS의 전압을 RTDS의 DAC를 통해 Power Amp로 전송함으로써 RSCAD에서는 3상 인버터의 동특성이 반영된 계통 해석을 수행할 수 있게 된다. PHILs를 위해 구성되는 loop의 제어 안정성을 제어공학적으로 분석하고, 시간 지연 및 loop 안정성을 개선하기 위한 연구가 진행되기도 하였다 [10].

III. LVRT 시험 결과 및 분석

본 절에서는 간단한 저압 배전계통을 모델링하여 고장으로 인한 저전압 발생시 3상 인버터의 Ride Through 시험 및 해석을

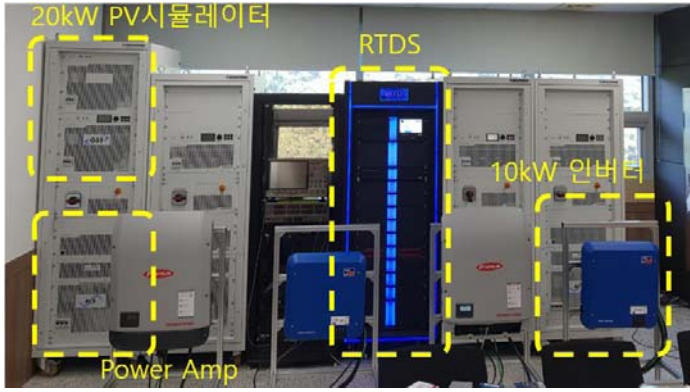


Fig. 3. Ride Through 시험을 위한 PHILs 플랫폼.

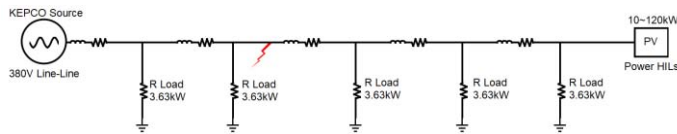


Fig. 4. PHILs 해석에 적용된 저압 계통 모델.

수행한 결과와 그 분석을 진행하였다. 인버터의 Ride Through 시험을 위해 Fig. 3과 같이 현재 전력연구원에 구축되어 있는 배전계통 분산전원 실시간 시뮬레이터 플랫폼을 활용하여 20 kW급 PV simulator, Regatron사의 ACS Power Amp, RTDS사의 실시간 시뮬레이터, Fronius사의 Symo 10.0kW로 Loop를 구성하였다.

해석을 위해 모의된 저압 계통은 Fig. 4와 같이 7개의 3상 BUS를 갖는 회로로 인버터 120 kW의 출력 시 말단에서 약 7%의 전압 상승이 발생하도록 선로 임피던스를 임의적으로 구성하였으며, 3.63 kW 용량의 5개의 부하를 균등하게 배치하였다. 여기서, 모의된 저압 계통의 특성을 변경할 경우 원하는 계통 조건에서 계통 해석 및 인버터 성능 시험을 수행할 수 있다.

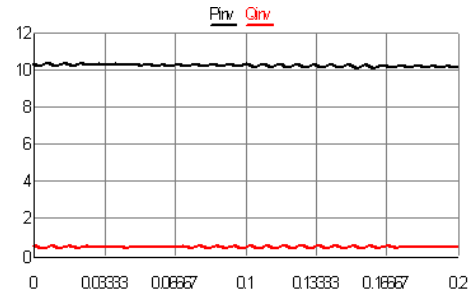
또한, 10 kW의 인버터 하드웨어를 연계하여 1 kW에서 120 kW까지 scaling하여 해석할 수 있도록 하였다. 실제 CT에서 센싱된 전류의 주입을 통해 scale을 변경하는 형태이므로 scale up할 경우 노이즈에 의해서 인버터에 큰 소음이 발생하기도 하고, 해석되는 계통에 고조파가 발생하여 계통 전압에 영향을 주므로 다시 인버터로 인가되는 전압에 문제를 일으켜서 결국 인버터가 계통에서 탈락될 수 있으므로 노이즈 저감에 대한 대책이 필요하다.

모의된 저압 계통에서 고장은 3상 평형 고장일 경우 임피던스를 0.01 Ω, 0.5 Ω로 변경할 수 있도록 구성하였으며, 단상 고장일 경우 0.1 Ω의 임피던스로 불평형 전압이 발생하도록 구성하였다.

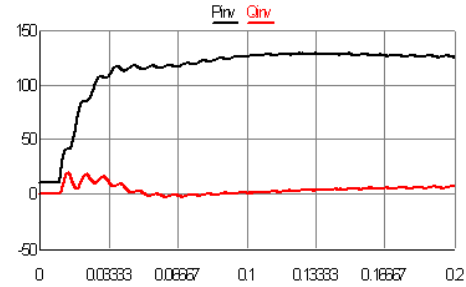
각 조건에서 계통 고장을 발생시켜 Ride Through 성능을 시험한 결과 파형 및 계통으로 유입되는 유무효전력을 다음과 같이 나타내고 분석하였으며, 계통 고장에 대한 해석을 하기에 앞서 10 kW의 용량에서 120 kW로 scale up이 가능한지에 대한 시험을 선행하였다.

A. 10 kW 주입 및 120 kW Scale up 주입 결과

PHILs를 구성하여 10 kW 인버터의 정격출력 시험 및 scale

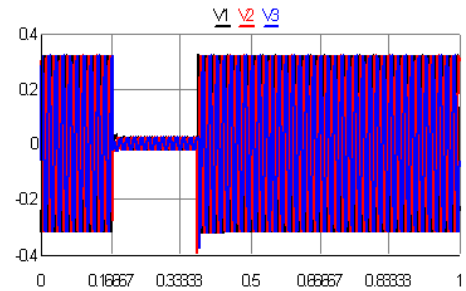


(a)

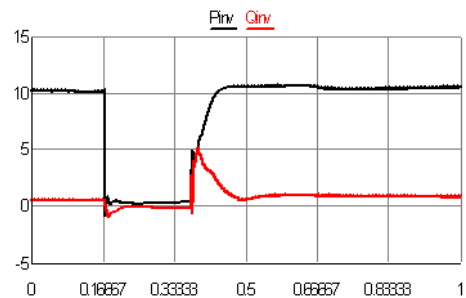


(b)

Fig. 5. 인버터의 정격 출력 시험 및 scale up 시험 결과. (a) 10 kW 정격 출력 시험 파형. (b) 120 kW scale up 시험 파형.



(a)



(b)

Fig. 6. 3상 고장 임피던스가 0.01Ω일 때 인버터의 LVRT 시험 결과. (a) 인버터 연계점 전압. (b) 인버터 연계점에서의 출력.

up 시험을 수행하였으며, 그 결과를 Fig. 5에 나타냈다. RSCAD에서 모의된 인버터의 계통 연계점 출력이 10 kW를 내는 것을 확인할 수 있으며, (b)와 같이 전류를 12배 scale up할 경우 120 kW의 출력으로 증가하는 것을 확인할 수 있다.

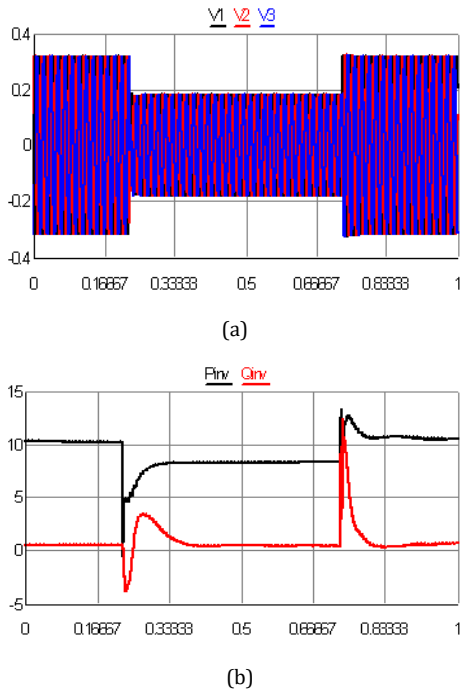


Fig. 7. 3상 고장 임피던스가 0.5Ω일 때, 인버터의 LVRT 시험 결과. (a) 인버터 연계점 전압. (b) 인버터 연계점에서의 출력.

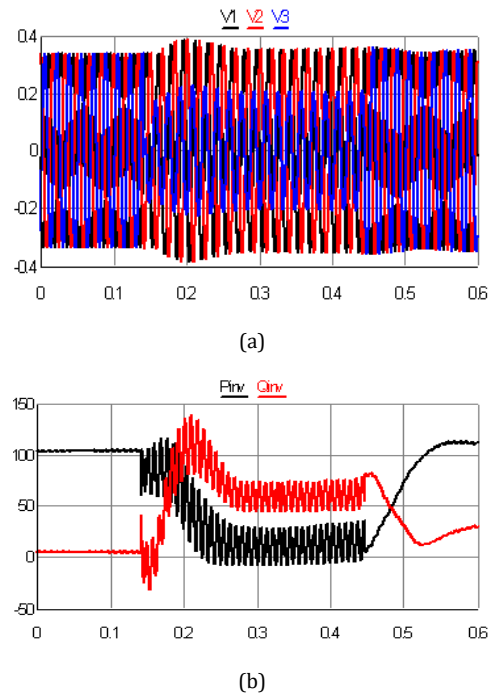


Fig. 8. 3상 고장 임피던스가 0.5Ω일 때, 인버터의 LVRT 시험 결과. (a) 인버터 연계점 전압. (b) 인버터 연계점에서의 출력.

B. 0.01Ω의 3상 평형고장 시험 결과

3상 고장 임피던스를 0.01 Ω으로 설정하고 150 ms 동안 계통 고장을 발생시킨 후, Ride Through가 되는지에 대한 시험을 수행하였으며, 그 결과를 Fig. 6에 나타냈다. 매우 낮은 고장 임피던스로 인해 인버터 연계점의 전압은 정격의 10% 이하로 떨어지게 되었으며, 인버터 내부에 설정된 LVRT 기준에 의해서 저전압 상황에서 0 kW의 출력을 내면서 계통 연계를 유지하고 있는 후, 계통 전압이 회복되고 다시 유효전력을 정상적으로 출력하는 것을 확인할 수 있다.

C. 0.5Ω의 3상 평형고장 시험 결과

3상 고장 임피던스를 0.5 Ω으로 설정하고 500 ms 동안 계통 고장을 발생시킨 후, Ride Through가 되는지에 대한 시험을 수행하였으며, 그 결과를 Fig. 7에 나타냈다. 고장 임피던스로 인해 인버터 연계점의 전압이 정격의 60% 수준에서 발생하였으며, 인버터 내부에 설정된 LVRT 기준에 의해서 저전압 상황에서 낼 수 있는 모든 전류를 주입함으로써 약 75%의 출력을 내면서 계통 연계를 유지하고 있는 후, 계통 전압이 회복되고 다시 유효전력을 정상적으로 출력하는 것을 확인할 수 있다. 즉, 약 60%의 전압 조건에서 120%의 전류를 출력하여 약 72%의 출력을 내게 된 것이다.

D. 0.1Ω의 단상 고장 시험 결과

고장 임피던스를 0.01 Ω으로 설정하고 300 ms 동안 단상 계통 고장을 발생시킨 후, Ride Through가 되는지에 대한 시험을 수행하였으며, 그 결과를 Fig. 8에 나타냈다.

0.01 Ω의 고장 임피던스는 인버터의 계통 연계점 전압으로 볼 때 고장 임피던스가 0.5 Ω일때와 유사한 전압 크기가 나타나서

계통 정격 전압의 약 50%의 전압이 인버터 연계점에 가압 되었다. 인버터 내부에 설정된 LVRT 기준에 의해서 저전압 상황에서 낼 수 있는 모든 전류를 주입함으로써 약 60%의 출력을 내면서 계통 연계를 유지하고 있는 후, 계통 전압이 회복되고 다시 유효전력을 정상적으로 출력하는 것을 확인할 수 있다. 그러나 3상 평형 고장일 때와는 달리 고장으로 인해 발생한 불평형 전압으로 인해 계통에 유입되는 전력에 진동이 발생하는 것을 확인할 수 있었다.

IV. Conclusion

PHILs 기반의 인버터 성능 시험은 하드웨어와 소프트웨어의 조합을 통해 계통해석 및 인버터 제어 성능 시험이 동시에 가능하다. 본 논문에서는 저압 배전계통을 모델링하여 몇 가지 조건에서 고장을 모의하였고, 인버터의 Ride Through 여부를 평가하였다. 만약 모의된 계통이 확장되거나 변경될 경우 원하는 계통에서의 인버터 성능 시험이 가능하고, 동시에 인버터 성능이 반영된 계통 해석도 가능해진다. 뿐만 아니라, 소프트웨어 모델로 주입되는 인버터의 전류를 scaling하여 계통 해석에 활용되는 인버터 용량을 다양하게 변경하면서 해석이 가능하며, 계통에서의 인버터 위치를 변경하여 해석하는 것도 가능하다. 이 외에도 PHILs는 인버터의 제어 기능 시험, 통신 연계 시험, 상위 시스템 연계 인버터 성능 및 계통 동시 해석이 가능하기 때문에 다양한 형태로 활용될 수 있다. 이 기술을 활용하여 스마트인버터 제어기능 개발 및 계통 해석을 통해 인버터의 현실적인 성능이 반영된 계통 연계 요구사항 도출 및 인버터 성능의 요구 조건이 정의될 수 있을 것으로 기대된다.

References

- [1] 산업통상자원부, “재생에너지 3020 이행계획(안)”, 2017.12.
- [2] 산업통상자원부, “제9차 전력수급기본계획(2020~2034)”, 2020.12.
- [3] 산업통상자원부, “제5차 신·재생에너지 기술개발 및 이용·보급 기본계획”, 2020.12.
- [4] 전력거래소, “대용량 발전기 정지 시 태양광 전원 추가정지 방지대책”, 2020.
- [5] 한국전력공사, “송·배전용 전기설비 이용규정”, 2019.7.
- [6] 한국스마트그리드협회, “태양광발전용 스마트 인버터의 계통 지원 기능: 시험방법”, KSGA-025-9-1-2:2020, 2020.06.
- [7] Sim Junbo, “Improvement in Control Performances of Direct Drive Type Wind Power System for the Grid Connection,” Master Thesis, Pohang University of Science and Technology, 2012.
- [8] Ruikuo Liu, Jun Yao, Xuewei Wang, Peng Sun, “Dynamic Stability Analysis and Improved LVRT Schemes of DFIG-Based Wind Trubines During a Symmetrical Fault in a Weak Grid,” IEEE Transactions on Power electronics, Volume :35 Issue:1, Jan. 2020.
- [9] Xiuqiang He, Hua Geng, Ruiqi Li, Bikash Chandra Pal, “Transiend stability analysis and enhancement of renewable energy conversion system during LVRT,” IEEE Transactions on Sustainable Energy 11(3), 1612-1623, 2019.
- [10] Alexander Viehweider, Georg Lauss, Lehfuss Felix, “Stabilization of Power Hardware-in-the-Loop simulations of electric energy systems,” Simulation Modelling Practice and Theory 19, p1699-1708, 2011.