

# IC 소켓 검사용 다중 채널 측정 시스템 개발

## Development of Multiple Channel Measurement System for IC Socket

강 상 일\*, 송 성 용\*\*, 윤 달 환\*★

Sang-II Gang\*, Sung-Yong Song\*\*, Dal-Hwan Yoon\*★

### Abstract

In this paper, we have developed the multiple channel measurement system for IC Socket Test. The one can test the current-voltage measurements for pitting the several device specification, which analyze the thin current from several  $\mu A$  to 5A with very low resistor  $m\Omega$ . The increasement of the IC socket channel with lead pitch under 0.25 mm be need to perform several functions, concurrently. The system to perform these functions be designed to integrate several SMU(source measure unit) on board. So, we can reduce the 2 minutes test time per channel point to 40 sec, with daisy chain test method. Using by graphic interface, I-V curve mode and data logging technologies, we can implement the test flow methods and can make economies the time and cost.

### 요 약

본 논문에서는 초소형 반도체 부품 IC 소켓 검사에 필요한 다중 채널 시험장치를 개발한다. 이 시험장치는 저 저항(수  $m\Omega$  급)으로 저전류(수  $\mu A$  급)~5A 범위의 미세전류상태에서 생산 시스템 요구 규격에 맞는 IC를 다양한 형태로 시험분석을 실행한다. 0.25 mm이하의 리드피치(Lead Pitch)를 가진 IC 소켓 채널수의 증가로 다양한 시험을 동시에 실행해야하는 시험장비는 회로의 고집적화를 위하여 여러 개의 SMU(Source Measure Unit) 보드를 동시에 탑재하도록 구성된다. Daisy chain test method를 통하여 채널지점(Channel Point)당 약 2분 소요되는 시험시간(Test Time)을 40 초(sec) 이내로 단축이 가능하고, 그래픽 기반 인터페이스, 분석 도구(I-V Curve Mode 등) 및 데이터 로깅(Data Logging)을 통한 테스트 플로우 분석을 구현함으로써 시험시간과 소요비용을 절감한다.

*Key words : Multi-channel Test Equipment, Lead Pitch, SMU Board, IC Socket, Channel Test & SMU*

### 1. 서론

4차 산업혁명을 주도하는 정보통신 시스템 들은 다양성, 복잡성 및 전문성이 따르고, 전기 및 자율

주행차, 통신기기 및 컴퓨터 등 부품 및 조립군의 전용화로 제품 구조가 복잡해지고 있다. 그에 따라 이들 시스템 대부분이 사용되는 전력부하가 증가 됨은 물론, 제품별 측정 채널수는 40~250배까지

\* President, Management & Technology, iDON Co. Ltd.

\*\* Technical Director, ATEsolution Co. Ltd

★ Corresponding author

Professor, Dept. of Electronics Engineering, Semyung University

E-mail : yoon dh@semyung.ac.kr, Tel : 043-649-1308

※ Acknowledgment

Manuscript received Jun. 9, 2021; revised Jun. 18, 2021; accepted Jun. 20, 2021.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

증가되었다[1].

IoT 및 초소형 반도체 부품 등이 SoC(System on Chip)화 되고, 생산 제품 출하 시 시험 검사에 소요되는 시간 및 비용절감이 필요함에 따라 요구 규격에 맞는 다채널 미세전류 측정 및 시험 장비가 다양하게 연구되고 있다[2, 3].

KEITHLEY社 SMU 2600B Series는 모델 1개 장비에 1~2개의 채널 용량을 사용하며, NI社 PXI Source Measure Units Series는 모델 1개 장치당 4~24개의 채널 용량을 갖고, 최대 전압원 측정 범위, 측정 정확도(Accuracy)별 다양한 모델을 구성한다[4, 5].

더욱이 제품채널수 증가로 0.25 mm 이하 리드피치(Lead Pitch)를 가진 부품들이 Fine Pitch화 되면서 계측방식이 포고형(Pogo Type)에서 IC 소켓형 시험 기술을 개발하려는 추세이다. 특히 기존 시험 장비는 수  $\mu A$ ~1.2A 전류측정범위와 시험 칩에 다수 장비를 동시에 사용함으로써 2분 이상의 시간이 소요되어 생산 및 원가절감은 물론, 장비 국산화 필요성이 더욱 증대 되어 왔다.

본 연구에서는 저 저항(수 m $\Omega$ 급)을 수  $\mu A$ ~2A 범위의 미세전류상태에서 다양한 형태의 측정 및 규격을 시험하는 다채널 IC 소켓 다중시험 장비를 개발한다.

## II. 다채널 로소켓 시험장비 구현

반도체 소자 단자와 IC 시험 소켓(로소켓이라 부름)의 도전부가 균일하게 전기적인 접촉을 해야 한다. 0.25mm 이하의 리드피치 제품 채널수 증가로 Fine Pitch화 되면서 포고형(Pogo Type)에서 IC 소켓시험 기술 개발로 확대되고 있다. 그림 1은 반도체 다바이스와 소켓 접촉 원리를 나타내고 있다 [6, 7]

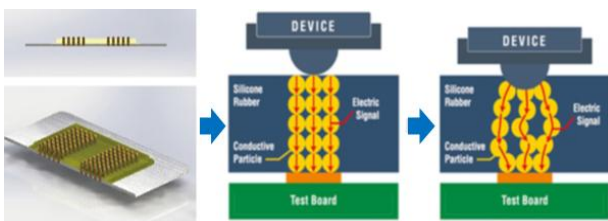


Fig. 1. Contact principle of IC and socket.  
그림 1. IC 소켓 접속원리

그림 1에서 소자(Device)하단에 실리콘 러버(Silicon Rubber) 계층이 있고, 실리콘 러버 가운데 노란색은 전도성 입자(Conductive Particle)이고, 빨간색 화살표는 전기적인 신호를 나타낸다. 상단의 디바이스가 시험보드를 향해 아랫방향으로 향하면 전도성입자들이 전기적 신호를 가하면서 특성을 시험하게 된다.

기존 시험용 장비는 전량 수입한 SMU(Source Measure Unit)를 사용하였고, 가격이나 요구기능 적용 한계, 인가된 V/I 조정 및 A/S에 제약이 발생하였다. 모델 당 가격이 높아 다수 핀(Multiple Pin) 구성 시 시험 가격이 28~41%를 차지하고, 측정기 제조사 및 최종 IT 부품 제조사의 시험가격 증대에 주요한 원인을 제공한다[8, 9].

다중 시험채널은 2048 채널을 수용하기 위해 원보드에 다중 SMU를 실장하고, 저소켓(Raw Socket)을 이용한 통신 프로토콜, I-V 모드를 실현하기 위한 모듈개발, 채널 데이터 로깅(Data Logging)을 통한 다채널 데이터 운용기술 등을 개발한다. 이때 저 전류의 측정 범위 확대에 따른 해상도, 간섭신호 제거, 소켓 도전부가 균일한 전기 접촉 특서이고 집적화된 시스템이다.

### A. 미세전류 제어기술

직류 신호 발생기 AD5560 DPS(Device Power Supply)의 최대전류(Max. Current)가 1.2A까지 발생하여 이를 이중으로 연결하면 2.4A까지 활용 가능하지만 정밀성이 떨어지는 단점이 있다[10]. 이의 해결을 위하여 부스터(Booster)를 활용하여 안정된 2A를 확보한다[11]. 그림 2는 부스터 회로를 나타낸다.

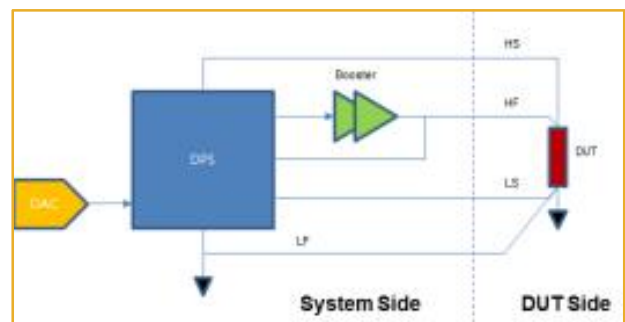


Fig. 2. Booster circuit.

그림 2. 부스터 회로

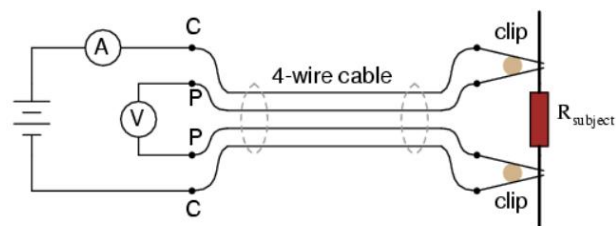
그림 2에서 스위치 라인 전류는 코일을 통해 폐 회로를 돌고 코일은 충전이 된다. 이 스위치를 연결한 시간을  $dT_{ON}$ , 차단 시간을  $dT_{OFF}$ 라고 하면, 이때 코일에 흐른 전류는 전류의 증가량과 감소량을 식(1)처럼 구할 수 있다.

$$\frac{V_{out}}{V_{in}} - 1 = \frac{dT_{ON}}{dT_{OFF}}, \quad \frac{V_{out}}{V_{in}} = \frac{1}{1-D} \quad (1)$$

스위치를 차단했을 때 캐패시터를 통해 인덕터의 충전된 전류가 상쇄되고, 코일은 방전된다. 여기서 전원 공급이 끊겼기 때문에 다이오드 방향(출력 단자 방향)으로 코일은 변화를 막기 위해 역기전력을 발생시킨다. 사용한 시간 분의 전체 시간은 듀티 사이클(사용률)이므로 이를 D라고 하면, 출력 전압은 식(1)로 정리된다.

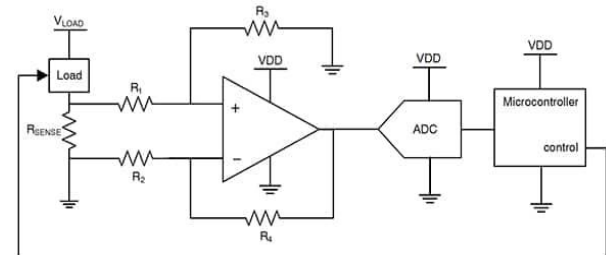
**B. 고정밀도(High Accuracy) 계측 기술**

켈빈접속법(Kelvin Connection Method) 4-점접 측정 기술을 활용하여 별도로 두 개의 감지(Sense) 선을 사용해 전압을 측정하도록 설계한다[13]. 켈빈 접속법 사용시  $I = 100mV/1014m\Omega = 98.62mA$ 이고, 두 개의 감지선 측정 전압은  $1\Omega \times 98.62mA = 98.62mV$ 가 된다. 따라서  $R = 98.62mV/98.62mA = 1\Omega$ 이 되므로 오차가 발생하지 않아 측정 정밀도를 증대시킨다. 고정밀 측정을 위해 18-bits 해상도의



$$R_{subject} = \frac{\text{Voltmeter indication}}{\text{Ammeter indication}}$$

(a) 4-와이어 회로



(b) ADC 주변 회로

Fig. 3. 4-wire connection & ADC circuit.  
그림 3. 4-와이어와 ADC 주변회로

ADC 사용하여 SMU, 기준 GND와 5V의 입력 데이터를 다중화하고, Op-amp를 거쳐 ADC에서 SMU 전압을 측정한다. 그림 3은 계측접속 회로를 나타낸다.

**C. 광전류범위 계측기술**

다중시험용 원보드는 개별 SMU 보드에 V/I 전원을 가지도록 설계한다. 저 전류  $5\mu A \sim 250 mA$ 에는 AD5560(DPS)을 사용하고, 고 전류  $250 mA \sim 2A$ 는 Tr을 이용하여 구현한다[12].

수  $\mu A \sim 1.2A$  전류범위의 단일 보드 SMU에서 수  $\mu A \sim 2A$  범위의 다채널 정밀 측정용으로 개발하기 위해 해상도를 높여야 한다. ADC 사용시 18-bits 해상도를 사용하고, 광전류범위 구현을 위해 DPS 장치 AD5560를 사용한다[13].

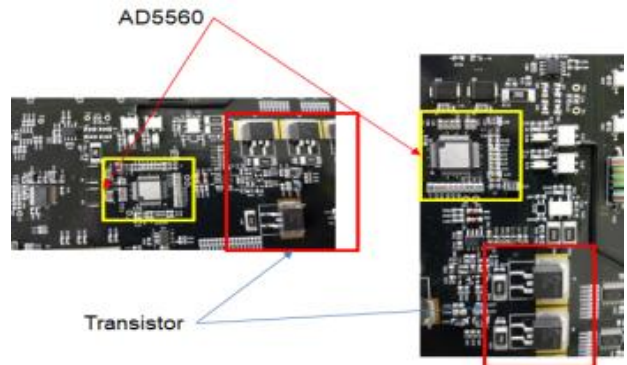


Fig. 4. Connection of AD5560 & Transistor.  
그림 4. AD5560과 Tr. 접속

AD5560과 Tr.를 이용하여 고 전류를 인가하는 SMU는 발진이 발생할 수 있으나, Op-amp 귀환(Feedback) 저항과 Tr.을 이용한 그림 2 부스터 회로의 RC 값을 조정하여 제거한다.

AD5560은 최대 전류가 1.2A임으로 DPS를 이점으로 연결하면 2.4A까지 가능하나 정밀도가 떨어지는 단점이 있다[14]. 이에 고 전류 VI 전원을 위해 고 전류 부스터와 DPS를 결합하여 문제를 해결한다. DPS-ADC 측정에서 블록에서 측정전원 값은 식(2)을 이용하여 계측한다.

$$V_{op} - V_{on} = 2V_g \left(1 + \frac{a}{2}\right) - 2V_{in} \left(\frac{a}{2}\right) - V_{ref} \quad (2)$$

그림 5는 DPS-ADC를 원보드에 설계한 하드웨어 회로도를 나타낸다[12-14].

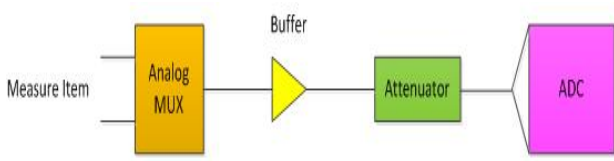


Fig. 5. DPS-ADC hardware circuit board.  
그림 5. DPS-ADC 하드웨어 블록도

그림 5의 감쇄기 입력 범위는 -8 ~ +8V, ADC 입력 범위는 -4 ~ +4V를 지원한다.

**D. 저 소켓 기반 통신 프로토콜**

TCP/IP 헤더포맷에 데이터 집중현상을 방지하기 위해 저 소켓(Raw Socket)을 이용한 통신 프로토콜을 개발하여 오버헤드(Overhead)를 줄임으로써 한 번에 여러 개의 데이터를 보내도록 한다. 이때 통신속도가 빨라져서 시험시간을 줄이고, 점포패킷(Jumbo Packet)을 사용하면 대용량 패킷을 전송할 수 있다[15]. 그림 6은 PC에서 패킷을 다운로드하는 저소켓 헤더 프로토콜을 나타낸다.

PC to PHY to FPGA (MAC Frame)						
7 byte	1 byte	6 byte	6 byte	2 byte	~ 9014 byte	
PREAMBLE	SFD	DA	SA	LENGTH	INFORMATION	PAD
		6 byte	6 byte	2 byte	~ 9014 byte	
		DA	SA	LENGTH	INFORMATION	PAD
name	Description					
PREAMBLE	송수신측 동기를 맞추기 위한 신호 0과 1 반복					
SFD	Start Frame Delimeter(Frame의 시작을 알리기 위한 byte) : 0xD5					
DA	Destination Address (각 Board의 MAC address)					
SA	Source Address (PC의 MAC address)					
LENGTH	User가 사용하는 Information + PAD의 길이					
INFORMATION	Normal : 46 ~ 1500 Byte, Jumbo : 46 ~ 9014 Byte					
PAD	Padding Bit, 조정용 bit field MAC frame이 최소 길이(60 byte)가 아닐 경우 0으로 채워짐					
FCS	Frame Check Sequence					

Fig. 6. Raw socket protocol header.  
그림 6. 저소켓 헤더 프로토콜

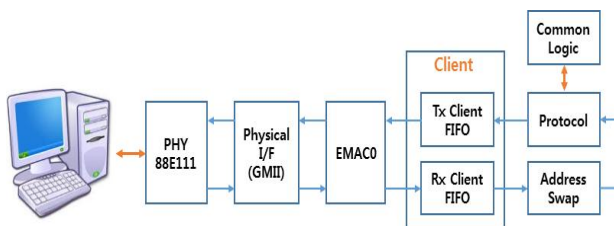


Fig. 7. The flow logic between PC and client.  
그림 7. PC와 클라이언트 간 논리 흐름도

이더넷(Ethernet) 인터페이스는 유선 기반의 데이터 처리 및 송수신을 담당하고, 이더넷 통신을

위한 IC는 88E111을 사용한다[16]. 그림 7은 PC와 클라이언트 간에 패킷(Packet) 데이터의 읽기(Read)와 쓰기(Write)를 나타낸다.

**III. 실험결과**

그림 8은 그림 5의 회로도에 대한 시험검사 모습을 나타낸다. 그림 6과 그림 7의 PC를 이용하여 시험보드에 FPGA 데이터를 다운시키고, 3개의 실장 보드에 대하여 동작시행을 나타낸다.



Fig. 8. The mounted board and down loaded FPGA.  
그림 8. 실장 보드와 FPGA 다운로드

그림 8 보드의 기능시험으로 개방시험(Open Test), 단락시험(Short Test), 누설시험(Leakage Test), 저항시험(Resistor Test) 등을 실시한다.

그림 9는 고객의 요구에 맞는 데이터 관리 프로그램으로 제품 생산을 지원한다.

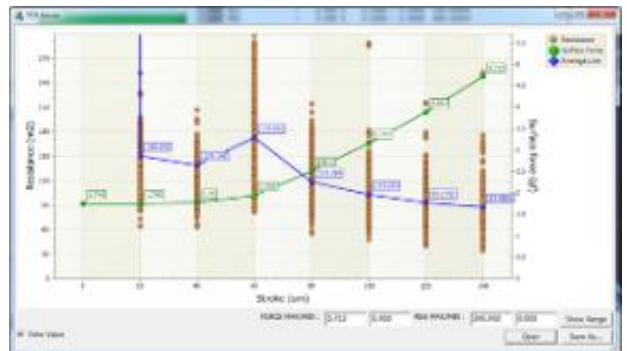


Fig. 9. The data management program.  
그림 9. 데이터 관리 프로그램

그림 9의 데이터 운영은 로소켓 들의 시험결과 배열, 데이터 로그(Data Log)는 이진수(binary), 텍스트(text/csv) 포맷으로 저장이 가능하며, 복사, 저장 및 클리어 등 기능을 수행한다.

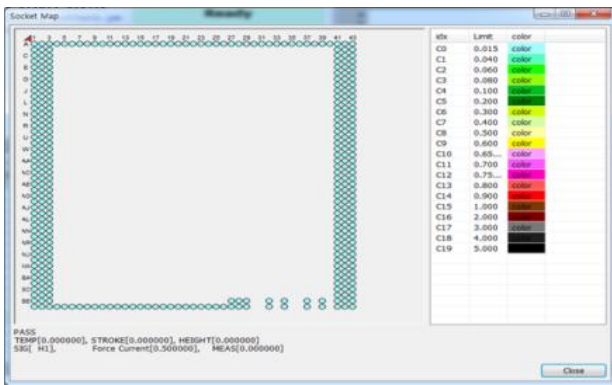


Fig. 10. The graphic display of socket map.  
그림 10. 소켓맵의 그래픽 표현

그림 10은 소켓맵(Socket Map)으로 수동시험시 소켓의 통과/실패(Pass/Fail)를 확인 할 수 있으며, 해당 핀을 선택해서 시험결과 값을 확인 할 수 있다. 로소켓의 특성을 나타내는 모드(Mode)별 동작으로 먼저 FSR(Force/Stroke/Resistance) 모드가 있다. 인가된 값과 평균값을 나타내며, FORCE, REG MAX/MIN 값을 적용하여 차트(Chart)로 표시한다. 이때 차트를 png, bmp 포맷으로 저장한다. 그림 11은 FSR 모드의 사례를 나타낸다.

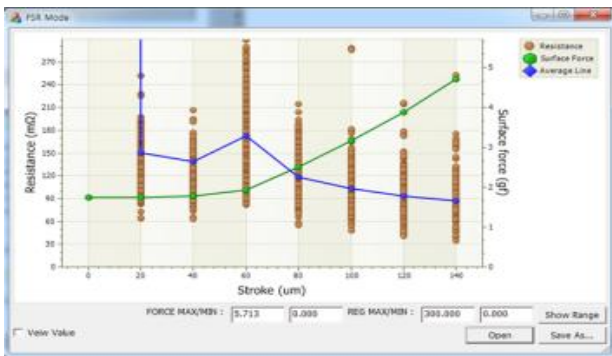


Fig. 11. FSR mode display.  
그림 11. FSR 모드 표시



Fig. 12. The recycle mode.  
그림 12 리사이클 모드

그림 12의 리사이클 모드(Recycle Mode)는 선택된 신호의 평균선과 값을 표시하고, 차트 데이터는 png, bmp 포맷으로 저장한다.

그림 13의 I-V 곡선은 선택된 신호의 평균치 전압 최대/최소값을 적용하여 차트로 표시한다.

이러한 비교모드(Compare Mode) 들은 기준 파일과 비교할 수 있는 파일을 열어주고, 측정된 신호 등과 인가 전류/전압 등을 비교할 수 있다.

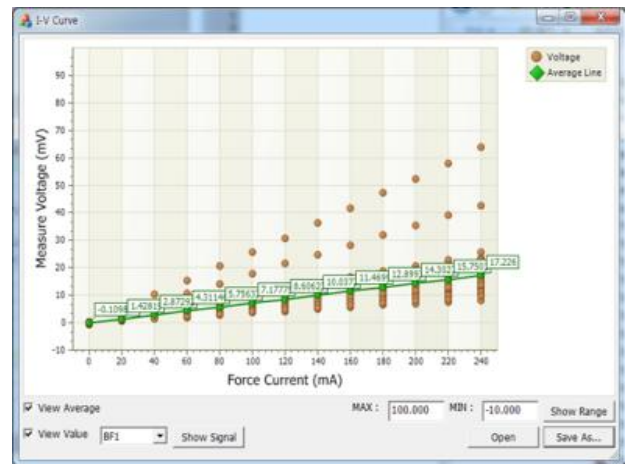


Fig. 13. Average voltage Max/Min of selected signal.  
그림 13. 선택된 신호의 평균전압 최대/최소

그림 14는 소켓맵의 시험결과를 나타낸다. 오른쪽 색에 따라 왼쪽 배열 핀의 색깔별 특성을 나타낸다.



Fig. 14. Test results of socket map.  
그림 14. 소켓맵의 시험결과

지금까지 시스템의 통신에서 발생할 수 있는 여러 종류는 H/W 회로설계 과정에서 발생할 수 있고, 이는 점퍼(Jumper)를 통해 보정을 한다. 릴레이 제어 에러는 LSF0108(8개의 Relay 제어) 소자의

출력에 풀업(Pull-up) 저항 유무에 따라 발생하였으며, 물리적인 제어 에러는 저항에서 열이 너무 발생해 저항소자가 타는 경우이다. 이때 정상 동작이 되지 않을 경우 소켓 테스트의 시험에도 오동작이 발생한다.

반도체 칩검사용 다중 소켓 측정 시스템 개발에 있어 시험규격으로 1024개의 시험채널, 정확도, 채널과 보드 수, 인가전류 범위 및 개발자가 요구한 시험기능 등을 시험항목으로 신뢰성 평가를 하였다[17]. 시험방법으로 SMU 보드-PRT64가 장착된 시스템의 슬롯 수 및 채널수를 확인하고, 시험 가능한 채널수를 산출한다. 이때 제어전용 프로그램을 이용하여 DPS칩에서 200 mA의 전류를 인가하여 DUT 보드에 설치된 저항을  $m\Omega$  테스트로 측정 후 출력 전압값을 산출한다. 이때 이론전압 = 인가전류  $\times$  저항에 의해 결정된다. 정확도 = (측정된 최대 또는 최소 값)-이론값으로 계산한다.

시험기능의 신뢰성 = (총데이터 수 - Fail 데이터 수)/총데이터수  $\times$  100으로 평가하고, Pass 기준은 18.047~22.068 mV 이내에서 1~64 채널을 1000회 측정한다.

#### IV. 결론

본 반도체 칩검사용 소켓 다중 측정 시스템은 16개의 시스템 슬롯에 64개의 보드채널을 구현함으로써 1024개의 시험채널을 구현하였다. 정확도측정은 5개 시스템 보드에 대하여 최소 출력전압(19.941~19.936)mV~최대 출력전압 20.058 mV 범위내에서 0.116~0.122 mV의 정확도를 갖는다. 또한  $5\mu A$ ~2A 범위에서 64000개의 총 데이터 수에 대해 100% 신뢰성을 검증하였다.

#### References

[1] <https://kr.rs-online.com/ic-socket-adapters> Seeit Test & Burn-in Socket, 18/28 Pin DIP to 18/28 Pin SOIC.  
[2] "Semiconductor measurement/inspection equipment technology trends," ITFIND, 2006.

[3] Park Jong-Dae, Seo Hee-Don and Choi Se-Gon, "Design of Multichannel Telemetry IC for Physiological Signals," *Journal of the Korean Sensors Society*, Vol.1, No.2 pp.147-154, 1992.  
[4] Jaeng mantae, "Recent trends and implications of the global semiconductor equipment industry," *ITFIND*, 2020  
[5] Analog Devices Inc, "Isolated Energy Measurement Chipset for Polyphase Shunt Meter," <https://www.digikey.kr/ko/product-highlight/>  
[6] "Semiconductor measurement/inspection equipment technology trends," <https://www.itfind.or.kr>  
[7] Park Sang lyang, "Test pin and test socket for extremely fine pitch and high performance," KR101340500B1, 2013.  
[8] <https://tw.tek.com/keithley-source-measure-units?>  
[9] Im Seung-gyo, "Volt-Current (IV) Measurement Fundamentals and Applications with Keysight SMUs," <https://manufacturingtv.co.kr/>, 2021.  
[10] <https://www.analog.com/technical-document> AD5560 data sheet - Analog Devices, "1.2 A Programmable Device Power Supply with Integrated 16-Bit Level Setting DACs,"  
[11] "BPrinciple and design of Boost converter," <https://m.blog.naver.com/>  
[12] Analog-Device, "AD5560 1.2A Programmable Power Supply with Integrated 16-Bit Digital-to-Analog Converter (DAC)," <https://www.digikey.kr/ko/product-highlight/a/analog-devices/>  
[13] <https://www.cirris.com/learning-center/general-testing>, "Overview of Four-wire Kelvin Testing"  
[14] <https://www.reddit.com/r/summonerschool> "ADC DPS CHART," 2020.  
[15] <https://www.netmanias.com/ko/post/blog> You Chang mo, "Packet Header: Ethernet, IP & TCP/IP," *NETMANUALS*, 2011.  
[16] Marvell, "Integrated 10/100/1000 Ultra Gigabit Ethernet Transceiver", 88E1111 Product Brief, 2020.  
[17] KTL, 20-039608-01-1, pp.1-7, 2020.

---

**BIOGRAPHY**


---

**Sang-II Kang** (Member)

2008.03~ : President of iDON Co. Ltd.  
 2006~2008 : Technical Director of  
 Uniart Co. Ltd  
 2004~2006 : Director of JnCTek Co.  
 Ltd.  
 1997~2003 : Team Manager of  
 GUKDONG Co. Ltd

Main area : PCB Artworking & Hardware Design. SMT  
 (Surface Mounted Technology) Semiconductor Measure  
 Instrument Circuit & System Design, Sensor IoT.

**Sung-Yong Song** (Member)

1998 : BS degree in Electronics  
 Engineering, Semyung University.  
 2000 : MS degree in Electronics  
 Engineering, Semyung University.  
 2017.10~ : Technical Director,  
 ATESOLUTION Co. Ltd  
 2015.11~2017.09 : Vice Pesident, Proics  
 Inc.

2014.06~2015.10 : H/W & F/W Principal Research  
 Engineer, Exicon Inc.

2006.06~2014.11 : H/W & F/W Senior Research  
 Engineer. Testian Inc. & UniTest Inc.

Main Research Area : IC Test Instruments  
 Digital Communication Signal & System

**Yoon Dal-Hwan** (Member)

1984 : BS degree in Electronic  
 Engineering, Hanyang University  
 1986 : MS degree in Electronic  
 Engineering, Hanyang University  
 1994 : PhD degree in Electronic  
 Engineering, Hanyang University  
 1995.03~ : Professor of Electronics  
 Engineering, Semyung University

1987. 7~1994. 6 : Professor in Electronics Engineering,  
 Korea Millitary Academy.

2005. 7~2009. 2 : President of HIWIN Co. Ltd.

2018.10.01.~Management and Technical Adviser of Korea  
 Heavy Machine Co., Ltd.

Main : Communication and Signal Processing, Medical  
 Signal Processing, Management System for LED&IT  
 Convergence, Low Temperature Fluidity Test System  
 for Fuel Heater Test. Air-pollution  
 Protection System against Dust.

Sensor IoT & Artificial Intelligence(AI)