

DRAM 커패시터의 질화막 내산화성 평가에 관한 연구

정윤근* · 강성준** · 정양희***

A Study on the Evaluation of Oxidation Resistance
of Nitride Films in DRAM Capacitors

Yeun-Gun Chung* · Seong-Jun Kang** · Yang-Hee Joung***

요 약

반도체 메모리 소자의 커패시터에서 셀 커패시턴스의 향상과 scale down을 위해 유전막으로써 적층형 ONO 구조가 도입되었고 이들의 박막화가 지속적으로 시도되고 있으나 공정 처리 과정에서 많은 문제들이 대두되고 있다. 본 연구에서는 L/L LPCVD를 사용하여 약 10Å의 자연산화막 성장을 억제함으로써 3fF/cell의 정전 용량을 확보할 수 있었다. 또한 유전막의 박막화에 따른 질화막의 이상산화에 미치는 영향을 고찰함으로써 내산화성을 확보할 수 있는 유전막 형성의 안정적인 공정 관리 방법을 제안하였다.

ABSTRACT

In order to improve the cell capacitance and scale down in capacitors of semiconductor memory devices, a stacked ONO structure has been introduced as a dielectric layer and thinning of these layers has been attempted continuously. However, many problems have emerged in the manufacturing process. In this study, L/L LPCVD system was used to suppress the growth of natural oxide film of about 10 Å, which was able to secure the capacitance of 3fF / cell. In addition, we investigated the effect of thinning of the dielectric film on the abnormal oxidation of the nitride film, and proposed a stable process control method for forming the dielectric film to ensure oxidation resistance.

키워드

Nitride Film, Abnormal Oxidation, Oxidation Resistance, Dielectric Film
질화막, 이상 산화, 내산화성, 유전막

1. 서 론

최근 메모리 소자의 고집적화 및 대용량화 실현을 위하여 L/L(load lock) 시스템과 같은 증착 장치의 구조 개선, 적층형 커패시터 설계 및 유전막으로써 질화막의 도입 등 실제 생산 라인에서 다양한 시도들이 이루어지고

있다. 또한 scale down과 함께 고용량 커패시턴스 확보라는 측면에서 표면적 확장을 위한 HSG(hemispherical grain silicon), fin 구조 및 열산화막 박막화의 임계 두께를 극복하기 위한 ONO(Oxide-nitride-oxide) 다층절연막이 고집적 커패시터 제조 공정기술에 상용화되고 있다 [1-5]. 그러나 커패시터 구조의 복잡성과 더불어 유전막

* 전남대학교 기계설계공학부(phycyg@jnu.ac.kr)

** 전남대학교 전기및반도체공학과(ferroksj@jnu.ac.kr)

*** 교신저자 전남대학교 전기및반도체공학과

• 접수일 : 2021. 03. 17

• 수정완료일 : 2021. 05. 02

• 게재확정일 : 2021. 06. 17

• Received : Mar. 17, 2021, Revised : May. 02, 2021, Accepted : Jun. 17, 2021

• Corresponding author : Yang-Hee Joung

Dept. of Electrical and Semiconductor Engineering, Chonnam National University,

Email : jyanghee@jnu.ac.kr

박막화의 한계로 미세한 공정 조건의 변화가 소자 성능에 미치는 영향이 지대하므로 대량 생산에 필요한 유전막 형성 단위 공정기술의 여유가 극히 제한적이다[6]. 특히 다층절연막의 박막화에 따른 질화막 이상산화 문제는 정전용량 저하의 원인으로 대두되어 수율 감소로 이어지고 있는 실정이다. 따라서 안정적인 커패시턴스 확보를 위한 다층절연막의 박막화와 질화막의 내산화성 문제를 해결할 필요가 있다. 이를 위하여 본 논문에서는 저압 화학 기상증착 장치(LPCVD, low pressure chemical vapor deposition)를 이용하여 다층절연막에서 산화막의 박막화와 이들이 커패시턴스에 미치는 영향을 확인하고, 질화막 성장 온도가 이상산화에 미치는 영향을 고찰함으로써 fin 구조 커패시터의 안정적인 질화막 박막화와 내산화성을 확보할 수 있는 다층절연막 증착 공정 관리 방안을 제안하였다.

II. 시료제작 및 실험방법

본 실험에 사용된 시료는 비저항이 13~24Ωcm인 p-type 실리콘 웨이퍼를 사용하였고 표면적이 5.5 μm²인 1.5 fin 구조의 커패시터를 제작하기 위하여 하부 전극으로 폴리 실리콘(poly silicon)을 사용하였다. 유전막으로는 그림 1과 같은 L/L(load lock) LPCVD 장치를 이용하여 질화막과 산화막을 형성시키고 상부 전극으로 다시 폴리 실리콘을 증착한 후 포토리소그라피와 건식각을 통하여 커패시터를 형성하였다.

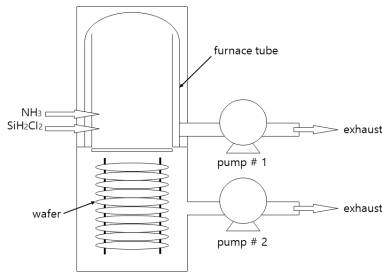


그림 1. L/L LPCVD 장치의 개략도
Fig. 1 Schematic diagram of LPCVD system with load lock

전기용량 증대를 위해 채택된 fin 구조의 커패시터 완성 단면도를 그림 2에 나타내었다. 이와 같은 공정에서

유전막으로 사용되는 질화막의 증착을 위해 고온의 로(furnace)내로 웨이퍼를 로딩(loading)시 대기 중의 산소가 웨이퍼의 이동과 함께 로내로 혼입되어 웨이퍼 표면에 얇은 자연 산화막이 성장하게 된다. 이 자연산화막은 유전막의 유효두께에 영향을 미치게 되며 축전 용량의 감소를 초래하게 된다. 따라서 본 연구에서는 시료 제작에 있어서 기존 장치의 한계를 극복하고자 load lock 진공시스템이 부착된 LPCVD 장치에서 질화막을 성장시킴으로써 자연산화막의 성장을 최소화 하였고 그 효과를 확인하기 위하여 각각의 장치에서 로내로 로딩 및 언로딩을 진행시킨 후 웨이퍼 표면에 성장한 자연 산화막의 두께를 ellipsometer를 이용하여 측정하였다. 질화막의 이상산화와 관련하여 유전막의 유효두께 한계와 내산화성을 평가하기 위하여 L/L LPCVD를 이용하여 질화막과 상층산화막을 형성하는 NO 구조의 유전막을 성장시켰다[7]. 이때 질화막 증착 전 자연산화막과 불순물을 제거하기 위하여 1:99 HF에서 60초 동안 전세정을 실시하였으며 질화막 성장 조건은 NH₃와 SiH₂Cl₂의 비율을 10:1로 700~750°C의 고온에서 0.25Torr로 저압 증착을 하였고 30fF의 Cs를 확보하기 위하여 질화막의 두께를 62±2Å로 하였다. 이들 시료는 상층산화막 성장을 위해 900°C에서 O₂와 H₂ 비율을 1:1.6의 비율로 모니터 웨이퍼 상에서 약 490Å, 질화막이 있는 시료상에서 15±3Å 두께로 성장시켰다.

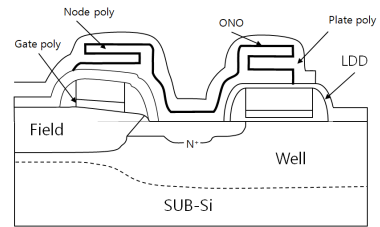


그림 2. Fin 구조 커패시터 단면도
Fig. 2 The cross section of Fin type capacitor

마지막으로 저압화학증착장치에서 SiH₄와 PH₃를 14:1의 비율로 0.8 Torr에서 상부전극을 형성하여 커패시터를 완성하였다. 질화막의 이상산화 평가는 질화막 성장 온도를 기존의 745°C와 저온화 공정의 추세에 따라 700°C에서 진행한 질화막과 비교하였고, 그 방법으로는 기존과 같이 질화막 산화 전,후의 두께 측정으로 진행하였다. 또한 질화막 성장 온도에 따른 균일성을 확인하였다.

III. 결과 및 논의

메모리 소자의 커패시터에서 하층산화막의 성장은 유전막의 유효두께를 증가시키고 이는 정전용량 감소를 초래하게 된다. 따라서 본장에서는 이들 문제를 해결하기 위하여 L/L LPCVD의 질화막 증착전 자연산화막 성장을 조사하고 이들이 커패시턴스에 미치는 영향을 고찰하였으며, 질화막의 증착 온도가 이상산화에 미치는 영향을 평가하였다.

3.1 L/L LPCVD 자연산화막

질화막 성장을 위한 시료의 전세정 후 자연산화막의 두께는 2~3Å 정도로 측정되었고, 이들 시료를 기존의 장치와 L/L LPCVD에서 boat up-down을 통하여 각각의 장치에서 성장되는 자연산화막을 boat의 zone별로 측정하여 그림 3에 나타내었다.

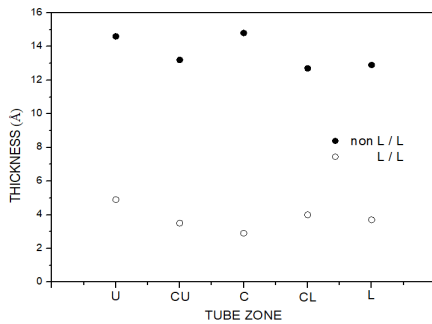


그림 3. Non-L/L과 L/L LPCVD의 Zone별 자연산화막
Fig. 3 Natural oxide films according to zones of non-L/L and L/L LPCVD

수직형 L/L LPCVD는 웨이퍼를 150매까지 탑재할 수 있으며, 웨이퍼가 최상층에 놓인 것을 up zone, 가운데를 center zone, 최하층을 low zone 이라고 정의하였다. 그림에서와 같이 기존 장치의 경우 하층산화막의 성장 두께는 약 12~15Å이며 up zone이 low zone보다 두꺼운 경향을 나타내고 있는데 이는 웨이퍼 로딩시 up zone에서부터 boat가 올라감에 따라 low zone보다 고온에서 오랜 시간 대기되는 시간과 온도의 영향에 기인됨을 알 수 있다. L/L 장치의 하층산화막 성장 두께는 약 3~5Å으로 나타나 기존 장치에 비해 약 10Å 정도 낮은 두께를 나타내었다. 이는 L/L 장치에서는 질화막 성장을 위해 로내로

진입하기 전에 웨이퍼가 있는 로딩부 영역을 산소가 거의 없는 2ppm 이하의 진공으로 한후 다시 공정용 N2를 흘려 대기압으로 만든 상태에서 로내로 웨이퍼가 이동하여 질화막이 성장되기 때문에 로내로 로딩중에 성장되는 하층산화막의 성장을 억제할 수 있는 것이다. 10Å의 산화막 성장은 본 실험 커패시터를 기준으로 식 (1)로부터 약 ~3fF/cell의 커패시턴스 저감을 초래할 수 있다[8]. 따라서 유전막 성장의 공정 여유와 안정적인 커패시턴스 확보를 위하여 L/L LPCVD가 효과적임을 확인할 수 있다.

$$C_s = \epsilon_{ox} \times S / t_{ox(eff)} \quad (1)$$

여기서 C_s : cell capacitance

ϵ_{ox} : oxide permittivity

S : unit cell area

$t_{ox(eff)}$: effective thickness of oxide

3.2 질화막 이상산화 평가

질화막 내산화성 평가를 위해 웨이퍼 제작과 평가 방법을 그림 4에 나타내었다.

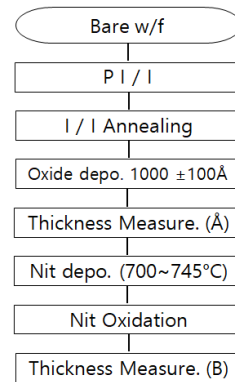


그림 4. 질화막 내산화성 평가 시료 제작 및 방법
Fig. 4 The sample preparation and method for oxidation resistance evaluation of nitride films

그림 4에서 평가 웨이퍼는 실제와 동일하게 하기 위하여 bare 웨이퍼에 P+ 이온주입 및 어닐링을 실시하였고 1000±100Å의 산화막을 증착하였다. 질화막의 이상산화는 질화막 두께와 밀접한 관계가 있으므로 그림에서와 같이 질화막 성장 온도를 700°C와 745°C로 하여 질화막 두께가 이상산화에 미치는 영향을 조사하였다. 이때 이상

산화의 판정은 질화막 산화 전후의 두께차 관리 규격인 100Å 이하를 기준으로 하였고, 질화막의 이상산화 두께 한계를 확인하기 위하여 bare 모니터 웨이퍼를 L/L LPCVD에 함께 투입하여 비교하고 그 결과를 그림 5~8에 나타내었다.

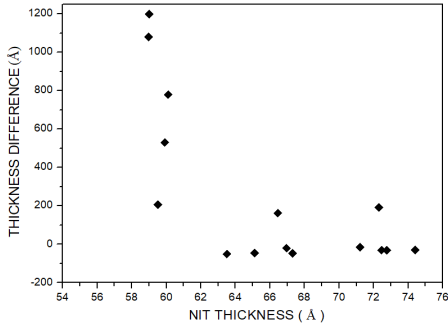


그림 5. 질화막 증착온도에 따른 산화전후 두께차(745°C)

Fig. 5 Thickness difference before and after oxidation according to deposition temperature of nitride films(745°C)

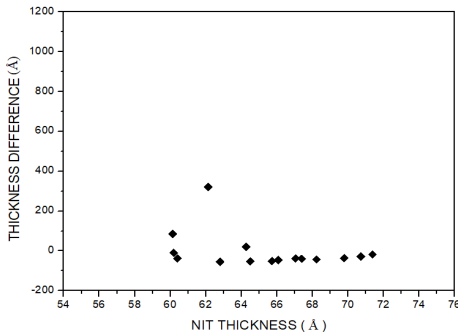


그림 6. 질화막 증착온도에 따른 산화전후 두께차(700°C)

Fig. 6 Thickness difference before and after oxidation according to deposition temperature of nitride films(700°C)

700°C와 745°C에서 성장한 질화막의 웨이퍼 내 균일성은 각각 1~2.1%, 1.8~3.2%로 저온화 공정에서 약 0.5~1% 정도의 개선 효과를 나타내었다.

그림 5~6은 질화막 증착 온도에 따른 질화막의 산화 전후 두께차를 나타낸 것으로 모니터 웨이퍼상의 질화막 두께를 기준으로 약 60Å 이하에서 이상 산화가 발생하는

것으로 나타났으며 745°C에서 이상산화 발생 정도가 심한 것으로 확인되었다. 특히 745°C의 증착에서는 70Å 부근에서도 이상산화가 발생하는 경우도 나타나는데 이는 L/L 장치의 low zone에 로딩된 웨이퍼에서 측정되었다. 이에 대한 원인을 확인하기 위하여 각각의 증착 온도에서 질화막 성장의 zone별 의존성을 조사하여 그림 7~8에 나타내었다.

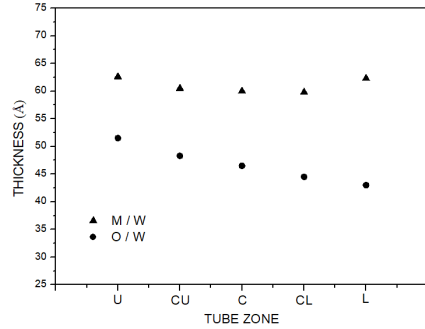


그림 7. 증착온도에 따른 질화막 성장의 zone별 의존성(745°C)

Fig. 7 Dependence of each zone on nitride film thickness according to deposition temperature(745°C)

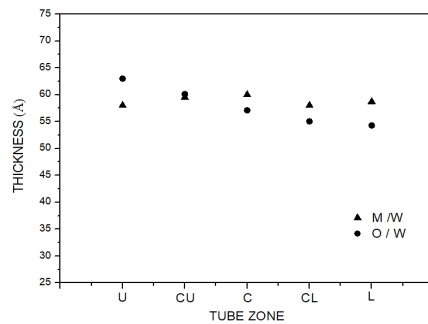


그림 8. 증착온도에 따른 질화막 성장의 zone별 의존성(700°C)

Fig. 8 Dependence of each zone on nitride film thickness according to deposition temperature(745°C)

그림 7, 8에서 보는바와 같이 모니터 웨이퍼의 경우 두 증착 온도 조건에서 60Å 정도로 큰 유의차를 나타내지 않으나 산화막상에서는 두께 차이를 나타내고 있으며 특히 745°C 조건에서 low zone으로 갈수록 그 차이가 크게 나타나 up zone에서는 모니터 웨이퍼 대비 약 5-10Å, low zone에서는 약 10-15Å 보이고 있다. 이는 L/L 장치

에서는 자연산화막 성장이 어렵기 때문에 웨이퍼 표면상태 차이에 의해 반응 가스 seed가 웨이퍼 표면에 흡착하는 확률의 차이에 기인된다[9-10]. 즉 웨이퍼 표면 상태가 산화막일 경우 증착 초기의 막 형성 지연시간이 크기 때문에 모니터 웨이퍼보다 증착율이 낮아지며 동일 조건에서 증착할 경우 막 두께가 실리콘 웨이퍼에서보다 얇게 증착됨을 알 수 있다. 더불어 low zone의 경우는 로내로의 진입이 가장 늦게 일어나므로 하층산화막에서와 동일하게 가장 낮은 두께를 나타내는 것이다. 이로써 그림 5에서 low zone의 웨이퍼에서 이상산화가 발생한 것을 확인할 수 있고 내산화성을 위한 질화막 두께 규격을 $62\pm 2\text{\AA}$ 이내로 반드시 관리할 필요가 있다. 따라서 non L/L 장치의 공정 능력을 고려할 때 질화막 두께의 공정 관리는 한계가 있으므로 L/L 장치로의 전환이 유효하며 700°C로의 증착 공정 저온화가 질화막의 내산화성에 유리할 것으로 판단된다.

VI. 결 론

본 논문에서는 반도체 메모리 소자에서 중요한 요소의 하나인 커패시터를 형성하는 과정에서 발생하는 이상산화 원인을 규명하기 위하여 질화막의 내산화성을 평가하였고 자연산화막의 억제제를 위한 L/L LPCVD의 효과를 확인하였다. 그 결과 L/L 진공 시스템을 통하여 약 3fF/cell의 캐패시턴스에 해당하는 10Å의 하층산화막 저감 효과를 얻을 수 있었다. 또한 질화막의 내산화성 평가를 통하여 질화막의 한계 두께는 60Å으로 확인되었으며, 700°C로의 저온화 공정이 질화막의 균일성 및 이상산화 측면에서 유리함을 확인하였다. 이들 결과는 메모리 소자의 생산 공장에서 안정적인 공정 관리 여유와 소자의 신뢰성 확보는 물론 생산성 향상에 기여할 수 있을 것으로 예상된다.

References

- [1] S. Mori, E. Sakagami, H. Araki, Y. Kaneko, K. Narita, Y. Ohshima, N. Aria, and K. Yoshikawa, "ONO inter-poly dielectric scaling for nonvolatile memory applications," *IEEE Trans. on Electron Devices*, vol. 38, no. 2, Feb. 1991, pp. 386-391.
- [2] S. Mun, S. Kang and Y. Joung, "A study on the DC parameter matching according to the shrink of 0.13 μm technology," *J. of the Korea Institute of Electronic Communication Science*, vol. 9, no. 11, Nov. 2014, pp. 1227-1232.
- [3] S. Mun, S. Kang and Y. Joung, "A study on Flicker Noise Improvement by Decoupled Plasma Nitridation," *J. of the Korea Institute of Electronic Communication Science*, vol. 9, no. 7, July 2014, pp. 747-752.
- [4] K. Wu, C. S. Pan, J. J. Shaw, P. Freiberger, and G. Sery "A model for EPROM intrinsic charge loss through ONO interpoly dielectric," *IEEE Reliability Physics Symposium, 28th Annual Proceedings*, Yokohama, Japan, Mar. 1990, pp. 145-149.
- [5] C. S. Pan, K. J. Wu, P. P. Freiberger, and G. Sery, "A scaling methodology for oxide-nitride-oxide interpoly dielectric for EPROM applications," *IEEE Trans. Electron Devices*, vol. 37, no. 6, June 1990, pp. 1439-1443.
- [6] Y. Ohji, T. Kusaka, I. Yoshida, A. Hiraiwa, K. Yagi, K. Mukai, and O. Kasahara, "Reliability of nano-meter thick multi-layer dielectric films on polycrystalline silicon," *IEEE Physics Symposium, 25th Annual*, Sandiego, CA, USA, Apr. 1987, pp. 55-59.
- [7] Y. Chung, S. Kang, and Y. Joung, "Analysis of process parameters on cell capacitances of memory devices," *J. of the Korea Institute of Electronic Communication Science*, vol. 12, no. 5, Oct. 2017, pp. 791-796.
- [8] H. Kotaki, M. Nakano, Y. Takegawa, S. Kakimoto, Y. Mori, K. Mitsuhashi, J. Takagi, S. Tsuchimoto and Y. Akagi, "Novel Elevated Silicide Source / Drain by Load Lock LPCVD-Si and Advanced Silidation Processing," *IEEE International Electron Device Meeting 93*, Tokyo, Japan, Dec. 1993, pp. 839-842.
- [9] S. M. Sze, *VLSI Technology*. Singapore: McGraw-Hill, 2002.
- [10] W. Yoon, S. Kang, and Y. Joung, "Study on the

trap parameter according to the nitridation conditions of the oxide films," *J. of the Korea Institute of Electronic Communication Science*, vol. 11, no. 5, May 2016, pp. 473-478.

저자 소개



정윤근(Yeun-Gun Chung)

1983년 중앙대학교 물리학과
졸업(이학사)

1985년 중앙대학교 대학원 물리학과
졸업(이학석사)

1988년 중앙대학교 대학원 물리학과 졸업(공학박사)
현재 전남대학교 기계설계공학부 교수

※ 관심분야 : 반도체 특성 분석 및 simulation



강성준(Seong-Jun Kang)

1989년 인하대학교 응용물리학과
졸업(공학사)

1994년 인하대학교 대학원 전자재료공학과 졸업(공학석사)

1999년 인하대학교 대학원 전자재료공학과 졸업(공학박사)

현재 전남대학교 전기및반도체공학과 교수

※ 관심분야 : 기능성박막, 반도체공정 및 재료



정양희(Yang-Hee Joung)

1983년 단국대학교 응용물리학과
졸업(공학사)

1985년 인하대학교 대학원 응용물리학과 졸업(공학석사)

1993년 인하대학교 대학원 전자재료공학과 졸업(공학박사)

1995년 ~현재 전남대학교 전기및반도체공학과 교수

※ 관심분야 : 반도체 공정 및 물성