

시간영역 비교기를 이용한 ZQ 보정회로 설계

이상훈* · 이원영**

Design of ZQ Calibration Circuit using Time domain Comparator

Sang-Hun Lee* · Won-Young Lee**

요약

본 논문에서는 시간영역 비교기를 응용한 ZQ 보정회로를 제안한다. 제안하는 비교기는 VCO기반으로 설계 되었으며 전력소모를 감소시키기 위해 추가적인 클럭 발생기를 사용하였다. 제안한 비교기를 사용하여 참조 전압과 PAD 전압을 낮은 1 LSB 전압 단위로 비교하여 추가적인 오프셋 보정과정을 생략할 수 있었다. 제안 하는 시간영역 비교기 기반의 ZQ 보정회로는 1.05 V 및 0.5 V 공급전압의 65 nm CMOS공정으로 설계되었다. 제안한 클럭 발생기를 통해 단일 시간영역 비교기 대비 37 %의 전력소모가 감소하였으며 제안하는 ZQ 보정 회로를 통해 최대 67.4 %의 mask margin을 증가시켰다.

ABSTRACT

In this paper, a ZQ calibration using a time domain comparator is proposed. The proposed comparator is designed based on VCO, and an additional clock generator is used to reduce power consumption. By using the proposed comparator, the reference voltage and the PAD voltage were compared with a low 1 LSB voltage, so that the additional offset cancelation process could be omitted. The proposed time domain comparator-based ZQ calibration circuit was designed with a 65nm CMOS process with 1.05V and 0.5V supply voltages. The proposed clock generator reduces power consumption by 37% compared to a single time domain comparator, and the proposed ZQ calibration increases the mask margin by up to 67.4%.

키워드

ZQ Calibration, Dynamic Comparator, Time Domain Comparator, VCO (Voltage-Controlled Oscillator)
ZQ 보정회로, 비교기, 시간 영역 비교기, 전압 제어 발진기

1. 서론

최근 고속 컴퓨팅 기술 및 모바일 어플리케이션의 발 전으로 요구되는 메모리의 성능이 증가하고 있다. 따라서 I/O 인터페이스는 방대한 양의 데이터를 빠른 시간 내에 처리해야하고 이 때문에 고속 신호처리 및 Signal

Integrity (S/I) 성능을 개선하는 연구가 활발히 진행되고 있다[1-3]. S/I 성능은 데이터 전송 중 반송파에 의해 저 하되며 이를 해결하기 위해 on die termination(: ODT)이 사용되었다[4]. 이러한 ODT는 PVT 변형에 취약하므로 ZQ 보정회로를 통해 정교한 termination 값을 찾아내고 임피던스를 매칭하여 S/I를 개선한다. 그러나 ZQ 보정회

* 서울과학기술대학교 석사과정

** 교신저자 : 서울과학기술대학교 전자미디어공학과

• 접수 일 : 2021. 04. 12

• 수정완료일 : 2021. 05. 15

• 게재확정일 : 2021. 06. 17

• Received : Apr. 12, 2021, Revised : May. 15, 2021, Accepted : Jun. 17, 2021

• Corresponding Author : Won-Young Lee

Dept. Electronic and IT Media Engineering, Seoul National University of Science and Technology,

Email : wylee@seoultech.ac.kr

로에서 사용되는 기존의 동적 비교기는 저항 래더로 생성된 참조 전압 VREF의 변동과 PVT 변형으로 인해 meta-stability가 발생하며 S/I 성능을 악화시킨다. 이를 해결하기 위해 VCO, VCDL 등을 응용한 시간영역 비교기가 연구되었다[5-6].

이러한 비교기는 아날로그 입력전압을 delay 및 주파수와 같은 시간으로 변환하여 위상을 비교한다. 동적 비교기에 비해 상대적으로 입력 참조 잡음 (IRN) 및 오프셋 성능이 우수하다. 그러나 시간영역 비교기는 동적 비교기에 비해 느린 비교를 수행하며 비교 동작 중 참조 전압 VREF와 pull-down 및 pull-up PAD의 전압을 변동시켜 ZQ 보정회로에 적용하기 까다롭다. 본 논문에서는 제안하는 클럭 발생기를 통해 VCO 기반의 시간영역 비교기의 동작 속도를 최적화하고 VCO 구조를 변형하여 PAD 전압 변동을 억제하였다. 또한, 시간영역 비교기의 우수한 잡음 성능을 응용하여 보다 낮은 1 LSB 전압을 비교함으로써 기존보다 정교한 LPDDR5 스펙의 ZQ 보정회로를 제안한다[7]. 본 논문의 II장에서는 시간영역 비교기를 사용한 LPDDR5용 ZQ 보정회로를 설명한다. 또한 기존 동적비교기와 비교하여 시간영역 비교기의 회로와 동작을 설명한다. 또한 III장의 시뮬레이션 결과를 통하여 제안하는 ZQ 보정회로의 특성을 분석한다. IV장에 서술되는 결론 통해 본 논문을 정리한다.

II. 본 론

2.1 ZQ 보정회로

제안하는 ZQ 보정회로는 그림 1에 도시되어있으며 각 루프 동작을 위한 시간영역 비교기 (T-CMP), replica driver, 카운터와 pre-driver를 포함한 pull-up/down driver로 구성되어있다. 각 pull-up/down driver는 6 비트의 해상도를 가지도록 설정되었다. 공급전압은 각각 VDD=1.05 V, VDDQ=0.5 V로 설계되었다. 1번 루프를 통해 pull-down driver는 RZQ (=240 Ω)과 같은 임피던스 값을 가지도록 6 비트 코드 값이 결정되고, 이에 해당하는 6 비트 코드는 pull-up driver 코드 설정을 위해 replica pull-down driver로 코드 값이 전송 된다. 2번 루프에서는 replica pull-down driver의 코드 값을 기준으로 pull-up driver의 코드 값이 결정 된다. 결정된 pull-up/down driver의 코드 값은 출력 driver로 전송 된다.

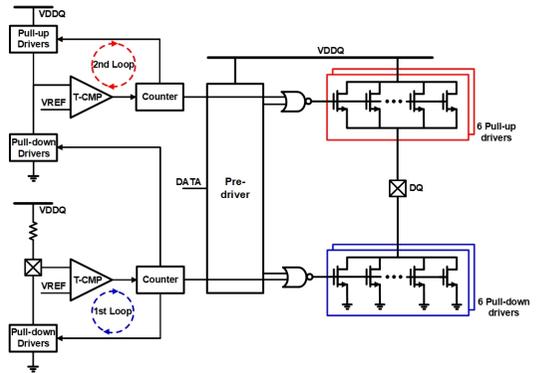
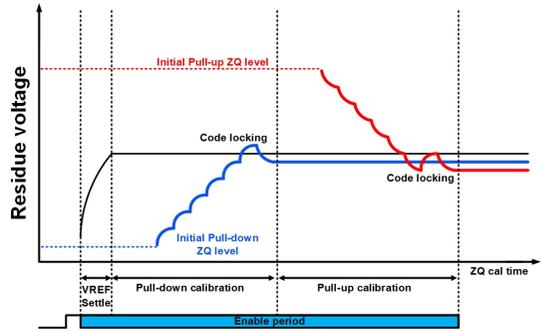


그림 1. 제안하는 ZQ 보정회로의 블록 및 타이밍 다이어그램

Fig. 1 Block and timing diagram of the proposed ZQ calibration engine

자세한 타이밍 다이어그램은 그림 1에 도시되어있다. ZQ ENABLE 신호가 high가 되고 외부 클럭의 1주기 동안 내부 회로를 초기화하고 그 후 2주기 동안 참조 전압 VREF가 정착된다. Pull-down, up 보정이 순차적으로 수행된 후 ZQ 보정을 종료한다.

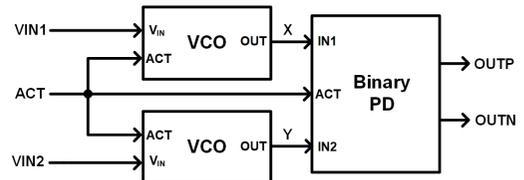


그림 2. 시간영역 비교기의 블록 다이어그램
Fig. 2 Block diagram of time domain comparator

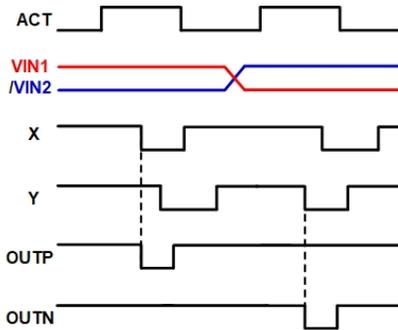


그림 3. 시간영역 비교기의 타이밍 다이어그램
Fig. 3 Timing diagram of time domain comparator

2.2 시간영역 비교기

그림 2는 시간영역 비교기의 블록 다이어그램이다. 본 논문에서 사용한 시간영역 비교기는 전압 제어 발진기 (VCO)를 기반으로 설계되었으며 2개의 VCO와 binary phase detector (PD)로 구성되어 있다. 상세한 타이밍 다이어그램은 그림 3에 도시되어 있다. ACT 신호가 high가 되면 VCO 및 binary PD가 동작하며 비교를 시작한다. 입력 전압 VIN1, VIN2의 전압에 따라 각 VCO 출력 신호 X, Y의 주파수가 변화하게 되며 이를 binary PD가 감지하여 해당하는 비트를 출력한다. 예를 들어 VIN1 > VIN2라면, X의 주파수가 Y의 주파수보다 높으므로 이를 binary PD가 감지하여 OUTP가 high가 된다.

기존의 동적 비교기는 PVT 변형에 의한 IRN 및 오프셋에 취약하다. 또한, I/O 인터페이스에 사용되는 공급전압은 변동될 수 있기 때문에 비교기가 정교한비교를 수행하기 어렵다. 기존의 VCO 기반의 시간영역 비교기는 delay 단에 따른 IRN 및 오프셋에 이점이 있다고 알려져 있다[5]. 그러나 이러한 비교기는 제어 전압에 따른 delay의 위상을 비교하기 때문에 비교적 느린 비교를 수행하며 이 때문에 LPDDR4 이상의 스펙에서 ZQ 보정회로 동작을 위한 비교기로 적용하기 어렵다. 또한, 시간영역 비교기를 ZQ 보정회로에 적용시키기 위해 트랜지스터의 width를 증가시켜 동작 속도를 상승시킨 경우 VCO 내부의 빠르게 진동하는 신호가 입력 전압 VIN에 영향을 주기 때문에 올바른 비교를 보장하기 어렵다. 따라서 그림 4와 같이 기존의 VCO의 입력단에 커패시터를 추가함으로써 고주파 잡음을 필터링하였다. 또한, VCO의 1 사이클의 속도와 IRN을 고려하여 총 3개의 delay 단으로 설정하여 설계하였다.

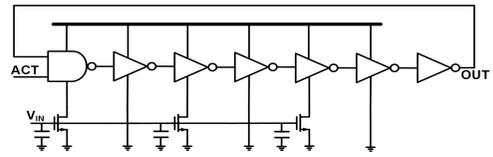


그림 4. 제안하는 VCO의 회로도
Fig. 4 Schematic of the proposed VCO

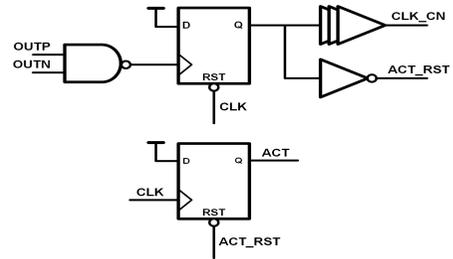


그림 5. 제안하는 클럭 발생기의 회로도
Fig. 5 Schematic of the proposed clock generator

2.3 클럭 발생기

반면 기존 ZQ 보정회로와 같이 외부 CLK에 동기화하여 동작한다면 VCO 기반의 시간영역 비교의 비교가 완료됨에도 불구하고 동작이 종료되지 않아 추가적인 전력 소모를 야기할 수 있으며 ZQ PAD 전압의 정착 시간을 제한할 수 있다. 따라서 그림 5와 같이 클럭 발생기를 구현하였으며 비교기의 출력 OUTP, OUTN이 결정되면 즉시 VCO 동작을 종료하도록 설계하였다. 자세한 타이밍 다이어그램은 그림 6에 도시되어 있다. 우선, 그림 6의 표시(1)과 같이 외부 CLK의 상승 엣지에 동기화되어 ACT가 high가 되며 비교를 수행한다. 비교가 완료되면 표시(2)와 같이 ACT_RST이 low가 되며 이에 동기화되어 ACT가 low가 되며 VCO가 비활성화되며, 동시에 표시(3)과 같이 카운터 동작을 위한 CLK_CN가 high가 된다. 또한, CLK의 상승 엣지에 동기화되어 CLK_CN가 low가 된다. 이와 같은 동작으로 ZQ 보정회로가 동작하고 ZQ PAD 전압이 VREF 전압을 역전하여 비교기 출력이 반전되면 이를 감지하여 ZQ 보정 동작을 종료한다. 시뮬레이션 결과 기존의 단일 시간영역 비교기의 전력소모는 0.94 mW로 측정되었으며 제안하는 클럭 발생기를 포함한 비교기의 전력소모는 0.59 mW로 약 37% 감소하였다.

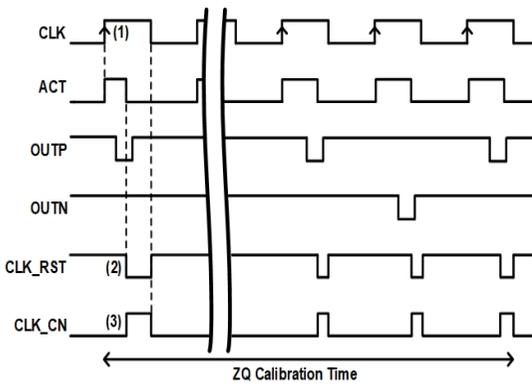


그림 6. 제안하는 클럭 발생기의 타이밍 다이어그램
Fig. 6 Timing diagram of the proposed clock generator

2.4 카운터

그림 7은 3 비트 UP/DOWN 카운터 예시 회로이다. 제안하는 ZQ 보정회로에서는 6 비트 해상도로 설계되었다. 1 비트의 해당하는 카운터는 master-slave JK 플립플롭, AND와 OR 게이트로 구성되어 있다. 불필요한 보정 과정을 생략하기 위해 본 설계에서는 MSB를 제외한 나머지 비트를 '1'로 설정하였다. 자세한 타이밍 다이어그램은 그림 8에 도시되어 있다. CN_RS신호를 통해 초기 출력 코드 C<2>, C<1>, C<0>을 '011'로 설정하였다. 또한, 각 UP/DN 신호는 T-CMP 출력 OUTP/OUTN을 변환하여 생성되었다. 반면, CLK_CN신호는 클럭 발생기를 통해 생성되며 비교기가 출력을 결정하면 high가 된다. 따라서OUTP/OUTN 신호는 CLK_CN의 상승 엣지마다 갱신되며 하강 엣지에서 이를 반영하여 코드변환을 수행한다. JK0은 매 CLK_CN 하강 엣지마다 출력 C<0>을 toggle하는 동작을 수행한다. CLK_CN의 상승 엣지에서 UP/DN이 high/low이고 JK1의 출력 C<0>가 high라면, A0, A1은 각각 high, low가 된다. 따라서 JK1 신호는 high가 되며 CLK_CN의 하강 엣지에서 반영되어 C<1> 신호를 전환한다. 만약 CLK_CN 상승 엣지에서 OUTP/OUTN 신호가 전환 된다면 JK1 및 JK2 신호가 변환되어 하강 엣지에서 코드가 변환된다. 이와 같은 과정으로 코드 변환을 수행하며 비교기 출력이 2번 전환되면 변환을 종료한다.

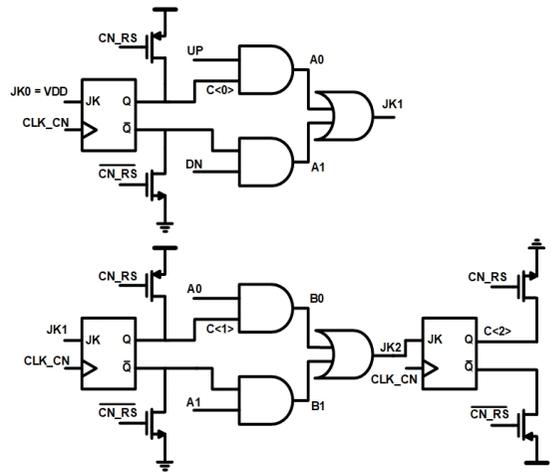


그림 7. 3 비트 업/다운 카운터
Fig. 7 3-bit UP/DOWN counter

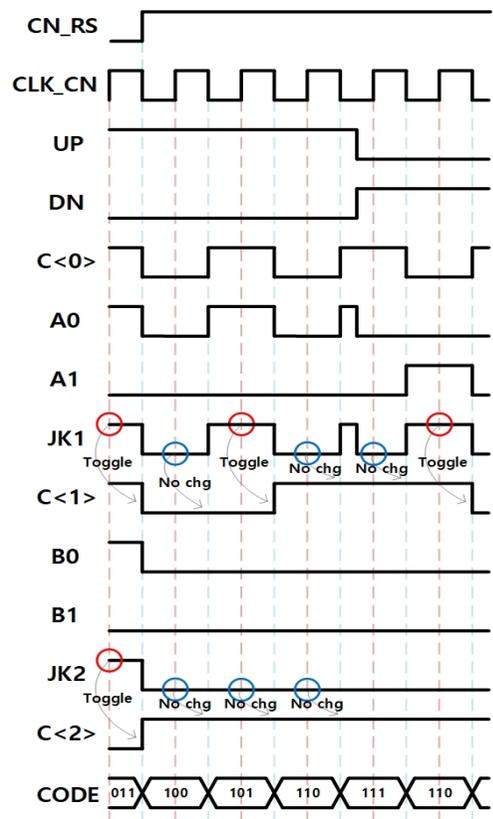


그림 8. 3 비트 카운터의 타이밍 다이어그램
Fig. 8 Timing diagram of 3-bit counter

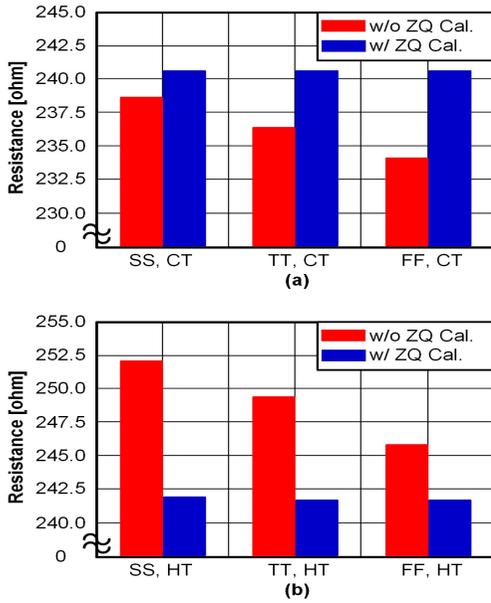


그림 9. ZQ 보정회로 유무에 따른 pull-down 레지스턴스 (a) -40 oC (b) 170 oC
 Fig. 9 Pull-down resistance without and with ZQ calibration (a) -40 oC , (b) 170 oC

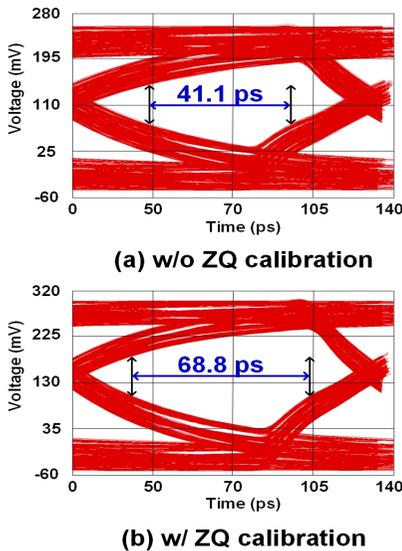


그림 10. SS/170 oC에서의 ZQ 보정회로 유무에 따른 driver eye 다이어그램
 Fig. 10 Eye diagram of driver without and with ZQ calibration in SS/170 oC condition

III. 시뮬레이션 결과

본 설계는 65 nm CMOS공정으로 설계되었다. 제안하는 ZQ 보정회로의 온도, 프로세스별 pull-down 레지스턴스가 그림 9에 도시되어있다. (a) CT (-40 °C)에서 ZQ 보정 전 레지스턴스는 최대 234.82 Ω으로 나타났으며 ZQ 보정 후 레지스턴스는 240.32 Ω에서 240.74 Ω으로 보정되었다. 또한 (b) HT (170 °C)에서 ZQ 보정 전 레지스턴스는 최대 252.3 Ω 으로 나타났으며 ZQ 보정 후 240.20 Ω에서 240.23 Ω으로 보정되었다. 제안하는 ZQ 보정회로를 검증하기 위한 eye 다이어그램 시뮬레이션은 그림 10에 도시되어 있다. 7.5 Gb/s의 PRBS 랜덤 데이터를 입력하였으며 SS와 170 °C의 RZQ/6 driver를 측정하였다. 또한 mask 높이 100 mV 기준으로 mask margin을 측정하였으며 41.10 ps에서 ZQ 보정회로를 통해 68.80 ps로 약 67.4 %의 mask margin이 상승하였다. 이와 같이 ZQ 보정회로 유무에 따른 프로세스별 mask margin을 측정하였으며 표 1에 도시되어있다.

표 1. ZQ 보정회로 유무에 따른 프로세스 별 mask margin

Table 1. Mask margin without and with calibration by process

	SS	TT	FF
w/o cal.	41.10 ps	55.91 ps	65.00 ps
w/ cal.	68.80 ps	68.09 ps	68.90 ps
margin	67.4 %	21.8 %	6.0 %

IV. 결론

본 논문에서는 VCO 기반의 시간영역 비교기를 활용한 7.5 Gb/s LPDDR5용 ZQ 보정회로 제안하였다. 기존 시간영역 비교기의 낮은 동작속도와 VCO 동작으로 인한 입력 PAD 전압과 참조 전압의 변동을 억제하기 위해 VCO를 변형하였다. 또한 시간영역 비교기의 전력소모를 감소시키기 위한 클럭 발생기를 제안하였으며 단일 VCO 대비 전력소모를 약 37 % 감소시켰다. 시간영역 비교기를 통해 추가적인 오프셋 보정 과정을 제외한 정교한 ZQ 보정회로를 설계하였다. 170 °C에서 프로세스 변형을 포

함한 시뮬레이션 측정결과 최대 67.4 %의 mask margin을 확보할 수 있었다.

감사의 글

이 성과는 2021년도 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. NRF-2020R1C1C1011773). 본 연구는 IDEC에서 EDA Tool를 지원받아 수행하였습니다.

References

- [1] C. Jung and W. Lee, "A Low Jitter Delay-Locked Loop for Local Clock Skew Compensation," *J. of the Korea Institute of Electronic Communication Science*, vol. 14, no. 2, 2019, pp. 309-316.
- [2] W. Lee, "An Adaptive Equalizer with the Digitally Controlled Active Variable Capacitor," *J. of the Korea Institute of Electronic Communication Science*, vol. 11, no. 11, 2016, pp. 1053-1060.
- [3] W. Lee and G. Lee, "A Low Power Voltage Controlled Oscillator with Bandwidth Extension Scheme," *J. of the Korea Institute of Electronic Communication Science*, vol. 16, no. 1, 2021, pp. 69-74.
- [4] C. Yoo, K. Kyung, H. Lee, J. Chai, N. Heo, D. Lee, and C. Kim, "A 1.8-V 700-Mb/s/pin 512-Mb DDR-II SDRAM with on-die termination and off-chip driver calibration," *IEEE J. Solid-State Circuits*, vol. 39, no. 6, 2004, pp. 941-951.
- [5] Z. Ding, X. Zhou, and Q. Li, "A 0.5-1.1-V adaptive SAR ADC utilizing the oscillation-cycle information of a VCO-based comparator," *IEEE J. Solid-State Circuits*, vol. 54, no. 4, 2019, pp. 968-977.
- [6] S. Lee, S. Park, and J. Sim, "A 21 fJ/Conversion-Step 100 kS/s 10-bit ADC with a Low-Noise Time-Domain Comparator for Low-Power Sensor Interface," *IEEE J. Solid-State Circuits*, vol. 46, no. 3, 2011, pp. 651-659.
- [7] JEDEC Standard LPDDR5 SDRAM specification, JESD209-5A, Dec. 2018.

저자 소개



이상훈(Sang-Hun Lee)

2020년 서울과학기술대학교 전자 IT미디어공학과 졸업(공학사)
2021년 서울과학기술대학교 대학원 IT미디어공학과 재학(공학석사)

※ 관심분야 : Analog-to-digital converter, I/O interface



이원영(Won-Young Lee)

2006년 KAIST 전기 및 전자공학과 졸업(공학사)
2008년 KAIST 대학원 전기 및 전자공학과 졸업(공학석사)

2012년 KAIST 대학원 전기 및 전자공학과 졸업(공학박사)

2012~2015년 삼성전자 메모리사업부 책임연구원
2015년~현재 서울과학기술대학교 전자IT미디어공학과 조교수

※ 관심분야 : VLSI, High-speed Serial Interface