Featured Paper
J. Korean Inst. Electr. Electron. Mater. Eng.
Vol. 34, No. 4, pp. 246-250 July 2021
DOI: https://doi.org/10.4313/JKEM.2021.34.4.246
ISSN 1226-7945(Print), 2288-3258(Online)

고이동도 TFTs 구현에 nc-Si:H 박막의 수소 희석비와 결정성이 미치는 영향

최지원[1], 김태용[1], 팜뒤퐁[1], 조재웅[1], 최자양[1], 신동욱[1], 이준신[2]

[1] 성균관대학교 전자전기컴퓨터공학과
[2] 성균관대학교 정보통신대학

Effect of Hydrogen Dilution Ratio and Crystallinity of nc-Si:H Thin Film on Realizing High Mobility TFTs

Jiwon Choi[1], Taeyong Kim[1], Duy phong Pham[1], Jaewoong Jo[1], Ziyang Cui[1], Dongxu Xin[1], and Junsin Yi[2]

[1] Department of Electrical and Computer Engineering, Sungkyunkwan University, Suwon 16419, Korea
[2] College of Information and Communication Engineering, Sungkyunkwan University, Suwon 16419, Korea

(Received May 3, 2021; Revised May 28, 2021; Accepted May 28, 2021)

Abstract: TFTs technologies with as high mobility as possible is essential for high-performance large displays. TFTs using nanocrystalline silicon thin films can achieve higher mobility. In this work, the change of the crystalline volume fraction at different hydrogen dilution ratios was investigated by depositing nc-Si:H thin films using PECVD. It was observed that increasing hydrogen dilution ratio increased not only the crystalline volume fraction but also the crystallite size. The thin films with a high crystalline volume fraction (55%) and a low defect density (10^{17} $cm^{-3}\cdot eV^{-1}$) were used as top gate TFTs channel layer, leading to a high mobility (55 $cm^2/V\cdot s$). We suggest that TFTs of high mobility to meet the need of display industries can be benefited by the formation of thin film with high crystalline volume fraction as well as low defect density as a channel layer.

Keywords: Thin film transistor, High mobility, Nanocrystalline silicon, Crystalline volume fraction, Hydrogen dilution ratio

1. 서 론

현재 디스플레이는 3가지 소재의 박막 트랜지스터(thin film transistors)인 비정질 실리콘(a-Si) TFTs, 산화물 반도체(oxide semiconductor) TFTs, 다결정 실리콘(poly-si) TFTs를 이용하여 LCD (liquid crystal display), OLED (organic light emitting diodes) 등을 양산하고 있다. 고해상도(UHD)와 높은 주사율(240 Hz)이 특징인 고성능의 대형 디스플레이에는 고이동도를 가진 TFTs 기술이 필수적이다 [1]. 비정질 실리콘 TFTs의 경우 대형화 및 저비용은 가능하지만 낮은 이동도(1 $cm^2/V\cdot s$)로 인해 고해상도 및 고속 구동에 적합하지 않다 [2]. Oxide TFTs의 경우 상대적으로 낮은 전하이동도(10 $cm^2/V\cdot s$), p-type 구현의 문제가 있다. 다결정 실리콘 TFTs는 높은 이동도(100 $cm^2/V\cdot s$)를 가지지만 여러 번의 증착 공정, ELA (excimer laser annealing) 장비 사용 등 제작 공정이 복잡하고 고비용의 단점이 있다 [3]. 비

✉ Junsin Yi; Junsin@skku.edu

Copyright ©2021 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (http://creativecommons.org/licenses/by-nc/3.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

정질 실리콘을 직접 성막한 nc-Si:H (hydrogenated nanocrystalline silicon) 박막 TFTs의 활용은 해결 방안으로 생각된다 [4]. nc-Si:H TFTs는 비정질 실리콘 TFTs보다 높은 전하이동도(50 $cm^2/V \cdot s$)를 가지며 같은 공정 장비를 사용해 생산성과 비용 면으로 유리하다 [5]. 도핑을 통한 CMOS 응용과 다결정 실리콘 TFTs에 비해 좋은 균일성과 대면적에 적용할 수 있는 장점이 있다 [6]. 고이동도를 달성하기 위한 조건으로는 nc-Si:H TFTs에서의 채널층으로 사용되는 높은 결정성을 가지는 nc-Si:H 박막 성막이 중요하다. 높은 결정상을 형성하기 위해서 높은 수소 희석비(hydrogen dilution ratio)가 필요하다 [7]. 수소는 박막 표면과 결정립계(grain boundary)에서의 결함을 감소시키고 불순물 방지 등 박막 표면을 패시베이션(passivation)과 결정을 성장시킨다 [8]. 다량의 수소가 사용되면 박막의 성장 속도 감소, 표면 거칠기 악화의 어려움이 존재한다. 결정을 성장시키는 추가적인 방법은 어닐링을 통한 열처리로 결정입자 크기(grain size)를 증가시키거나 박막의 두께를 감소시킬 수 있다. 기판 위에 seed layer를 사용하여 채널층 top layer의 결정성을 향상시키는 방법도 있다 [9]. nc-Si:H 박막을 성막시키는 방법으로 기판 위에 PECVD (plasma enhanced chemical vapor deposition)를 이용한 증착을 산업에서 사용하고 있으며 저온(~400℃)에서 이루어진다 [10]. 박막 성장은 증착 플라즈마 내 수소 희석비, rf power, 박막의 두께, 증착 속도, 증착 온도, 압력 등의 파라미터가 있다 [9-11]. 본 논문에서는 수소 희석 변화에 따른 nc-Si:H 박막의 결정성의 변화를 포함한 구조적 특성에 대해 알아볼 것이다. 낮은 결함 밀도(10^{17} $cm^{-3} \cdot eV^{-1}$), 높은 결정 부피 분율(crystalline volume fraction, Xc≥50%)의 특성을 가진 nc-Si:H 박막 증착을 목표로 한다. 증착한 박막을 채널층으로 사용한 TFTs의 이동도 측정과 문턱전압 같은 전기적 특성 분석 및 신뢰성 향상 연구가 진행되고 있다.

2. 실험 방법

PECVD는 저압, 저온에서의 증착 공정이 가능하기 때문에 기판으로 유리 또는 플라스틱 소재를 사용하는 TFTs 제작에 적합하다. 저압(0.1~0.9 Torr), 저온(200~400℃), power 60~100 W, rf frequency 13.56 Hz의 조건에서 박막을 증착하고 구조적 특성을 Raman spectroscopy 장비를 이용하여 분석한다. 수소가 박막의 결정성에 미치는 영향을 알아보기 위해 수소 희석비 변화(0~12)에 중점을 두었다. nc-Si:H의 박막을 TFTs 채널층으로 사용했을 때 박막의 결정성 변화에 따른 전계효과 이동도 변화를 고찰한다. 고이동도 특성을 가지는 TFTs의 제작을 위해 게이트 구조에 따른 transfer characteristics을 살펴봄으로써 전기적 특성을 분석 및 비교하였다.

3. 결과 및 고찰

3.1 nc-Si:H 박막 증착 및 분석

그림 1은 수소 희석비를 변화시켰을 때 라만 스펙트럼과 증착 속도의 변화이다. 수소 희석비는 PECVD 내부 가스에서의 H_2/SiH_4 비율을 의미하고 H_2 유량을 변화시켜 수소 희석비를 조절한다. 나노 결정 실리콘은 480~520 cm^{-1}에서 피크가 나타난다. 수소는 비정질 상태에서 결정 성장의 역할을 한다. 수소 희석비가 낮으면 결정 성장이 없어 비정질 실리콘의 480 cm^{-1} 피크가 나타난다. 수소 희석비가 증가하면 수소에 의한 결정이 성장되기 때문에 다결정 실리콘에 해당되는 520 cm^{-1}에서 피크가 나타난다 [11-13].

PECVD 공정에서 플라즈마에 의해 해리된 SiH_4의 전구체가 확산에 의해 기판에 도달하게 되고 반응을 일으켜 결정을 성장시킨다. 수소는 전구체의 이동을 방해하여 증착 속도가 느려지게 된다. 증착 속도가 빠르면 무질서한 비정질 형태의 박막으로 증착되고 증착 속도가 느리면 규칙적인 배열로 증착되어 수소화된 박막의 형태로 결정을 성베이션 하는 역할도 한다.

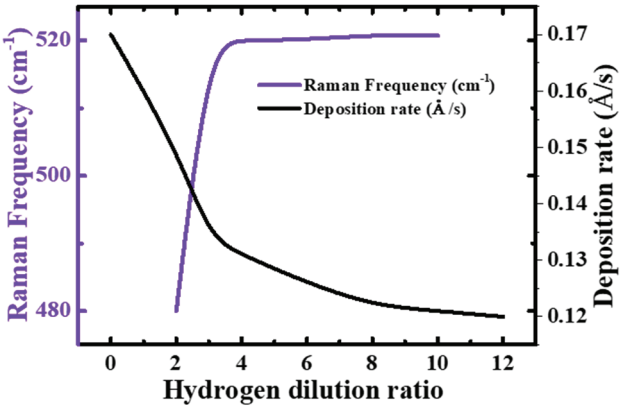

Fig. 1. Changes in Raman frequency and deposition rate at different hydrogen dilution ratio.

그림 2는 수소 희석비 변화에 따른 결정 크기와 결정 부피 분율의 변화이다. 평균 결정체 크기를 결정하기 위해 다음 수식을 사용하였다.

$$d = 2\pi\sqrt{\frac{B}{\Delta\omega}} \quad (1)$$

$\Delta\omega$는 벌크 실리콘과 비교한 나노 결정 실리콘의 peak 이동이고 B는 나노 결정 실리콘의 선폭이다. 결정 부피 분율은 라만 스펙트럼의 파장을 이용하여 구하였고 다음 식을 사용하였다.

$$X_c = \frac{I_c + I_m}{I_c + I_m + I_a} \quad (2)$$

I_c는 intergrated intensity of the crystalline phase, I_m은 intergrated intensity of the intermediate phase, I_a는 intergrated intensity of the amorphous phase를 의미한다. 수소 희석비의 범위는 서로 다른 상태이지만 수소 희석비의 증가는 결정의 크기와 부피 분율 모두 증가한다 [14,15].

수소 함량이 많아질수록 전구체가 기판으로 이동하는 것을 방해하여 박막의 증착 속도가 느려지고 규칙적인 배열을 가진 수소화된 박막의 형태로 결정을 성장시킨다. 수소 희석비의 조절로 결정 부피 분율이 높고 결정 크기가 큰 nc-Si:H 박막 증착이 가능하다.

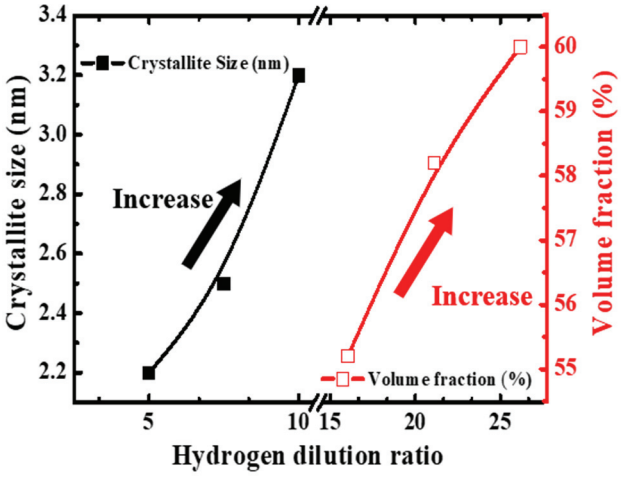

Fig. 2. The crystalline volume fraction and crystallite size change when the hydrogen dilution ratio is changed.

3.2 nc-Si:H TFTs 전기적 특성 분석

그림 3에 nc-Si:H 박막을 사용한 TFTs structure을 나타내었다. 고이동도를 가진 TFTs 제작에는 여러 조건을 생각할 수 있다. 높은 ON 전류에 대한 저항을 줄이기 위해 낮은 결함 밀도와 높은 결정 분율의 채널층을 가지는 top gate TFTs 구조가 선호된다. Top gate 구조는 반도체층이 외부로 노출되어 외부 환경에 영향을 받아 보호막이 필요하고 상대적으로 전자이동도가 느린 bottom gate 구조와 다르게 게이트 절연막이 반도체층을 보호하여 보호막 없이 외부 환경에 대해 안정성이 높고 전자이동도가 높은 장점을 가진다. 캐리어 산란의 최소화를 위해 채널층과 게이트 절연막의 우수한 계면과 낮은 결함 밀도(10^{17} $cm^{-3}\cdot eV^{-1}$)를 위한 좋은 성능의 게이트 절연막 사용이 필요하다. 소스 및 드레인 전극에서 우수한 ohmic contact을 형성하기 위해 높은 전도성(~10^6 S/cm)의 접촉층의 사용도 고려된다 [16,17].

그림 4는 top gate 구조와 bottom gate 구조의 nc-Si:H TFTs transfer characteristics에 관한 내용이다. TFTs의 전기적 특성은 transfer curve를 통해 알 수 있다. Threshold voltage, subthreshold slope, on/off ratio 값은 top gate 구조에서 각각 2 V, 0.25 V/dec, 10^6의 수치를 가지고 bottom gate 구조에서 3 V, 0.5 V/dec, 10^8의 수치를 가진다. a-Si:H TFTs의 전기적 특성과 비교하였을 때 더 높은 신뢰성을 가지고 top gate 구조보다 bottom gate 구조의 nc-Si:H TFTs가 좋은 특성을 가진다. 역방향의 게이트 전압에서 top gate 구조는 누설 전류가 발생하는 문제가 있다. 게이트 절연막의 charge trapping 효과와 플라즈마 손상에 의해 누설 전류가 발생한다 [16,18,19].

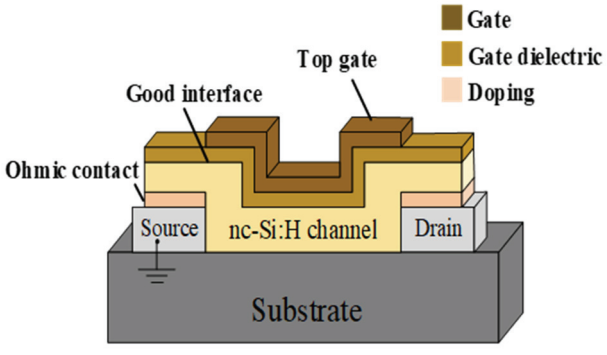

Fig. 3. TFTs structure using nc-Si:H thin film as a channel layer and mobility improvement components.

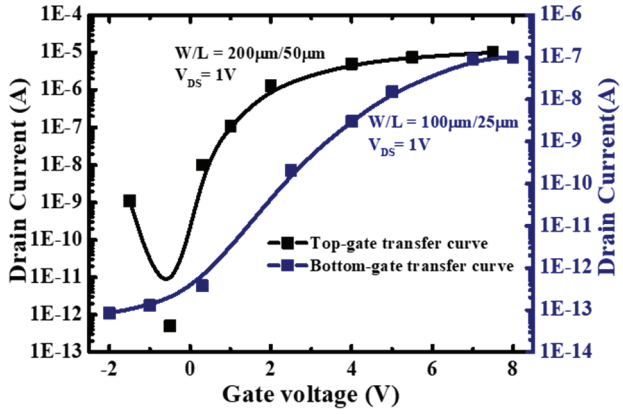

Fig. 4. Comparison and analysis of transfer characteristics of top gate and bottom gate nc-Si:H TFTs.

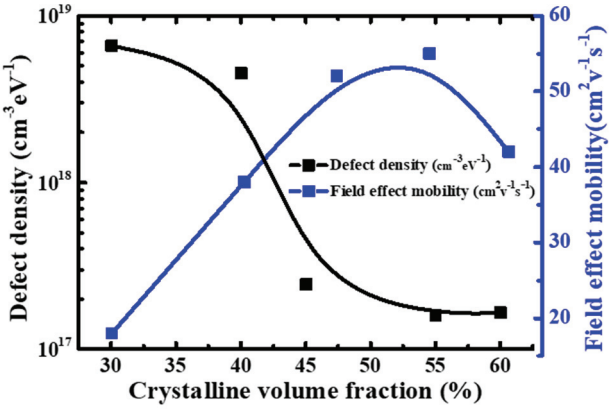

Fig. 5. Relationship between defect density and field effect mobility at different crystalline volume fraction.

그림 5는 결정 부피 분율 변화에 따른 전계 효과 이동도와 결함 밀도의 관계를 보여준다. nc-Si:H 박막은 비정질 상, 결정 상, 공극의 혼합으로 이루어져 있기 때문에 결정 부피 분율이 낮은 상태에서는 비정질 상의 분율이 높아 비정질 TFTs에 가까운 낮은 전계 효과 이동도를 가진다. 전계 효과 이동도는 전달 특성의 선형 영역에서 계산되었다.

$$I_D = \mu C_G \frac{W}{L}((V_G - V_{TH})V_D - \frac{V_D^2}{2}) \quad (3)$$

L은 채널 길이, W는 채널 너비, C_G는 게이트의 단위 면적당 캐패시턴스, μ는 이동도, V_{TH}는 문턱전압, V_D는 드레인 전압, V_G는 게이트 전압, I_D는 드레인 전류이다 [20]. 결정 부피 분율이 증가하여 55%이고 결함 밀도가 감소하여 $10^{17}\,cm^{-3}\cdot eV^{-1}$일 때 가장 높은 전계 효과 이동도(55

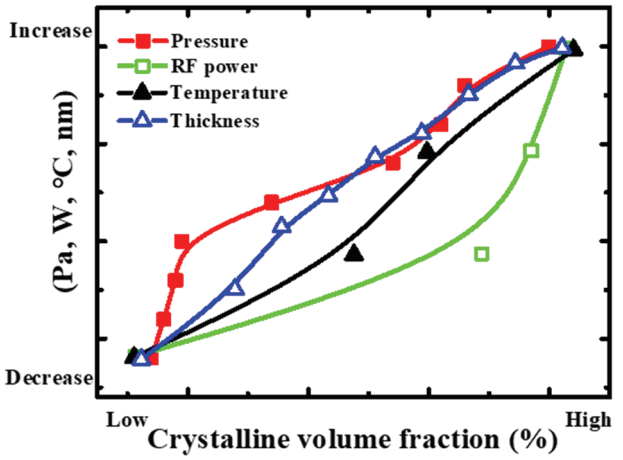

Fig. 6. The trend of parameters to be considered for changes in crystalline volume fraction.

$cm^2/V\cdot s$)를 보인다. 결정 부피 분율은 결함 밀도와 밀접한 관련이 있고 결정 부피 분율이 높고 결함 밀도가 낮을 때 이동도가 높다. 결정 부피 분율이 55% 이상으로 증가할 때 이동도가 감소하는 부분도 존재한다. 공극 분율의 증가가 이동도 감소의 주된 원인이라 예상한다. 공극 분율의 증가는 결함 밀도의 증가로 이어지고 결정 부피 분율이 감소하여 이동도가 감소된다. 공극이 이동도에 끼치는 정확한 연구가 필요하다 [4,21].

Top gate 구조의 nc-Si:H TFTs는 소스 및 드레인 전극과 게이트 전극 사이의 겹침을 줄일 수 있어 기생 정전용량(parasitic capacitance) 문제 해결이 가능하고 채널층이 외부로 노출되지 않아 외부 환경으로부터 안전하다. 높은 이동도 특성의 장점이 있지만 누설 전류를 줄이고 낮은 defect density ($10^{12}\,cm^{-3}\cdot eV^{-1}$)를 갖는 전기적 특성 향상을 위해 우수한 게이트 절연막 사용 또는 공정 최적화가 필요하다.

그림 6에 결정 부피 분율과 파라미터의 변화를 나타내었다. 수소 희석비를 포함한 박막 증착에 있어서 영향을 끼치는 파라미터는 rf power, 두께, 온도, 압력이 있다 [5,22-24]. 파라미터들의 경향을 고려하여 최적화된 지점을 찾아 결정 부피 분율을 증가시키는 것이 중요하다. 전기적 특성이 우수한 박막을 증착하고 TFTs 채널층으로 사용한다면 고이동도의 동작에 매우 유용할 것이다.

4. 결 론

현재 디스플레이 산업에서 사용되고 있는 TFTs를 대체

할 가능성이 있는 nc-Si:H TFTs와 채널층으로 사용될 nc-Si:H 박막에 수소가 미치는 영향에 대해 정리해 보았다. 수소는 비정질 상태의 실리콘에서 결장을 성장시키는 중요한 역할과 결정 표면의 dangling bond와 결합하여 표면을 안정화시킨다. 수소의 유량을 증가시킬수록 증착 속도가 느려지고 결정 분율과 결정 크기가 증가하였다. 결정이 성장되어 결정립계, 공극과 같은 결함 밀도(10^{17} $cm^{-3}\cdot eV^{-1}$)의 감소와 55%의 결정 부피 분율을 가지는 박막을 TFTs의 채널층으로 이용하였을 때 55 $cm^2/V\cdot s$의 전계 효과 이동도를 보인다. 수소 희석비를 포함한 파라미터들을 이용하여 더 높은 수준의 낮은 결함 밀도와 높은 결정 분율을 갖는 박막을 증착하여 채널층으로 사용한다면 고이동도를 가진 TFTs의 구현과 디스플레이 산업에 큰 영향을 끼칠 것으로 예상한다.

ORCID

Junsin Yi https://orcid.org/0000-0002-6196-0035

감사의 글

이 논문은 산업통상자원부 '산업혁신인재성장지원사업'의 재원으로 한국산업기술진흥원(KIAT)의 지원을 받아 수행된 연구임(2021년 차세대 디스플레이 디스플레이 공정·장비·소재 전문인력 양성사업, 과제번호: P0012453).

REFERENCES

[1] M. Hara, *Thin Solid Films*, **519**, 3922 (2011). [DOI: https://doi.org/10.1016/j.tsf.2011.01.283]

[2] K. Y. Chan, A. Gordijn, H. Stiebig, and D. Knipp, *Phys. Status Solidi C*, **7**, 1144 (2010). [DOI: https://doi.org/10.1002/pssc.200982816]

[3] M. H. Juang, Y. S. Peng, and B. J. Liu, *Thin Solid Films*, **519**, 3902 (2011). [DOI: https://doi.org/10.1016/j.tsf.2011.01.265]

[4] K. Y. Chan, D. Knipp, A. Gordijn, and H. Stiebig, *J. Non-Cryst. Solids*, **354**, 2505 (2008). [DOI: https://doi.org/10.1016/j.jnoncrysol.2007.09.035]

[5] Y. Wang, H. Liu, and W. Shen, *Nanoscale Res. Lett.*, **13**, 234 (2018). [DOI: https://doi.org/10.1186/s11671-018-2641-z]

[6] C. H. Lee, A. Sazonov, and A. Nathan, *J. Non-Cryst. Solids*, **352**, 1732 (2006). [DOI: https://doi.org/10.1016/j.jnoncrysol.2005.11.149]

[7] G. Dushaq, A. Nayfeh, and M. Rasras, *Superlattices Microstruct.*, **107**, 172 (2017). [DOI: https://doi.org/10.1016/j.spmi.2017.03.052]

[8] V. Kanneboina, R. MadaKa, and P. Agarwal, *Mater. Today Commun.*, **15**, 18 (2018). [DOI: https://doi.org/10.1016/j.mtcomm.2018.02.023]

[9] N. K. Maaloul, M. Kraini, K. Khirouni, and H. Khemakhem, *J. Electron. Mater.*, **48**, 3881 (2019). [DOI: https://doi.org/10.1007/s11664-019-07143-4]

[10] S. B. Amor, H. Meddeb, R. Daik, A. B. Othman, S. B. Slama, W. Dimassi, and H. Ezzaouia, *Appl. Surf. Sci.*, **360**, 572 (2016). [DOI: https://doi.org/10.1016/j.apsusc.2015.10.207]

[11] Y. L. Hsieh, L. H. Kau, H. J. Huang, C. C. Lee, Y. K. Fuh, and T. T. Li, *Coatings*, **8**, 238 (2018). [DOI: https://doi.org/10.3390/coatings8070238]

[12] A. Jadhavar, A. Pawbake, R. Waykar, V. Jadkar, R. Kulkarni, A. Bhorde, S. Rondiya, A. Funde, D. Patil, A. Date, H. Pathan, and S. Jadkar, *Energy Procedia*, **110**, 45 (2017). [DOI: https://doi.org/10.1016/j.egypro.2017.03.104]

[13] A. M. Ali and H. Kobayashi, *J. Non-Cryst. Solids*, **385**, 17 (2014). [DOI: https://doi.org/10.1016/j.jnoncrysol.2013.10.019]

[14] S. B. Amor, R. Bousbih, R. Ouertani, W. Dimassi, and H. Ezzaouia, *Sol. Energy*, **103**, 12 (2014). [DOI: https://doi.org/10.1016/j.solener.2014.02.004]

[15] J. H. Shim, J. H. Kim, and N. H. Cho, *Trans. Electr. Electron. Mater.*, **20**, 85 (2019). [DOI: https://doi.org/10.1007/s42341-019-00104-y]

[16] C. H. Lee, A. Sazonov, and A. Nathan, *Appl. Phys. Lett.*, **86**, 222106 (2005). [DOI: https://doi.org/10.1063/1.1942641]

[17] A. Risteska, K. Y. Chan, A. Gordijn, H. Stiebig, and D. Knipp, *J. Disp. Technol.*, **8**, 27 (2012). [DOI: https://doi.org/10.1109/JDT.2011.2166055]

[18] M. R. Esmaeili-Rad, F. Li, A. Sazonov, and A. Nathan, *J. Appl. Phys.*, **102**, 064512 (2007). [DOI: https://doi.org/10.1063/1.2784008]

[19] C. H. Lee, D. Striakhilev, and A. Nathan, *IEEE Trans. Electron Devices*, **54**, 45 (2007). [DOI: https://doi.org/10.1109/TED.2006.887220]

[20] K. Y. Chan, D. Knipp, A. Gordijn, and H. Stiebig, *J. Appl. Phys.*, **104**, 054506 (2008). [DOI: https://doi.org/10.1063/1.2973465]

[21] H. K. Malik, S. Juneja, and S. Kumar, *J. Theor. Appl. Phys.*, **13**, 107 (2019). [DOI: https://doi.org/10.1007/s40094-019-0325-4]

[22] C. H. Lee, W. S. Wong, A. Sazonov, and A. Nathan, *Thin Solid Films*, **597**, 151 (2015). [DOI: https://doi.org/10.1016/j.tsf.2015.11.055]

[23] J. I. Son, H. J. Nam, and N. H. Cho, *Int. J. Photoenergy*, **2012**, 1 (2012). [DOI: https://doi.org/10.1155/2012/643895]

[24] Y. Huang, J. Liu, J. Wang, D. Bao, and S. Huang, *Surf. Eng. Appl. Electrochem.*, **55**, 259 (2019). [DOI: https://doi.org/10.3103/S1068375519030098]