

GaN FET 적용 기반 고효율/고밀도 LDC 설계

Silicon(Si) 기반의 FET(Field-Effect-Transistor)와 IGBT 전력 반도체 소자는 오랫동안 가전 및 산업용 기기들에 적용되어 왔지만, 최근 작은 $R_{ds(on)}$ 과 작은 스위칭 손실을 갖는 SiC(Silicon Carbide) FET 및 GaN(Gallium Nitride) FET와 같은 Wide-Band-Gap(WBG) 반도체 소자가 빠르게 발전하고 있다.

WBG 반도체 소자 중 SiC FET는 대량 생산 및 안정화 단계에 접어들어, 모듈 및 병렬 구동을 통해 대용량 및 고전압 분야에 널리 적용되고 있다. 또한 GaN FET은 양산화 검증 단계를 위해 시장에서의 검증이 더욱 필요하지만, 650V 이하의 낮은 전압 스트레스를 갖는 DC-DC 컨버터 사양에서 위상 전이 폴-브리지 컨버터 및 LLC 공진형 컨버터 등이 적용 검토 중이다. 고밀도 달성을 위한 고주파 구동에도 작은 스위칭 손실을 통해 높은 효율을 달성하기 위해서는 SiC FET 및 GaN FET의 적용이 필수적이다.

1. 반도체 소자의 특성 비교

표 1과 같이 Si, SiC, GaN 반도체를 전기 물성적으로 비교할 경우, WBG 반도체인 SiC와 GaN 반도체는 Si 반도체에 비하여 10배가량 월등히 높은 절연 파괴 전계(E_c)를 갖는다. 이는 소자의 드리프트 층의 두께(W_d)를 극히 얇게 해도 높은 전압을 버틸 수 있어서, 작은 Drain-Source Resistance, $R_{ds(on)}$ 을 갖는다. 또한 소자의 드리프트 층의 두께 저감으로 인해, 접합 면적이 감소하여 작은 기생 커패시턴스(C_{iss} , C_{oss} , C_{rss})를 갖는다.

반면 그림 1은 WBG 반도체인 SiC FET와 GaN FET의 구조를 나타낸다. 그림 1(a)는 SiC FET의 구조를 나타내며, Drain(D)과 Source(S)가 수직적 구조를 갖는다. 높은 절연 파괴 특성으로 인해 얇은 드리프트 층에도 불구하고, 높은 전압을 버틸 수 있어 900V 이상 높은 내압의 소자에 적합하다.

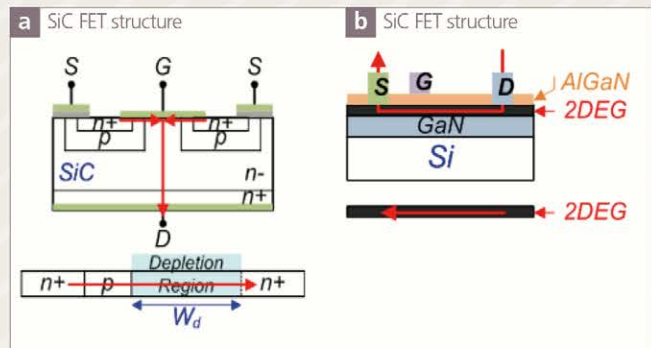


그림 1 SiC, GaN FET의 구조

그림 1(b)는 GaN FET의 구조를 나타내며, Drain과 Source가 수평적 구조를 갖는다. 수평적 구조 상 높은 전압을 버틸 수 없어서 650V 이하 낮은 내압의 소자에 적합하다.

표 1 Si, SiC, GaN 반도체의 전기 물성적 특성

Contents	Si	SiC	GaN
Band Gap[eV]	1.1	3.3	3.4
Breakdown Electric Field Strength, E_c [MV/cm]	0.3	3.0	3.3
Thermal Conductivity[W/cmK]	1.5	4.9	2.1

2. 기생 커패시턴스와 스위칭 손실 관계

WBG 반도체인 SiC FET와 GaN FET은 작은 접합 면적으로 인해 작은 기생 커패시턴스(C_{iss} , C_{oss} , C_{rss})를 갖는다. 일반

적으로 전력변환장치의 고밀도 달성을 위한 고주파 구동에도 작은 스위칭 손실을 갖기 위해 Zero-Voltage-Switching(ZVS) Topology가 적용되므로, 기생 커패시턴스와 스위칭 턴-오프 손실과의 관계를 살펴본다.

그림 2는 스위칭 턴-오프 시 발생하는 스위칭 턴-오프 손실의 주요 파형을 나타낸다.

Mode 1(M1): 전력반도체 소자에 인가되는 게이트 구동 전압(V_{drive})이 0V가 되면, V_{drive} 와 게이트-소스 전압(V_{GS})의 차이가 게이트 직렬 저항(R_{drive})과 게이트-소스 기생 커패시턴스(C_{iss})의 시정수($\tau=R_{drive} \times C_{iss}$)에 의해 V_{GS} 는 그림 2와 같이 감소한다.

Mode 2(M2): 전력반도체 소자에 인가되는 게이트-소스 전압(V_{GS})이 감소하여, $V_{GS} \times g$ (Transconductance)가 도통전류($i_{p,p}$)에 도달하면, 'Plateau 현상'에 의해 게이트-소스 전압(V_{GS})이 유지된다. 게이트-소스 전압(V_{GS})이 유지되는 동안 V_{GS} 가 게이트 구동전압(V_{drive} , 0V)보다 높으므로, $(V_{GS}-V_{drive})/R_{drive}$ 의 전류가 그림 3과 같이 게이트-드레인 기생 커패시턴스(C_{rss})를 충전하는 방향으로 흐른다. 따라서 Plateau 구간 동안

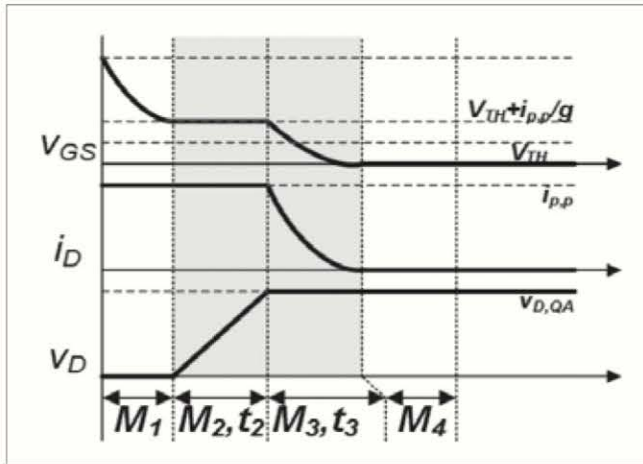


그림 2 스위칭 턴-오프 손실의 주요 파형

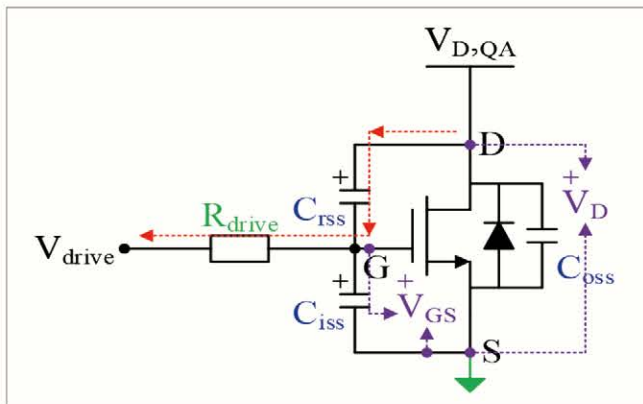


그림 3 'Plateau 현상'을 갖는 Mode 2의 동작

표 2 Si/GaN 기반 FET의 소자 특성

Contents	Si-FET	GaN-FET
$R_{ds(on)}$	110m Ω	50m Ω
C_{iss}	2,127pF	260pF
C_{rss}	20pF	2pF

안에 전력반도체 소자의 드레인-소스 전압(V_D)는 증가한다. Plateau 구간 동안에 게이트-소스 전압(V_{GS})가 유지되므로, Transconductance(g)를 곱한 도통전류(i_D)는 유지된다. Plateau 구간 동안 $V_D \times i_D$ 의 스위칭 턴-오프 손실이 발생한다. 여기서 게이트-드레인 기생 커패시턴스(C_{rss})가 작을수록 $(V_{GS}-V_{drive})/R_{drive}$ 의 전류가 C_{rss} 를 충전하는 시간(t_2)이 감소되므로, 스위칭 턴-오프 손실이 감소된다.

Mode 3(M3): 드레인-소스 전압(V_D)이 증가할 수 있는 최대 전압($V_{D,QA}$)에 도달하면, V_D 는 더 이상 증가하지 못하고 $V_{D,QA}$ 로 제한된다. 이 순간 Plateau 구간은 종료되며, V_{drive} 와 게이트-소스 전압(V_{GS})의 차이가 게이트 직렬 저항(R_{drive})과 게이트-소스 기생 커패시턴스(C_{iss})의 시정수($\tau=R_{drive} \times C_{iss}$)에 의해 그림 2와 같이 감소한다. 게이트-소스 전압이 감소하므로, 도통전류(i_D) 역시 Transconductance(g)에 비례하여 감소한다. $i_D = V_{GS} \times g$, Mode 3(M3) 구간 동안 $V_D \times i_D$ 의 스위칭 턴-오프 손실이 발생한다. 여기서 게이트-소스 기생 커패시턴스(C_{iss})가 작을수록 시정수(τ)가 감소하여 도통전류(i_D)는 빠르게 감소된다. 따라서 t_3 가 감소되므로, 스위칭 턴-오프 손실이 감소된다. 결론적으로 Mode 2에서 게이트-드레인 기생 커패시턴스(C_{rss})가 작을수록, Mode 3에서 게이트-소스 기생 커패시턴스(C_{iss})가 작을수록 스위칭 턴-오프 손실은 감소된다. 이는 기생 커패시턴스가 작은 SiC FET와 GaN FET가 작은 스위칭 손실을 갖는 이유다. 표 2는 650V/30A급의 Si 기반 FET(IPP60R125C6, Infineon)와 GaN 기반 FET(GS66508P, GaN Systems)의 $R_{ds(on)}$, C_{iss} , C_{rss} 를 나타낸다. 표 2에서 살펴볼 수 있듯이, 높은 절연 파괴 전계에 의한 작은 접합 면적에 의해 GaN 기반 FET가 Si 기반 FET에 비해 $R_{ds(on)}$, C_{iss} , C_{rss} 가 월등히 작은 것을 살펴볼 수 있다.

3. WBG 반도체의 구동 드라이버 고려사항

그림 5는 ZVS Topology의 1개의 Leg에서, FET의 ZVS 파형을 나타낸다. t_1 시점에서 상단 부 FET(Q_1)가 턴-온에서 턴-오프

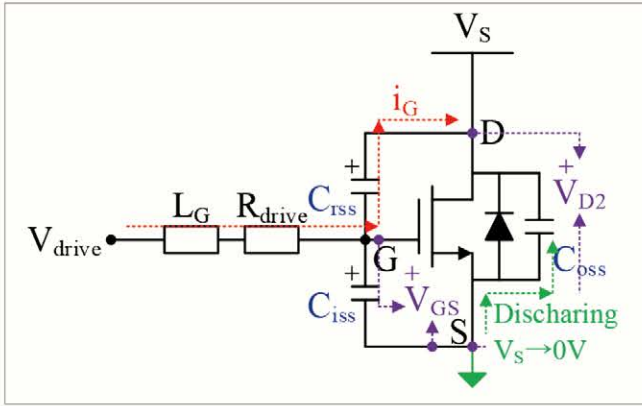


그림 4 FET(Q₂)의 ZVS 동작 회로

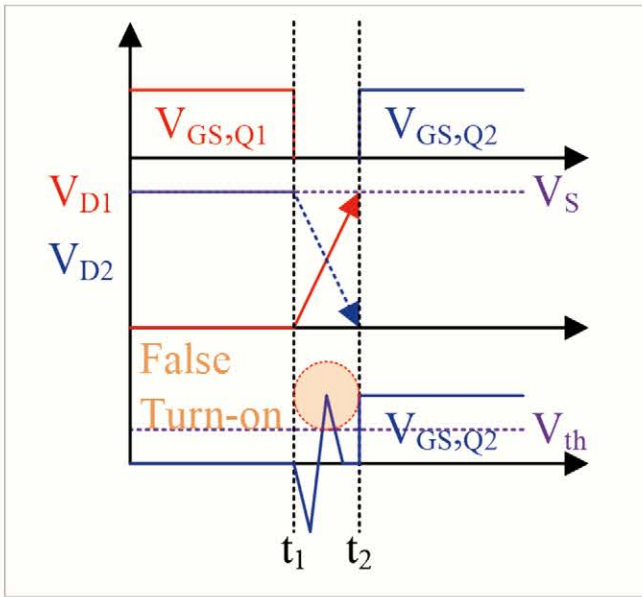


그림 5 FET(Q₂)의 ZVS, False Turn-On 파형

프되면, 하단 부 FET(Q₂)의 C_{oss}는 방전되어 드레인-소스 전압(V_{D2})은 0V까지 감소(Q₂의 ZVS)한다. 그림 5와 같이 하단 부 FET(Q₂)의 드레인-소스 전압(V_{D2})에서, WBG 소자의 작은 C_{oss}에 의한 V_S에서 0V까지 높은 dv/dt의 급격한 전압 감소는 게이트 전류(i_G)에 의한 드레인-게이트 전압(V_{DG}), C_{rss}의 급격한 방전을 초래한다. 게이트 전류(i_G)에 의한 방전 상황에서 게이트 Pattern에 기생 Pattern 인덕턴스(L_G)가 있으면, 드레인-소스 전압(V_{D2})이 감소하는 ZVS 상황에서 L_G와 C_{rss}와의 공진에 의해 게이트-소스 전압(V_{GS})이 공진한다. 이는 FET(Q₂)의 턴-온 시점(t₂)이 아닌 시점에서 잘못된 턴-온 동작을 유발한다. 따라서 기생 Pattern 인덕턴스(L_G)를 최소화하여 구동 드라이버 설계하든지, 턴-오프 시 게이트-소스 전압(V_{GS})에 음전압을 인가하여 드레인-소스 전압(V_{D2})이 급격하게 감소하는 동안에 잘못된 턴-온 동작을 방지하여야 한다.

4. Low Voltage DC(LDC)에 적합한 Topology

Low Voltage DC를 위해, 전기자동차(Electric Vehicle, EV)에 적용되는 DC-DC 컨버터는 배터리 기반의 입력 전압으로 인해, 높은 입력 전압과 넓은 입력 전압 범위를 갖는다. 이로 인해 그림 6과 같이 변압기와 출력 인덕터(L_o)를 갖는 위상천이 폴-브리지 컨버터가 적합할 수 있으며, 낮은 출력 전압으로 인해 Center-Tap 정류 단과 높은 출력 전류에 의한 도통 손실 저감을 위해 Synchronous Rectifier(SR, Q_{SR1}/Q_{SR2})의 적용이 필요하다. 하지만 위상천이 폴-브리지 컨버터의 경우, 다른 위치에 존재하는 2개의 자성체(변압기, 출력 인덕터)는 높은 전력 밀도를 요구하는 전기자동차용 LDC Topology로써 한계를 갖는다.

이러한 위상천이 폴-브리지 컨버터의 한계를 극복하기 위해 같은 위치에 변압기와 출력 인덕터의 역할을 수행하는 그림 7과 같은 '통합 자성체 구조의 Two Transformer(2-T) 위상천이 폴-브리지 컨버터'가 연구되고 있다.

그림 8은 Two Transformer(2-T) 기반의 통합 자성체의 동작 원리를 나타낸다. 1개의 EI Core를 2개의 UI Core로 분할하여, 1개의 변압기와 유사한 부피를 가질 수 있다. 그림 8과 같이 2개 UI Core의 창면적을 공유하도록 1차 측 권선을 구성하면, 통합 자성체는 2차 측 SR 도통 Path에 의해 쇠퇴되는 자성체(변압기)와 쇠퇴되지 않는 자성체(출력 인덕터)로 동작한다.

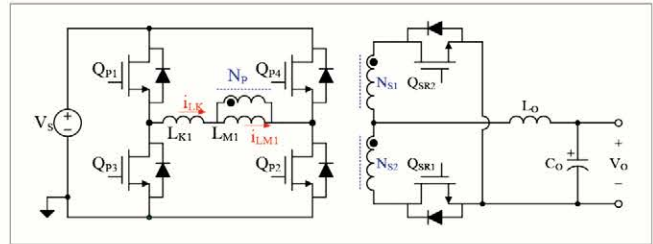


그림 6 Center-Tap 및 SR 구조의 위상천이 컨버터

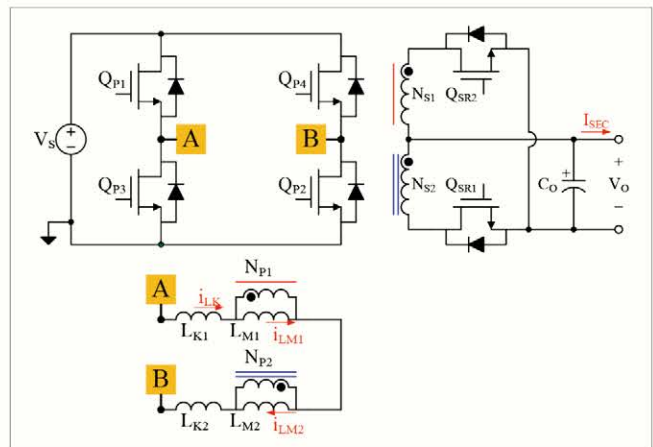


그림 7 Center-Tap 및 SR 구조의 2-T 위상천이 컨버터

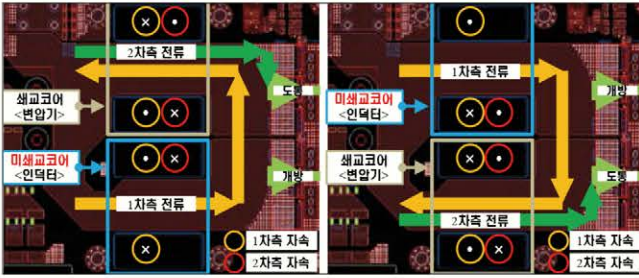


그림 8 2-T 구조의 통합 자성체 동작 원리

따라서 기존 위상천이 풀-브리지 컨버터에 비해 작은 자성체 부피 및 2차 측 결선에 유리하며, 높은 전력 밀도에 유리하다.

5. 작은 변압기의 누설 인덕턴스 (L_K)

Low Voltage DC를 위해 전기자동차(Electric Vehicle, EV)에 적용되는 위상천이 풀-브리지 컨버터(그림 6)와 2-T 위상천이 풀-브리지 컨버터(그림 7)는, 자성체의 구조만 상이할 뿐 동일한 동작을 갖는다. 이러한 위상천이 풀-브리지 컨버터들은 GaN FET 적용을 통한 작은 턴-오프 스위칭 손실로 인해 매우 높은 주파수로 구동이 가능하다. 그림 9는 그림 7과 그림 8에서 1차 측 스위치 Q_{P3} 와 Q_{P4} 가 턴-온된, 위상천이 풀-브리지 컨버터의 Commutation 동작을 나타낸다. Commutation 구간 동안 2개 SR(Q_{SR1} , Q_{SR2})의 Body-diode가 도통되어 변압기의 자화 인덕터(LM)에 0V, 누설 인덕터(L_K)에 $-V_s$ 가 인가되어 변압기의 1차 측 전류(i_{LK})는 그림 9와 같이 t_1 - t_2 동안 급격하게 감소한다. i_{LK} 가 급격하게 감소되는 시간(t_2-t_1)은 스위칭 주파수와 관련이 없으므로, 스위칭 주파수가 증가하면 Commutation 구간의 비율은 증가한다. Commutation 구간에는 2차 측으로 전달되는 전압이 0V이므로, 스위칭 주파수가 증가할 수록 Duty Loss가 증가하여 변압기의 턴 수비($n = N_p/N_s$)가 감소된다. 이는 위상천이 풀-브리지 컨버터의 1차 측 투영 전류(I_o/n)를 증가시켜서 효율 저감을 초래한다. 결론적

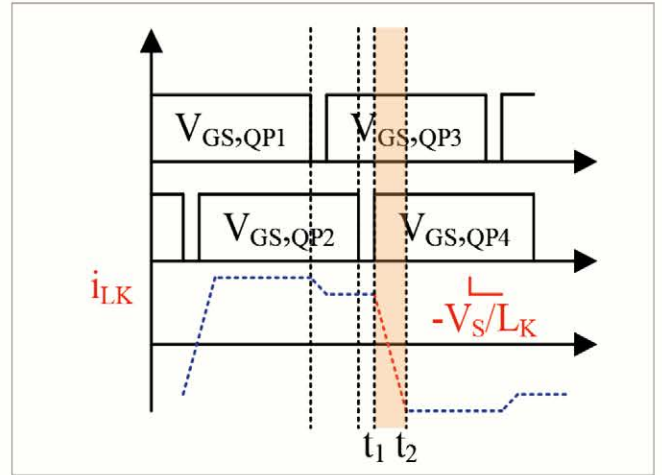


그림 9 위상천이 풀-브리지 컨버터 Commutation 동작

으로, 높은 전력 밀도를 위해 GaN FET를 적용하여 높은 스위칭 주파수로 구동 시, Commutation 구간을 감소시키기 위해 변압기의 누설 인덕턴스(L_K) 저감이 필요하다. 이를 위해 권선의 층 간 거리를 줄여서 자성체의 작은 누설인덕턴스를 갖게 하는 PCB 기반 평면 변압기의 적용이 필요하다.

6. 결론

GaN FET의 개발 및 상용화와 함께, 비교적 낮은 내압(650V 급)의 GaN FET이 적용된 고속 스위칭 기반 Low Voltage DC-DC 컨버터에 대한 기대감도 커지고 있다. 하지만 GaN FET의 빠른 스위칭 속도에 의해 발생하는 구동 드라이버, Commutation 구간 동작의 특징은 GaN FET 적용 시 회로 설계에 반드시 고려되어야 할 사항이다. 또한 더 높은 전력 밀도를 달성하기 위해 2차 측 정류 부의 구조가 간결한 통합 자성체 기반의 LDC Topology 연구도 반드시 필요하다. ㉠

이재범 한국교통대 철도전기전자전공 조교수

1983년 9월 29일생. 2010년 고려대 전기전자전파공학부 졸업. 2016년 한국과학기술원 전기 및 전자공학부 졸업(공학박). 2016년~2019년 한국철도기술연구원 추진시스템연구팀/전철전력연구팀 선임연구원. 2019년~현재 한국교통대 철도전기전자전공 조교수. 당 학회 편집위원.

