

플라나변압기와 SiC 기반의 전기자동차용 3kW 고전력밀도 DC-DC 컨버터 개발

김상진¹, 석채영¹, 라마단¹, 최세완[†], 유병우², 박상훈²

Development of Planar Transformer and SiC Based 3 kW High Power Density DC-DC Converter for Electric Vehicles

Sangjin Kim¹, Chaeyoung Suk¹, Ramadhan Muhammad Hakim¹, Sewan Choi[†],
Byoungwoo Ryu², and Sanghun Park²

Abstract

This study proposes a design method of high-power-density and high-efficiency low-voltage DC-DC converters using SiC MOSFET and the optimized planar transformer design procedure based on the figure-of-merit. The secondary rectifying circuit of the phase-shifted full-bridge converter is compared to achieve high power density and high efficiency, and the phase-shifted full bridge converter with a current-doubler rectifier is selected. The planar transformer is designed by the proposed optimized design procedure and verified by FEA simulation. To validate the proposed design method, experimental results from a 3 kW prototype are provided. The prototype achieved 95.28% maximum efficiency and a power density of 2.98 kW/L.

Key words: LDC (Low Voltage DC-DC Converter), APM (Auxiliary Power Module), High power density, High switching frequency, Planar transformer

1. 서 론

온실가스로 인한 지구온난화로 인해 세계 각국은 온실가스를 감축하기 위해 노력을 기울이고 있다. 2015년 파리 기후협약에서는 195개국에 온실가스 감축 의무에 합의했으며, 독일의 폭스바겐은 2030년까지 생산 중인 모든 차종을 친환경 차로 생산하기로 했다^[1]. 친환경 자동차 중 하나인 전기자동차는 온실가스 감축을 위한 방안 중 하나로 주목받고 있지만 내연기관 자동차와 비교하여 주행거리가 짧고, 충전시간이 길어 많은 자동차 회사에서 이에 대한 연구를 활발히 진행 중이다. 또한, 차량

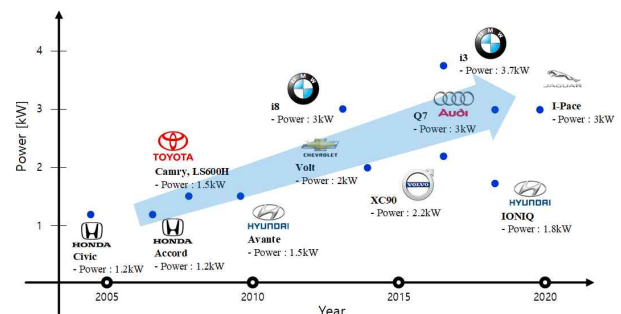


Fig. 1. Trend of low voltage DC-DC converter^[2].

내 전자기기(자율주행, 전자식 계기판 등) 사용이 증가함에 따라 저전압 배터리의 사용량이 늘어나 기존보다 높은 용량의 저전압 배터리 충전기(Low Voltage DC-DC Converter, LDC)가 요구되고 있다^{[3]-[5]}. 그림 1과 같이 2010년도 이전에는 1-2kW 용량의 LDC가 개발되었지만 최근에는 3kW 이상의 용량을 갖는 LDC도 개발되고 있으며, 향후 더 늘어날 전망이다. 따라서 제한된 공간에 더 큰 용량의 LDC를 구성하기 위해 높은 전력밀도를 갖는 LDC 개발이 필요하다.

높은 전력밀도를 갖는 LDC의 개발을 위해서는 높은 스위칭 주파수를 적용을 통해 전력변환기 내에서 큰 부

Paper number: TKPE-2021-26-2-6

Print ISSN: 1229-2214 Online ISSN: 2288-6281

[†] Corresponding author: schoi@seoultech.ac.kr, Dept. of Electrical & Information Eng., Seoul National University of Science and Technology, Korea

Tel: +82-2-970-6542 Fax: +82-2-972-2866

¹ Dept. of Electrical & Information Eng., Seoul National University of Science and Technology, Korea

² VS PE Development Division, LG Electronics Co., Ltd., Korea Manuscript received Nov. 24, 2020; revised Jan. 5, 2021; accepted Jan. 7, 2021

— 본 논문은 2020년 전력전자학술대회 우수추천논문임

— 본 논문은 2020년 전력전자학술대회 우수논문상 수상논문임

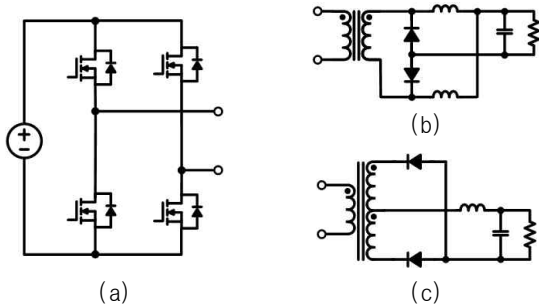


Fig. 2. Circuit diagram. (a) Primary full-bridge, (b) Current doubler rectifier, (c) Center-tap rectifier.

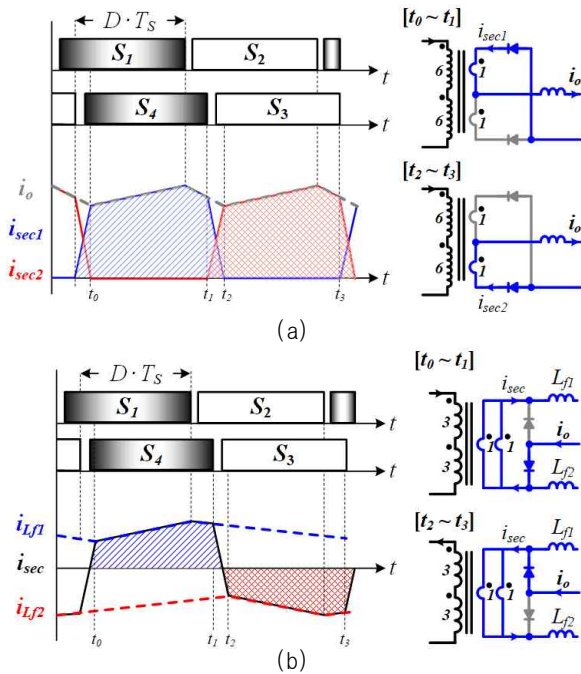


Fig. 3. Operating waveform and circuit diagram. (a) Center-tap rectifier, (b) Current doubler rectifier.

피를 차지하는 자성체 부피의 최소화가 필요하다. 고속 스위칭 주파수 적용을 통한 고전력밀도 달성을 위해 실리콘 카바이드(SiC) 소자나, 갈륨 나이트라이드(GaN) 소자와 같은 Wide Band-Gap(WBG)소자의 적용이 검토될 수 있으며, 시스템 전체 높이를 줄여 전력밀도를 향상시키기 위해 플라나 변압기를 적용할 수 있다. 본 논문에서는 SiC MOSFET과 플라나 자성체를 적용한 3kW 급 LDC의 토폴로지 선정 및 자성체 최적 설계방법에 대해 논의한다.

LDC는 고전압 배터리를 입력으로 받아 12V 배터리를 충전하기 위해 높은 강압비가 요구되며, 전기적 절연이 필요하고, 갑작스러운 부하 변동에도 안정적인 동작이 가능해야 한다. LLC 컨버터는 모든 전압 및 부하범위에서 Zero Voltage Switching(ZVS) 턴온 동작이 가능하지만, 턴비가 높아 플라나 변압기의 단면적이 증가하고 높은 턴비를 가짐에도 매우 작은 자화인덕턴스가 요구되어 변압기의 설계가 어렵다. 또한 부하 변동에 따른 전압

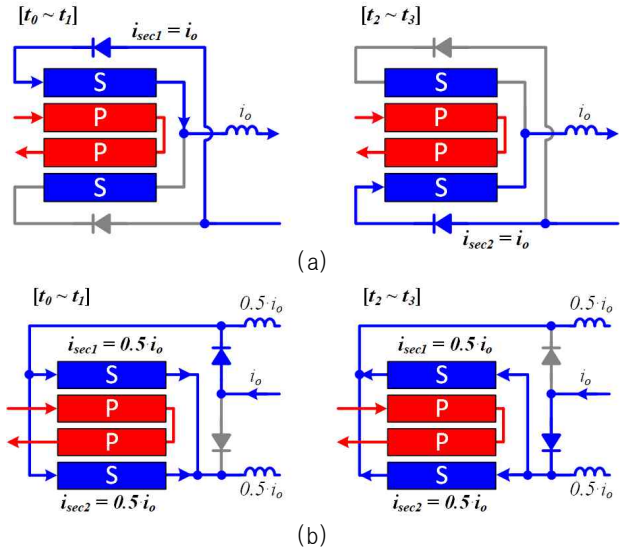


Fig. 4. PCB winding arrangement. (a) Center-tap, (b) Current doubler.

게인의 변동이 커 제어가 어렵다는 단점을 갖는다. 출력 전압 및 전류 제어를 수행하는 벡 컨버터와 고정 주파수로 동작하는 공진형 컨버터로 구성되는 2단 방식 컨버터의 경우 벡 컨버터가 제어를 담당하기 때문에 제어 구조는 간단하지만 하드스위칭을 하는 벡 컨버터로 인해 스위칭 주파수가 제한되어 필터의 크기가 증가될 수 있다. [6]에서는 2단 방식의 컨버터에 1MHz의 스위칭 주파수를 적용하여 높은 효율을 달성하였지만, 2단 구조로 인한 스위치 개수의 증가, 큰 부피를 차지하는 벡 컨버터의 필터 인덕터로 인해 높은 스위칭 주파수를 적용하였음에도 1.9kW/L의 전력밀도를 얻었다. 반면, [7], [8]에서는 위상천이 폴브릿지 컨버터에 고속 스위칭을 적용하여 높은 전력밀도를 달성하였다. 따라서 본 논문에서는 추가회로 없이 ZVS 턴온 성취가 가능하며 LLC 컨버터에 비해 턴비가 작아 플라나 변압기의 부피가 작고 간단한 제어구조를 갖는 위상천이 폴브릿지 컨버터로 토폴로지를 선정하였다. 본 논문에서는 위상천이 폴브릿지 컨버터의 2차측 정류기의 비교를 통해 고효율, 고전력밀도 달성에 유리한 정류기를 선정하였고, 고주파 플라나 변압기의 최적 설계 방법을 제안하였다.

2. 고전력밀도 달성을 위한 위상천이 폴브릿지 컨버터 설계

2.1. 2차측 정류기 비교

그림 2는 위상천이 폴브릿지 컨버터의 2가지 정류구조를 나타내며, 그림 2(a)는 1차측 폴브릿지 회로, 그림 2(b)는 전류 더블러 정류기, 그림 2(c)는 센터탭 정류기를 나타낸다. 본 논문의 응용은 저전압·대전류 응용이므로, 소자수가 많고 큰 도통손실을 갖는 폴브릿지 정류기는 제외하였다. 또한, low profile 특성으로 높은 전력밀

TABLE I
COMPARISON OF PSFB-CD AND PSFB-CT

	PSFB-CD	PSFB-CT
Turn Ratio	6 : 1	12 : 1 : 1
Switching Frequency	250 kHz	
Current Density	30 A/mm ²	
Transformer Bmax	80 mT	
Inductor Bmax	301 mT	
Secondary Winding Current Rating	117 A _{rms}	155 A _{rms}
Secondary PCB Winding Current Rating	58.5 A _{rms}	
Inductor Winding Current Rating	110 A _{avg}	220 A _{avg}
Transformer Footprint	2,905 mm ²	5,707 mm ²
Inductor Footprint	2,654 mm ²	1,474 mm ²
Total Magnetic Footprint	5,558 mm ²	7,181 mm ²
Total Magnetic Loss	25 W	33.51 W

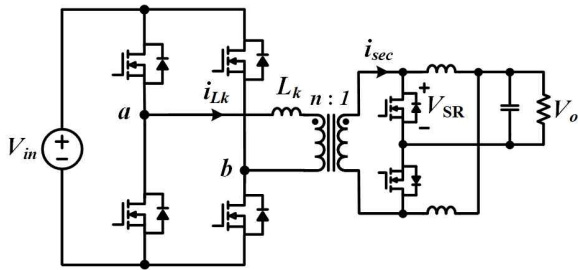


Fig. 5. Phase shift full bridge converter with current doubler rectifier.

도를 달성에 유리한 플라나 변압기를 사용하고, 4층 레이어 PCB를 사용한다는 것을 가정하고 비교를 진행하였으며, 변압기의 단면적과 권선 손실을 기준으로 두 정류기의 비교하였다.

그림 3은 전류 더블러 정류기와 센터탭 정류기의 주요 동작 파형 및 변압기 2차측 권선에 흐르는 전류를 나타낸다. 그림 3(a)의 센터탭 정류기는 변압기 2차측 권선에 t_0-t_1 구간 및 t_2-t_3 구간 동안 출력전류가 도통하고, 한 스위칭 주기 동안 변압기의 권선이 한 번씩 도통하여 변압기 권선의 전류정격과 손실이 크다. 하지만 그림 3(b)의 전류 더블러 정류기의 경우, 변압기 2차측 권선에 t_0-t_1 구간 동안에는 L_{d1} 인덕터의 전류가 양의 방향으로 도통하며 t_2-t_3 구간 동안에는 L_{d2} 인덕터의 전류가 음의 방향으로 도통한다. 따라서 전류 더블러 정류기의 변압기 권선에 흐르는 전류는 센터탭 정류기의 변압기에 비해 작다는 장점을 갖는다.

그림 4는 전류 더블러 정류기와 센터탭 정류기의 4층 레이어 PCB를 이용한 변압기 권선을 나타낸다. 두 정류기 모두 1층, 4층 레이어에는 2차측 권선을 구성했고, 2

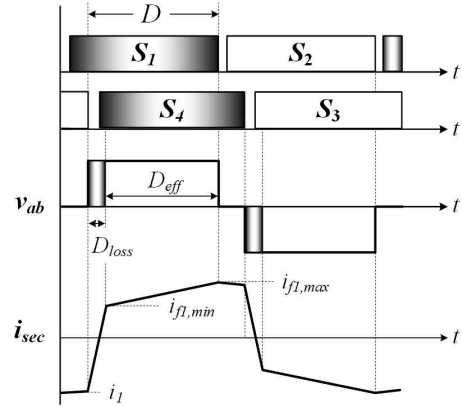


Fig. 6. Operating waveform of PSFB-CD.

층, 3층 레이어에는 1차측 권선을 구성했다. 센터탭 정류기는 그림 4(a)와 같이 스위칭 한주기 동안 변압기 권선이 한쪽씩 도통하기 때문에 2차측 권선을 병렬로 구성할 수가 없어 2차측 권선의 단면적이 증가하고, 손실이 증가한다. 반면, 전류 더블러 정류기는 그림 4(a)와 같이 스위칭 한주기 동안 출력전류의 절반만 도통하고 2차측 권선의 병렬 연결이 가능하기 때문에 권선의 전류정격이 매우 작다. 따라서 2차측 권선의 단면적이 센터탭 변압기에 비해 작고, 손실이 작다는 장점을 갖는다.

표 1은 전류 더블러 정류기와 센터탭 정류기 변압기의 자성체 설계 결과를 나타낸다. 그림 4와 같이 4층 PCB를 이용하는 경우, 센터탭 정류기는 2차측 권선을 병렬 연결할 수 없어 2차측 권선의 손실이 증가하며 권선의 단면적이 증가하여 전류 더블러 정류기의 변압기보다 약 2배 큰 변압기의 단면적을 갖는다. 출력 인덕터의 개수가 적은 센터탭 정류기는 전류 더블러 정류기에 비해 인덕터의 단면적이 작지만, 변압기의 단면적 차이로 인해 전체 자성체 단면적의 총합은 전류 더블러 정류기에 비해 약 29% 크다는 것을 확인할 수 있다. 또한 전류 더블러 정류기에 비해 PCB 권선에 흐르는 전류가 더 큰 전류 센터탭 정류기는 변압기와 인덕터 권선 손실 증가로 인해 전체 자성체의 손실이 약 34% 크다는 것을 확인할 수 있다. 따라서 본 논문에서는 고효율·고전력밀도 달성에 더 유리한 전류 더블러 정류구조로 정류기를 선정하였다.

2.2. 듀티손실 분석 및 주파수·터빈비 선정

그림 5는 선정된 위상천이 폴브릿지 컨버터의 회로도 를 나타낸다. 위상천이 폴브릿지 컨버터의 누설 인덕터는 지상 레그(lagging leg) 스위치가 영전압 스위칭(zero voltage switching)을 할 수 있는 에너지를 제공하기도 하지만 듀티 손실을 발생시켜 최대 출력 전력이 제한될 수 있다. 특히 고주파 응용에서는 듀티 손실의 영향으로 매우 작은 누설 인덕턴스가 요구된다. 위상천이 폴브릿지 컨버터의 듀티(duty, D) 및 유효 듀티(effective duty, D_{eff}), 듀티손실(duty loss, D_{loss})는 그림 6에 나타난 것과

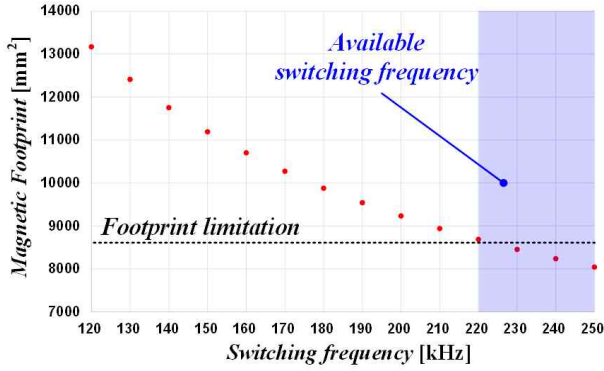


Fig. 7. Footprint of magnetic components according to switching frequency.

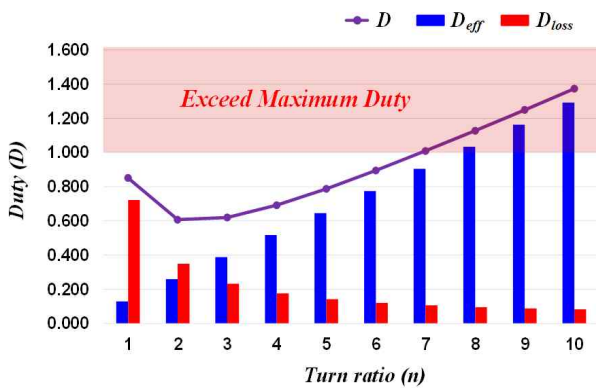


Fig. 8. Effective duty and duty loss according to turn ratio.

같으며 아래의 식을 통해 구할 수 있다.

$$D = D_{eff} + D_{loss} \quad (1)$$

$$D_{eff} = \frac{n V_o}{V_{in}} \quad (2)$$

$$D_{loss} = L_k \frac{(i_{f1,min} - i_1)}{n} \frac{f_s}{V_{in}} \quad (3)$$

여기서 $i_1, i_{f1,min}$ 은 그림 6에 나타난 것 같이 각각 듀티손실 전과 후의 2차측 권선전류를 의미하며, 식 (3)을 통해 듀티손실은 누설 인덕턴스(L_k)와 스위칭 주파수(f_s)에 비례하며 턴비(n)에 반비례한다는 것을 확인할 수 있다. 따라서 높은 전력밀도 달성을 위해 최대한 높은 스위칭 주파수를 사용하되 최대 출력 전력이 제한되지 않도록 스위칭 주파수와 턴비를 선정해야 한다.

그림 7은 스위칭 주파수에 따른 자성체의 단면적을 나타낸다. 1차측·2차측 스위치, 입력·출력 EMI 필터, 보조전원 및 제어보드 공간을 제외하면 자성체의 단면적이 8700mm^2 이하가 되어야 한다. 따라서 약 220kHz 이상의 스위칭 주파수를 적용해야 목표 전력밀도를 달성할 수 있으므로, 메인보드와 자성체의 연결을 고려하여 250kHz로 스위칭 주파수를 선정하였다.

그림 8은 턴비에 따른 유효듀티와 듀티손실을 나타낸

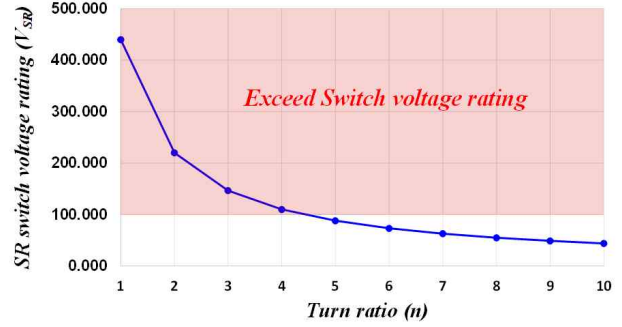


Fig. 9. SR switch voltage rating according to turn ratio.

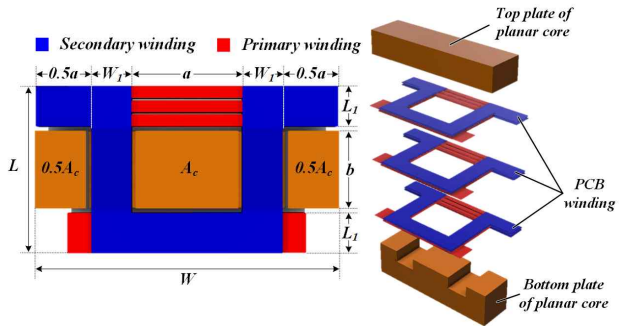


Fig. 10. Proposed planar transformer structure with PCB winding.

다. 턴비가 증가함에 따라 듀티 손실은 감소하지만 유효 듀티가 크게 증가하여 턴비를 7 이상으로 사용할 경우 최대 사용 가능한 듀티를 초과하기 때문에 턴비는 6 이하가 되어야 한다. 또한 그림 9를 통해 턴비를 5 이하로 사용할 경우 2차측 동기정류 스위치의 전압정격을 초과하게 되기 때문에 턴비는 6으로 선정하였다.

3. FoM(Figure-of-Merit) 기반 고주파 플라나 변압기 최적 설계

3.1. 제안하는 플라나 변압기 구조 설계

그림 10은 제안하는 플라나 변압기와 PCB 권선의 구조 및 PCB 권선의 설계 변수를 나타낸다. 각각의 설계 변수들은 플라나 변압기의 최대 자속밀도(B_{max})와 권선의 전류밀도(J)에 의해 결정되며, 2차측 권선에 흐르는 큰 전류를 분담하기 위해 4층 레이어 PCB 3장을 병렬로 연결하여 사용하였다. 플라나 코어의 높이는 제한조건으로 인해 28.6mm로 선정되었다.

식 (4)와 (5)는 각각 PCB 권선의 DC저항 손실과 AC저항 손실의 계산식을 나타내며, PCB 권선의 손실은 DC저항 손실과 AC저항 손실의 합으로 정의된다.

$$P_{w,dc} = \frac{\xi}{2} \cdot \frac{\sinh \xi + \sin \xi}{\cosh \xi - \cos \xi} \cdot R_{dc} \cdot I_w^2 \quad (4)$$

$$P_{w,ac} = \frac{\xi \cdot (2m - 1)^2}{2} \cdot \frac{\sinh \xi - \sin \xi}{\cosh \xi + \cos \xi} \cdot R_{dc} \cdot I_w^2 \quad (5)$$

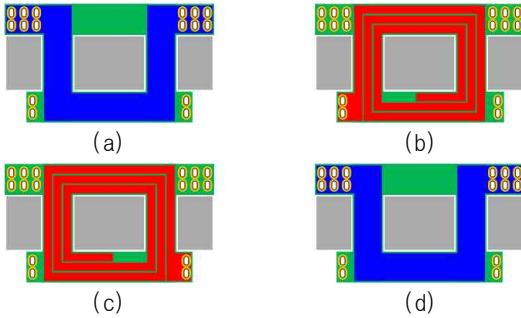


Fig. 11. PCB winding layer design. (a) Top layer, (b) 2nd layer, (c) 3rd layer, (d) Bottom layer.

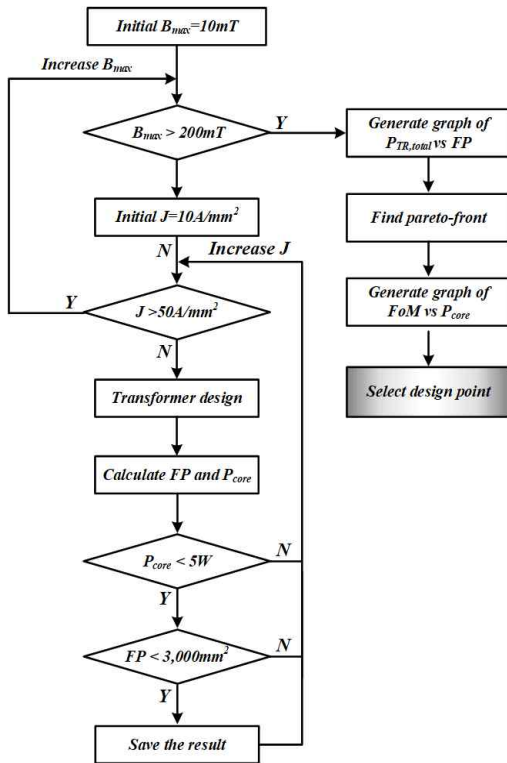


Fig. 12. Planar transformer design optimization flow chart.

여기서 ζ 는 침투 깊이에 대한 레이어 두께의 비율, m 은 PCB 레이어별 기자력의 비율을 의미하는 상수를 의미하며, R_{dc} 는 PCB 권선의 DC저항을 나타낸다^{[9],[10]}. PCB 권선의 손실은 DC저항 손실과 AC저항 손실의 합으로 나타낼 수 있고, 여기서 AC저항 손실은 $(2m-1)^2$ 에 비례하므로 m 의 최소화를 통해 AC손실을 줄여야 한다. 따라서 본 논문에서는 m 을 최소화하기 위해 그림 11과 같이 PCB 권선을 구성하여 모든 레이어의 m 을 1로 설계하였다. 1층과 4층 레이어에는 큰 전류가 도통하는 2차측 권선을 배치하였고, 2층과 3층 레이어에는 1차측 권선을 배치하였다. 1층과 4층 레이어에 배치된 2차측 권선은 서로 병렬 연결하여 전류 분담을 통해 권선 손실을 최소화했으며, 2층과 3층 레이어에는 1차측 권선을 3턴씩 직렬로 구성하여 총 6턴을 구성하여 PCB권선의 단면적과 손실을 최소화했다.

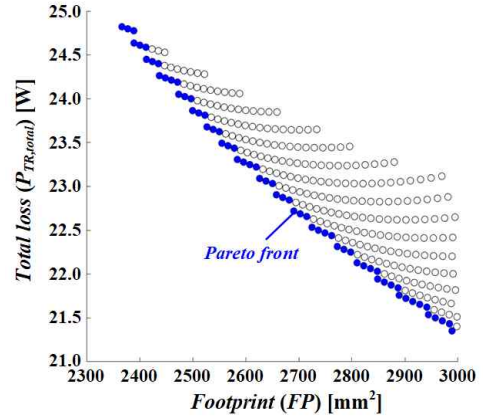


Fig. 13. Footprint vs. total loss design point of the planar transformer.

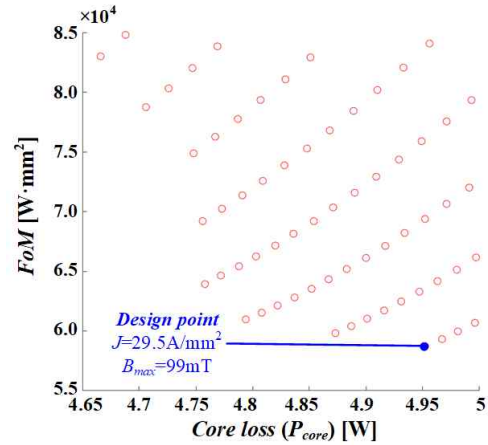


Fig. 14. Footprint vs. total loss design point of the planar transformer.

3.2. 제안하는 플라나 변압기 최적 설계 기법

그림 12는 본 논문에서 제안하는 플라나 변압기의 최적설계 순서도를 나타낸다. 변압기의 최적 설계 과정은 순서도에 따라 B_{max} 를 10mT부터 200mT까지 증가시키며 각각의 B_{max} 에서 J 를 50A/mm²까지 증가시켜 변압기의 총 손실($P_{TR,total}$)과 단면적(FP)을 계산하는 방식으로 진행된다. 그림 10에 나타낸 플라나 변압기 코어의 단면적(A_c)은 B_{max} 에 의해 계산되며, 계산된 A_c 에 의해 a 와 b 의 길이가 결정된다. 또한 PCB권선의 전류밀도 J 에 의해 L_1 과 W_1 이 결정되며, 이를 바탕으로 설계된 변압기의 부피, 단면적, 코어손실(P_{core}), 권선손실을 구할 수 있다. 제한 조건에 의해 이렇게 계산된 설계값 중 P_{core} 가 5W를 초과하거나 FP가 3,000mm²를 초과하는 결과는 제외되고, 조건에 만족하는 결과값만 저장된다. 모든 B_{max} 와 J 에 대한 변압기의 설계가 완료되면 저장된 설계값을 FP와 변압기 총 손실에 대해 나타낼 수 있으며 그림 13과 같다.

그림 13은 최대 자속밀도 10~200mT, 전류밀도 10~50A/mm²에 대해 코어손실과 변압기의 단면적 제한값을 만족하는 변압기의 모든 설계 결과를 나타낸다. 그

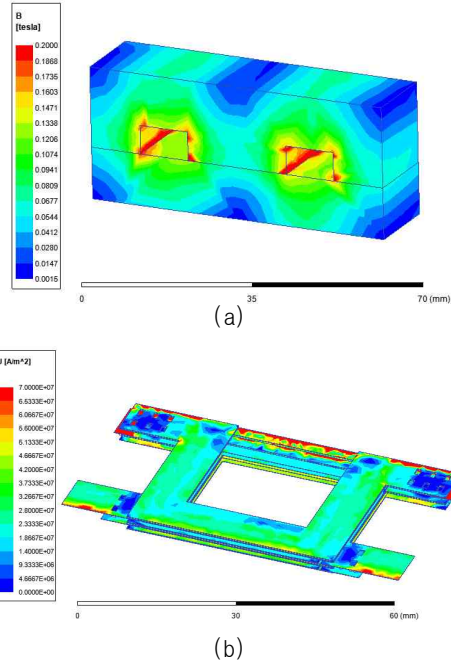


Fig. 15. Maxwell simulation result of the proposed planar transformer. (a) Flux density of the core, (b) Current density of the PCB winding.

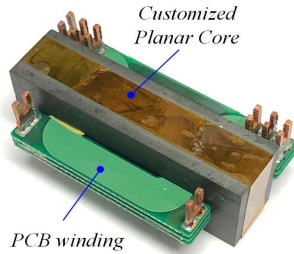


Fig. 16. Photograph of the proposed planar transformer.

래프에 나타낸 모든 설계점은 코어 손실과 단면적 제한 조건을 만족하지만, 설계점들 중 최적의 설계점 도출을 위해 Pareto-front를 정의할 수 있다. 변압기의 단면적과 총 손실은 작을수록 효율과 전력밀도 측면에서 유리하므로 그림 13에 파란색으로 나타낸 Pareto-front가 단면적과 변압기의 손실 측면에서 최적의 설계점들로 정의할 수 있다. Pareto-front상 각각의 설계점들은 해당하는 변압기의 단면적에서 변압기의 총 손실이 최소가 되는 설계점이므로 모든 설계점이 최적의 설계점이 될 수 있다. 하지만 Pareto-front상의 설계점들 중 효율과 전력밀도 관점에서 가장 유리한 최적의 설계점 도출을 위해 본 논문에서는 FoM을 정의하여 최적의 설계점을 도출하였으며, FoM은 식 (6)와 같이 정의된다^{[11],[12]}.

$$FoM = P_{TR,total} \times FP \quad (6)$$

여기서 FoM은 변압기의 총 손실과 변압기의 단면적으로 정의되며, 그림 13에 나타난 Pareto-front상의 설계점들은 그림 14와 같이 FoM과 코어손실에 대해 나타낼 수 있다. 그래프에 존재하는 모든 점은 그림 13의

TABLE II
SPECIFICATION OF THE PROTOTYPE

Symbol	Value	Unit
Rated power (P)	3000	W
Input voltage (V_{in})	240–420	V _{dc}
Output voltage (V_o)	11.5–15.5	V _{dc}
Switching frequency (f_s)	250	kHz
Turn ratio (n)	6 : 1	
Leakage inductance (L_k)	1.9	μH
Filter inductance (L_{f1}, L_{f2})	880	nH
Dimension	160 × 220 × 28.6	mm
Power density	2.98	kW/L
	4.89 (without EMI filter, controller)	kW/L

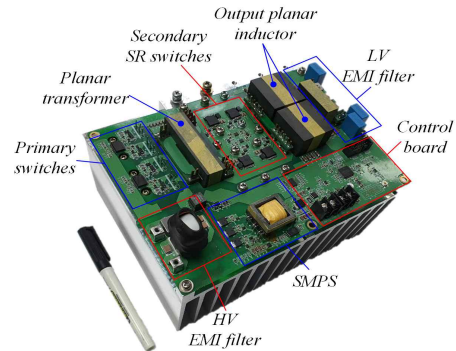


Fig. 17. Prototype of the proposed 3 kW LDC.

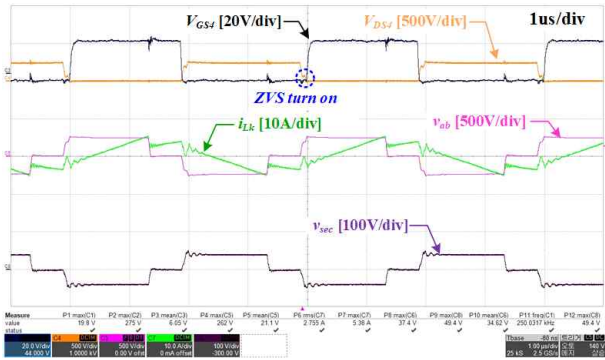
Pareto-front의 설계점이므로 변압기의 단면적 및 코어 손실 제한값을 만족하며, FoM은 $P_{TR,total}$ 과 FP의 곱으로 정의되므로 FoM이 최소가 되는 설계점이 최적의 설계점이라 할 수 있다. 따라서 본 논문에서는 그림 14에 나타난 것과 같이 FoM이 최소가 되는 설계점을 도출하였고, 설계 결과에 따라 변압기의 최대 자속밀도는 100mT, PCB 권선의 전류밀도는 $30A/mm^2$ 으로 선정하였다.

3.3. Maxwell 시뮬레이션 결과

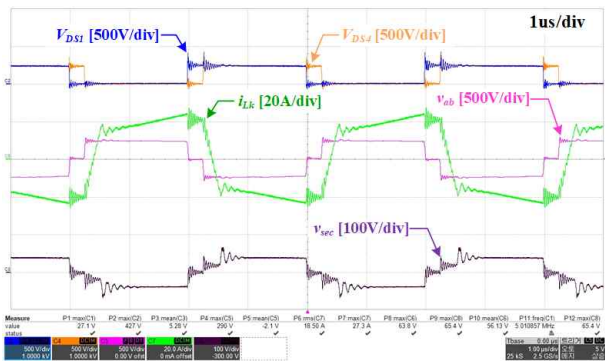
그림 15는 FoM 기반 변압기 최적화 기법을 통해 설계한 제안하는 플라나 변압기의 Maxwell 시뮬레이션 결과를 나타낸다. 그림 15(a)는 설계한 플라나 코어의 자속밀도를 나타내며, 그림 15(b)는 PCB 권선의 전류밀도를 나타낸다. 그림 15를 통해 플라나 코어의 평균 자속밀도는 100mT, PCB 권선의 전류밀도는 $30A/mm^2$ 으로 설계한 값과 일치하는 것을 확인할 수 있으며, 설계한 변압기의 제작 사진은 그림 16과 같다.

4. 실험 결과

그림 17은 본 논문에서 제안하는 SiC 소자를 적용한 3kW LDC의 제작 사진이다. 시작품은 플라나 변압기,

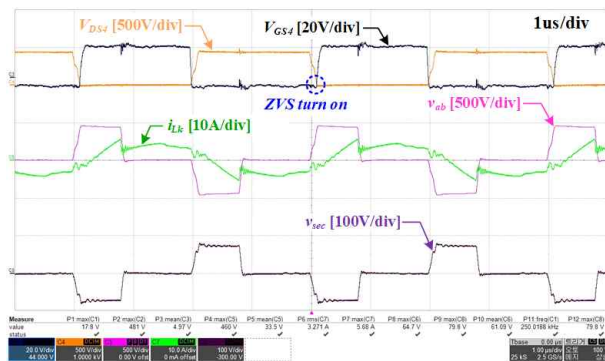


(a)

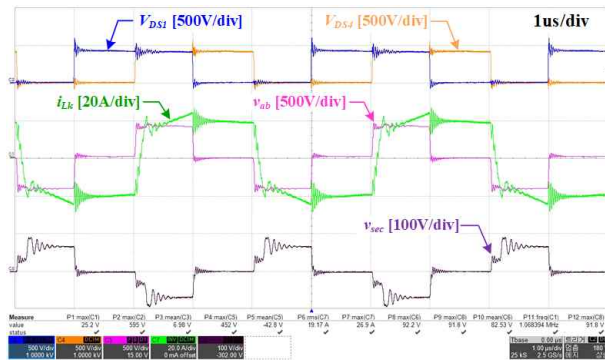


(b)

Fig. 18. Experimental waveforms at $V_{in} = 240$ V, $V_o = 13.8$ V. (a) $P_o = 220$ W, (b) $P_o = 3$ kW.



(a)



(b)

Fig. 19. Experimental waveforms at $V_{in} = 420$ V, $V_o = 13.8$ V. (a) $P_o = 220$ W, (b) $P_o = 3$ kW.

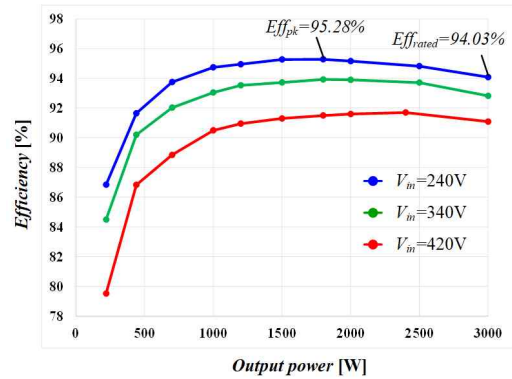


Fig. 20. Measured efficiency.

인덕터, 입력·출력 노이즈 필터(HV EMI filter, LV EMI filter), 보조전원용 SMPS, TMS320F280040C 기반 제어 보드(control board) 및 동기정류 스위치로 구성된다. 시작품은 입·출력필터 및 SMPS, 제어보드를 포함하여 160×220×28.6로 제작되어 2.98kW/L의 높은 전력밀도를 달성하였다. 표 2는 제작된 시작품의 상세 사양을 나타낸다.

그림 18은 입력전압이 240V인 상황에서의 실험파형을 보여준다. 그림 18(a)에 측정된 파형은 지상레그 스위치의 드레인-소스 전압(V_{DS4}), 게이트-소스 전압(V_{GS4}), 누설 인덕터 전류(i_{Lk}), 2차측 전압(V_{sec})이다. V_{DS4} 와 V_{GS4} 파형을 통해 지상레그 스위치가 약 7% 부하($P_o=220$ W)에서 ZVS 턴온을 성취하는 것을 확인할 수 있다. 그림 19(a)는 입력전압이 420V인 상황에서의 실험파형을 보여준다. 입력전압이 420V인 상황 또한 7% 부하 상황에서 ZVS 턴온을 성취하는 것을 확인할 수 있으며, 그림 18(b)와 그림 19(b)를 통해 정격부하에서도 안정적으로 동작함을 확인할 수 있다.

그림 20은 시작품의 측정효율을 나타내며, 효율은 Yokogawa社. WT3000을 이용하여 측정하였다. 최고효율은 $V_{in}=240$ V, $P_o=1.8$ kW 상황에서 95.28%를 달성하였으며, 3kW 정격출력에서는 94.03%의 고효율을 달성하였다.

5. 결 론

본 논문에서는 SiC MOSFET을 사용하여 입·출력

EMI 필터 및 제어보드를 포함하여 2.98kW/L의 높은 전력밀도를 갖는 3kW급 LDC를 개발하였다. 높은 전력밀도 달성을 위해 플라나 변압기, 플라나 인덕터를 설계하여 적용하였으며, FoM 개념을 이용하여 변압기의 손실 및 단면적 측면에서 플라나 변압기의 최적 설계지점을 도출하였다. 또한 실험 검증을 통해 3kW 동작을 확인하였으며, 95.28%의 최고효율을 달성하였다.

이 연구는 LG전자의 산학협력과제 지원을 받아 연구되었습니다.

References

- [1] J. Jang, I. Um, and D. Lim, "EV value chain market trends and issues," *KPMG Issue Monitor*, pp. 23, Sep. 2018.
- [2] S. Choi, "Power converter technology for xEV-current status and challenge," in *Plenary Session of 2020 IPEMC*, Nov./Dec. 2020.
- [3] B. Seliger, J. Popov, B. Eckardt, and M. Maerz, "Isolated high voltage DC/DC converter for auxiliary power supply in commercial vehicles, conference on power conversion and intelligent motion," in *PCIM 2013, Nuremberg, Germany*, May 2013.
- [4] J. A. Baxter, D. A. Merced, D. J. Costinett, L. M. Tolbert, and B. Ozpineci, "Review of electrical architectures and power requirements for automated vehicles," in *2018 IEEE ITEC*, pp. 944-949, Jun. 2018.
- [5] V. Mario, B. Oriana, and V. Peter. "Auxiliary systems consumption in electric vehicle," *Przegląd Elektrotechniczny*, Vol. 12, pp. 172-175. 2014.
- [6] T. Matsuoka, M. Nakamura, and K. Hasegawa, "Development of the intelligent power unit for 2006 civic hybrid," *SAE Technical Paper*, Apr. 2006.
- [7] Z. Pang, X. Ren, J. Xiang, Q. Chen, X. Ruan, and W. Chen, "High-frequency DC-DC converter in electric vehicle based on GaN transistors," in *2016 IEEE ECCE, Milwaukee, USA*, pp. 1-7, Sep. 2016.
- [8] M. Heintze and I. S. Butzmann, "A GaN 500 kHz high current active clamp phase-shifted full-bridge converter with zero-voltage switching over the entire line and load range," in *EPE 2018-ECCE Europe, Riga, Latvia*, pp. P.1-P.9, Sep. 2018.
- [9] R. W. Erickson and D. Maksimovic, *Fundamentals of Power Electronics*, Kluwer Academic Publishers, Norwell, Mass, USA, 2nd edition, pp. 506-518, 2001.
- [10] Z. Ouyang, O. C. Thomsen, and M. A. E. Andersen, "Optimal design and tradeoff analysis of planar transformer in high-power DC - DC converters," *IEEE Transactions on Industrial Electronics*, Vol. 59, No. 7, pp. 2800-2810, Jul. 2012.
- [11] A. M. Naradhipa, S. Kim, D. Yang, S. Choi, I. Yeo, and Y. Lee, "Power density optimization of 700 kHz GaN-based auxiliary power module for electric vehicles," To be published in *IEEE Transactions on Power Electronics*, May 2021.
- [12] R. Muhammad, S. Kim, C. Suk, S. Choi, B. Yu, and S. Park, "Integrated planar transformer design of 3-kW auxiliary power module for electric vehicles," in *2020 IEEE Energy Conversion Congress and Exposition (ECCE), Detroit, USA*, pp. 1239-1243, 2020.

김상진(金相辰)



1988년 8월 27일생. 2015년 서울과학기술대 제어계측공학과 졸업. 2017년 동 대학원 전기정보공학과 졸업(석사). 2021년 동 대학원 전기정보공학과 졸업(공학박). 2021년~현재 현대자동차 책임연구원.

석채영(石采玲)



1995년 11월 6일생. 2019년 숭실대 전기공학부 졸업. 2019년~현재 서울과학기술대 전기정보공학과 석사과정.

라마단(Ramadhan Muhammad Hakim)



1996년 3월 12일생. 2018년 Indonesia Sepuluh Nopember Institute of Technology 전기공학과 졸업. 2019년~현재 서울과학기술대 전기정보공학과 석사과정.

최세완(崔世琬)



1963년 3월 3일생. 1985년 인하대 전자공학과 졸업. 1992년 Texas A&M Univ. 대학원 전기공학과 졸업(석사). 1995년 동 대학원 전기공학과 졸업(공학박). 1985년~1990년 대우중공업 중앙연구소 대리. 1996년~1997년 삼성전기 종합연구소 수석연구원. 1997년~현재 서울과학기술대 전기정보공학과 교수. 당 학회 회장.

유병우(柳炳宇)



1969년 9월 10일생. 1996년 충북대 전기공학과 졸업. 1998년 동 대학원 전기공학과 졸업(석사). 2003년 동 대학원 전기공학과 졸업(공학박). 2005년~2018년 삼성전기 수석연구원. 2018~현재 LG전자 책임연구원.

박상훈(朴相勳)



1979년 7월 25일생. 2007년 성균관대 전자전기공학 졸업(석사). 2011년 동 대학원 메카트로닉스공학 졸업(공학박). 2011년~현재 LG전자 책임연구원.