

Tapering과 Ferroelectric Polarization에 의한 3D NAND Flash Memory의 Lateral Charge Migration 분석

The Analysis of Lateral Charge Migration at 3D-NAND Flash Memory by Tapering and Ferroelectric Polarization

이재우*, 이종원*, 강명곤*

Jaewoo Lee* Jongwon Lee* Myounggon Kang*

Abstract

In this paper, the retention characteristics of 3D NAND flash memory applied with tapering and ferroelectric (HfO₂) structure were analyzed after programming operation. Electrons trapped in nitride are affected by lateral charge migration over time. It was confirmed that more lateral charge migration occurred in the channel thickened by tapering of the trapped electrons. In addition, the Oxide-Nitride-Ferroelectric (ONF) structure has better lateral charge migration due to polarization, so the change in threshold voltage (V_{th}) is reduced compared to the Oxide-Nitride-Oxide (ONO) structure.

요약

본 논문에서는 tapering과 ferroelectric(HfO₂)구조가 적용된 3D NAND flash memory의 프로그램 이후 시간경과에 따른 retention특징을 분석했다. Nitride에 trap된 전자는 시간이 지남에 따라 lateral charge migration이 발생한다. 프로그램 이후 시간이 지남에 따라 trap된 전자가 tapering에 의해 두꺼워진 채널 쪽으로 lateral charge migration이 더 많이 발생하는 것을 확인했다. 또한 Oxide-Nitride-Ferroelectric (ONF) 구조는 polarization에 의해 lateral charge migration이 완화되기 때문에 기존 Oxide-Nitride-Oxide (ONO) 구조 보다 문턱전압(V_{th})의 변화량이 줄어든다.

Key words : 3D NAND flash memory, taper angle, lateral charge migration, ferroelectric, threshold voltage

1. 서론

오늘날의 3D NAND flash memory[1-3]는 셀의 크기를 줄이지 않고 비트밀도를 증가시키기 위해

cell을 적층하고 있다[4]. 하지만 적층 높이가 증가됨에 따라 공정 시 상단과 하단에서 식각 되는 정도가 다른 현상이 발생하여 tunneling oxide, blocking oxide층과 nitride층이 기울게 되는 tapering 문제

* Dept. of Electronics Engineering, Korea National University of Transportation

★ Corresponding author

E-mail : mgkang@ut.ac.kr, Tel : +82-43-841-5164

※ Acknowledgment

This work was supported in part by the Institute of Information and Communications Technology Planning and Evaluation (IITP) funded by the Korea government (MSIT) under Grant 2021-0-01764 and in part by the MOTIE(Ministry of Trade, Industry & Energy (10085645) and KSRC(Korea Semiconductor Research Consortium) support program for the development of the future semiconductor device and in part by Korea Institute for Advancement of Technology (KIAT) grant funded by the Korea Government (MOTIE) (N000P0008500, The Competency Development Program for Industry Specialist). Manuscript received Nov 19, 2021; revised Dec. 24, 2021; accepted Dec. 29, 2021.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

가 발생한다[5]. 이때 tapering으로 인해 채널면적이 작아진 하단 word-line(WL)은 상단 WL에 비해 전기적 저항이 더욱 커지게 된다[6]. 프로그램 이후 nitride층에 trap된 전자는 시간이 지남에 따라서 nitride층 수직 방향의 전계에 의한 vertical charge loss, 인접한 셀의 전위차와 band-to-band tunneling에 의해 lateral charge migration이 발생하고 tapering으로 인해 채널면적이 작아진 하단 WL과 채널면적이 넓어진 상단 WL간의 lateral charge migration의 차이가 발생하게 된다[7, 8]. 본 논문에서는 ferroelectric 물질이 적용된 3D NAND flash memory의 taper 각도를 고려하여 ONO구조와 ONF구조를 시뮬레이션 했다. 또한 ONF구조의 polarization에 의한 retention 특징을 ONO구조와 비교해 시간에 따른 lateral charge migration의 영향을 고려하여 분석했다.

II. 본론

1. The procedure of TCAD simulation

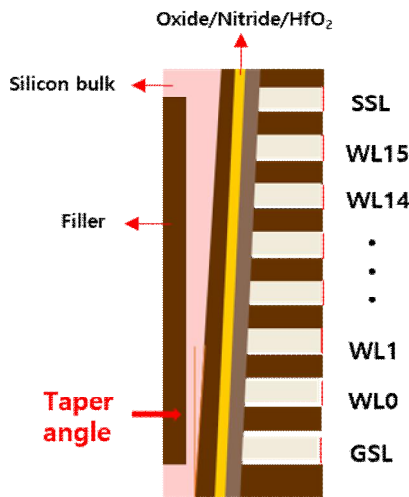


Fig. 1. Schematic diagram of a 3D NAND flash memory string.

그림 1. 설계한 3D NAND flash memory의 단면도

그림 1은 3D technology computer aided design tool(TCAD)로 설계된 3D NAND Flash의 단면도이다. taper 각도는 필러의 수직축을 경계로 채널과 터널링 산화물 사이의 각도로 정의한다. 0°에서 5°까지 taper 각도를 가변하여 설계하였으며 tapering이 심해지면 하단의 채널 면적은 더 좁아지고 상단의 채널면적은 더 넓어지게 된다[9].

Table 1. Parameter values of the designed device.

표 1. 설계한 소자의 파라미터 값

Parameters	Value
Gate length	30 nm
Spacer length	30 nm
Tunneling oxide thickness	5 nm
Nitride thickness	5 nm
Hafnium oxide thickness	6 nm
Temperature	358 K
Trap energy level(E_t)	0.6 eV
Trap density(N_t)	$5 \times 10^{19} \text{ cm}^{-3}$

표 1은 TCAD로 설계한 3D NAND flash의 device parameter 값이다.

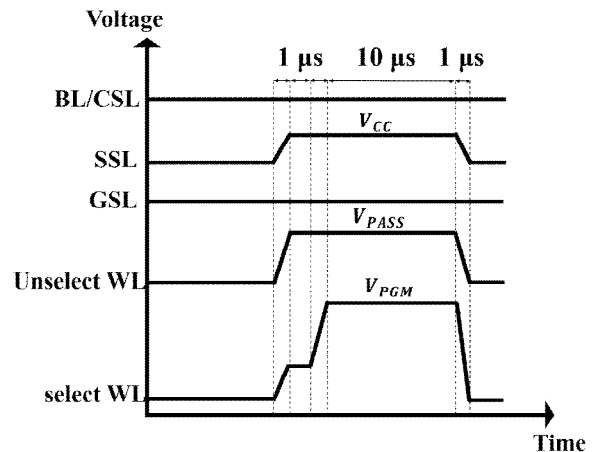


Fig. 2. Timing diagram of ONO, ONF structure.

그림 2. ONO, ONF구조의 timing diagram

그림 2는 ONO, ONF구조의 timing diagram이다 [10]. ONO, ONF구조 모두 동일한 조건으로 시뮬레이션 했으며 Bit line(BL), Common Source Line(CSL), Ground Select Line(GSL)은 0V, String Select Line(SSL)은 $V_{CC} = 2.4V$ 를 인가해 주었다. 프로그램전압(V_{PGM}) = 20V, 패스전압(V_{PASS}) = 6V, select WL은 tapering에 의한 채널면적의 차이를 관찰하기 위해 WL15, WL0로 설정했으며 각각 ONO, ONF구조에서 시뮬레이션 했다.

2. Results and Discussion

그림 3은 프로그램 후 10^7 초 경과 후 HfO₂의 polarization이다[11]. 프로그램 후 gate에 전압을 인

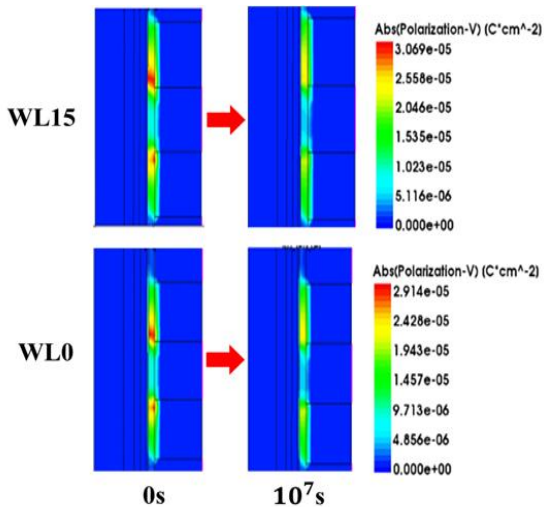


Fig. 3. Polarization of HfO₂ after 10⁷ seconds after programming.
 그림 3. 프로그램 후 10⁷초 경과 후 HfO₂의 polarization

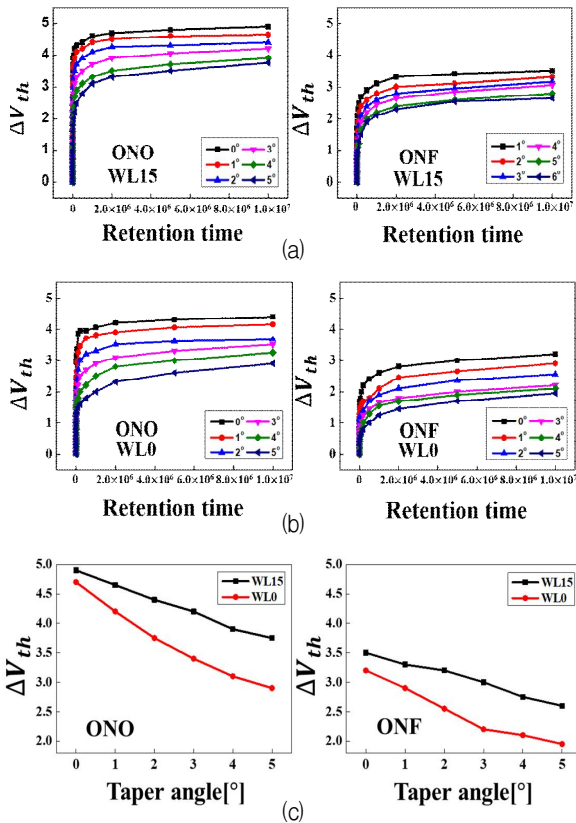


Fig. 4. Retention characteristics of WL15 and WL0 in ONO and ONF structures ΔV_{th} for 10⁷seconds of (a) WL15 and (b) WL0 tapered from 0° to 5° in ONO and ONF structures (c) ΔV_{th} after 10⁷ seconds after programming of WL15 and WL0 tapered from 0° to 5° in ONO and ONF structures.
 그림 4. ONO, ONF구조에서 WL15와 WL0의 retention 특징 ONO, ONF구조에서 0°에서 5°까지 tapering 된 (a) WL15 (b) WL0의 10⁷초 동안의 ΔV_{th} (c) ONO, ONF구조에서 0°에서 5°까지 tapering된 WL15와 WL0의 프로그램 후 10⁷초 경과 후 ΔV_{th}

가지지 않았기 때문에 WL15와 WL0에서 10⁷초 경과 후에도 polarization이 유지된다. 이러한 polarization에 의해 nitride에 trap된 전자의 lateral charge migration이 감소한다.

그림 4 (a)와 그림 4 (b)는 각각 ONO, ONF구조에서 0°부터 5°까지 tapering된 WL15와 WL0의 10⁷초 동안의 V_{th} 변화량이다. ONO, ONF구조 모두 동일한 조건으로 시뮬레이션 했으며 tapering이 심해짐에 따라 수직방향의 전계가 감소하기 때문에 trap된 전자의 lateral-charge migration이 감소한다. ONF구조는 polarization에 의해 retention특성이 좋아지기 때문에 V_{th} 의 변화량이 ONO구조보다 작다. 또한 시간이 지남에 따라 trap된 전자는 두꺼운 채널 쪽으로 더 많이 확산된다. 따라서 그림 4 (a)와 그림 4 (b)에서 나타난 것처럼 tapering이 진행될수록 WL15보다 WL0에서 V_{th} 변화량이 더 많이 감소한다.

또한 그림 4 (c)에서 ONO구조와 ONF구조의 프로그램 후 10⁷초 경과 후 0°에서 5°까지 tapering 각도에 따른 V_{th} 의 변화량은 WL15에서 ONO구조는 1.15 V, ONF구조는 0.9 V이며, WL0에서 ONO구조는 1.5 V, ONF구조는 1.25 V이다. Tapering이 심해지더라도 ferroelectric 물질의 두께는 동일하기 때문에 polarization값은 큰 변화가 없다. 따라서 tapering에 의한 V_{th} 의 변화량이 ONO구조보다 ONF구조에서 작다.

III. 결론

시뮬레이션을 통해 oxide-nitride-oxide(ONO) 구조와 oxide-nitride-ferroelectric(ONF) 구조에서 trap된 전자를 tapering각도에 따른 V_{th} 변화량의 차이와 특징을 확인했다. Ferroelectric물질은 프로그램 후 gate에 전압을 인가하지 않았기 때문에 polarization에 의해 ONO구조보다 ONF구조에서 V_{th} 변화량이 작다. V_{th} 변화량은 WL15와 WL0 모두 tapering각도가 증가함에 따라서 수직 방향의 전계가 감소하기 때문에 감소한다. 또한 tapering각도가 증가함에 따라 채널면적이 작은 하단의 WL에서 채널 면적이 큰 상단의 WL보다 lateral charge migration이 더 감소하고 V_{th} 변화량이 작아진다.

References

- [1] M. Kang, et al. "Improving read disturb characteristics by using double common source line and dummy switch architecture in multi level cell nand flash memory with low power consumption," *Japanese Journal of Applied Physics*, Vol.50m NO.4S, 2011. DOI: 10.7567/JJAP.50.04DD03
- [2] Y. Kim, et al. "Three-dimensional NAND flash architecture design based on single-crystalline stacked array," *IEEE Transactions on Electron Devices*, Vol.59, No.1, pp.35-45, 2011. DOI: 10.1109/TED.2011.2170841
- [3] Y. Kim, and M. Kang, "Down-coupling phenomenon of floating channel in 3D NAND flash memory," *IEEE Electron Device Letters* Vol.37, No.12, pp. 1566-1569, 2016. DOI: 10.1109/LED.2016.2619903
- [4] K.-T. Park, et al. "Three-dimensional 128 Gb MLC vertical NAND flash memory with 24-WL stacked layers and 50 MB/s high-speed programming," *IEEE Journal of Solid-State Circuits*, Vol.50, No.1, pp.204-213, 2014. DOI: 10.1109/JSSC.2014.2352293
- [5] A. Goda, and P. Krishna. "Scaling directions for 2D and 3D NAND cells," 2012 *International Electron Devices Meeting. IEEE*, pp.2-1, 2012. DOI: 10.1109/IEDM.2012.6478961
- [6] K.-T. Kim, et al. "The effects of taper -angle on the electrical characteristics of vertical NAND flash memories." *IEEE Electron Device Letters*, Vol.38, No.10, pp.1375-1378, 2017. DOI: 10.1109/LED.2017.2747631
- [7] A. Arreghini, and H. Jan Van, "Innovative schemes to improve reliability and density of horizontal and vertical channel 3D Flash," 2013 5th *IEEE International Memory Workshop*, pp.151-154, 2013. DOI: 10.1109/IMW.2013.6582121
- [8] J.-K. Jeong, et al. "Charge Migration Analysis of 3D SONOS NAND Flash Memory Using Test Pattern," *JOURNAL OF SEMICONDUCTOR TECHNOLOGY AND SCIENCE*, Vol.20, No.2, pp.151-157, 2020.
- [9] K. Takeuchi, "Scaling challenges of NAND flash memory and hybrid memory system with storage class memory & NAND flash memory," *Proceedings of the IEEE 2013 Custom Integrated Circuits Conference*, pp.1-6, 2013. DOI: 10.1109/CICC.2013.6658450
- [10] M. Kang, and Y. Kim, "Natural local self-oosting effect in 3D NAND flash memory," *IEEE Electron Device Letters*, Vol.38, No.9, pp. 236-1239, 2017. DOI: 10.1109/LED.2017.2736541
- [11] K. Florent, et al. "Reliability study of ferroelectric Al: HfO₂ thin films for DRAM and NAND applications," *IEEE Transactions on Electron Devices*, Vol.64, No.10, pp.4091-4098, 2017. DOI: 10.1109/TED.2017.2742549