

SPICE를 사용한 3D NAND Flash Memory의 Channel Potential 검증

The Verification of Channel Potential using SPICE in 3D NAND Flash Memory

김 현 주*, 강 명 곤*

Hyunju Kim*, Myounggon Kang*

Abstract

In this paper, we propose the 16-layer 3D NAND Flash memory compact modeling using SPICE. In the same structure and simulation conditions, the channel potential about Down Coupling Phenomenon(DCP) and Natural Local Self Boosting (NLSB) were simulated and analyzed with Technology Computer Aided Design(TCAD) tool Atlas(Silvaco™) and SPICE, respectively. As a result, it was confirmed that the channel potential of TCAD and SPICE for the two phenomena were almost same. The SPICE can be checked the device structure intuitively by using netlist. Also, its simulation time is shorter than TCAD. Therefore, using SPICE can be expected to efficient research on 3D NAND Flash memory.

요 약

본 논문에서는 SPICE를 사용한 16단 3D NAND Flash memory compact modeling을 제안한다. 동일한 structure와 simulation 조건에서 Down Coupling Phenomenon(DCP)과 Natural Local Self Boosting(NLSB)에 대한 channel potential을 Technology Computer Aided Design(TCAD) tool Atlas(Silvaco™)와 SPICE로 simulation하고 분석했다. 그 결과 두 현상에 대한 TCAD와 SPICE의 channel potential이 매우 유사한 것을 확인할 수 있었다. SPICE는 netlist를 통해 소자 structure를 직관적으로 확인할 수 있다. 또한, simulation 시간이 TCAD에 비해 짧게 소요된다. 그러므로 SPICE를 이용하여 3D NAND Flash memory의 효율적인 연구를 기대할 수 있다.

Key words : 3D NAND Flash memory; Down Coupling Phenomenon(DCP); Natural Local Self, Boosting(NLSB); SPICE; Technology Computer Aided Design(TCAD)

* Dept. of Electronics Engineering, Korea National University of Transportation

★ Corresponding author

E-mail : mgkang@ut.ac.kr, Tel : +82-43-849-1738

※ Acknowledgment

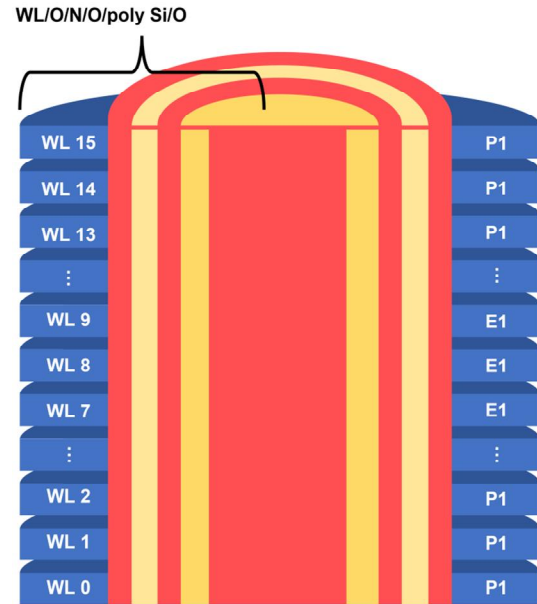
This work was supported in part by the Institute of Information and Communications Technology Planning and Evaluation (IITP) funded by the Korea government (MSIT) under Grant 2021-0-01764 and in part by the MOTIE(Ministry of Trade, Industry & Energy (10085645) and KSRC(Korea Semiconductor Research Consortium) support program for the development of the future semiconductor device and in part by Korea Institute for Advancement of Technology (KIAT) grant funded by the Korea Government (MOTIE) (N000P0008500, The Competency Development Program for Industry Specialist). Manuscript received Nov. 24, 2021; revised Dec. 24, 2021; accepted Dec. 29, 2021.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

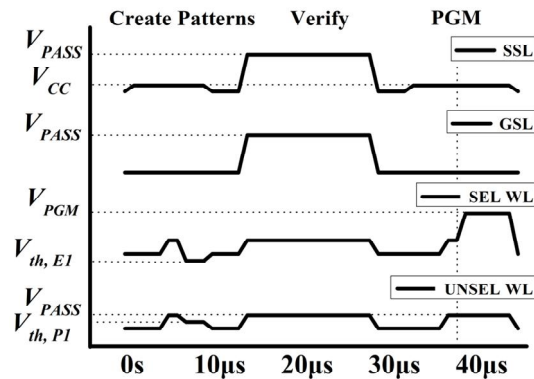
I. 서론

현재 반도체 시장에서 가장 널리 사용되는 3D NAND Flash memory는 높은 밀도만큼 복잡한 structure로 이루어져 있어 다양한 문제를 갖는다 [1]~[5]. 3D NAND Flash memory는 channel에 body bias가 직접 인가되지 않기 때문에 channel이 쉽게 floating 된다는 특징이 있다. 일반적으로 cell 들은 각기 다른 program level로 program 되어 있어 저마다 다른 V_{th} 값을 가진다. 이러한 V_{th} 의 차이는 Down Coupling Phenomenon(DCP)을 유발한다[6]. Word Line(WL)에 인가된 verify voltage가 0 V로 떨어지는 과정에서 각 cell은 순차적으로 off state가 된다. 양단의 neighboring cell들이 먼저 off 되는 경우 channel이 floating 되는데, 이때부터 floating channel의 channel potential은 WL bias의 변화량에 따라 음의 값을 가지게 된다. 즉 가장 최근에 off 된 neighboring cell의 V_{th} 만큼 channel potential이 낮아지게 되는 것이다. Natural Local Self Boosting(NLSB)은 inhibit string의 select WL에서 발생하는 현상이다. 같은 WL을 공유하는 다른 string에서 원치 않는 program을 막기 위해서는 WL에 인가되는 program voltage와 channel potential의 차이를 줄여야 한다[7]. 3D NAND는 channel이 쉽게 floating 된다는 특성 때문에 기존 planar NAND structure와 달리 복잡한 inhibit scheme을 사용하지 않더라도 쉽게 inhibit 동작이 가능하다. DCP와 NLSB는 이전에 Technology Computer Aided Design (TCAD) tool simulation(Silvaco™)으로 확인되었고 많은 연구가 수행되었다[8]. 그러나 TCAD는 simulation을 위해 별도의 device structure를 설계해야 하며 simulation 시간이 오래 걸린다는 단점이 있다. 반면 SPICE는 별도의 device structure가 필요 없고 netlist를 통해 바로 분석이 가능하며, 또한 simulation 시간이 오래 걸리지 않는다. 이러한 이유로 본 논문에서는 SPICE를 사용한 16단 3D NAND Flash memory의 DCP와 NLSB에 대한 channel potential을 검증하여 더욱 편리하고 효율적인 3D NAND Flash memory 연구를 위한 SPICE 기반 compact modeling을 제안한다. 검증에는 동일한 3D NAND Flash memory structure에서 TCAD로 분석한 DCP와 NLSB에 의한 channel potential data가 사용되었다.

II. 본론



(a)



(b)

Fig. 1. (a) 16-layer 3D NAND Flash memory structure model (b) timing diagram of DCP and NLSB scheme ($V_{PASS} = 6\text{ V}$, $V_{PGM} = 18\text{ V}$).

그림 1. (a) 16단 3D NAND Flash memory structure (b) DCP와 NLSB의 timing diagram ($V_{PASS} = 6\text{ V}$, $V_{PGM} = 18\text{ V}$)

Table 1. Device parameters used in the simulations.

표 1. simulation에서 사용된 파라미터

Quantity	Value
Gate length (main cells)	40 nm
Gate length (SSL, GSL)	150 nm
Gate Spacing	30 nm
Gate Dielectrics (O/N/O)	4/8/8 nm
Channel hole diameter (3D NAND)	80 nm
Poly-Si channel thickness (3D NAND)	10 nm
Select WL (WL_{select})	WL 8
V_{CC}	2 V
V_{PASS}	6 V
V_{PGM}	18 V

그림 1 (a)는 본 논문에서 사용된 16단 3D NAND Flash memory의 structure를 나타낸다. 그림 1 (b)는 TCAD와 SPICE simulation에 사용된 timing diagram을 보여준다. simulation은 pattern create, verify, program의 순서를 따르며 program operation을 위한 select WL은 WL 8이다.

1. TCAD와 SPICE의 Down Coupling Phenomenon(DCP) channel potential 비교

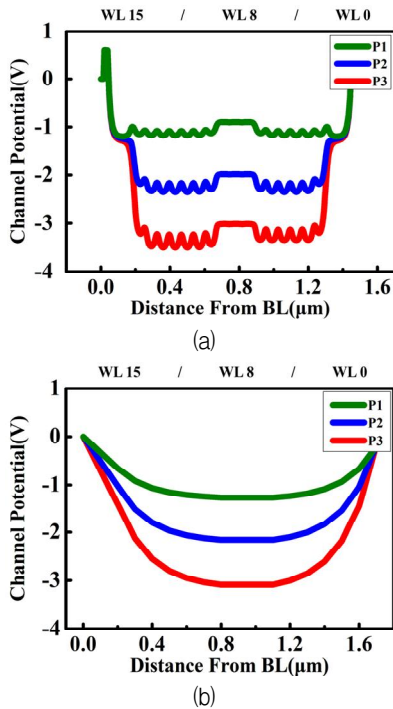


Fig. 2. Graph of DCP channel potential by (a) TCAD and (b) SPICE ($V_{th,E1} = -1$ V, $V_{th,P1} = 1$ V, $V_{th,P2} = 2$ V, $V_{th,P3} = 3$ V).

그림 2. (a) TCAD 와 (b) SPICE의 DCP channel potential 그래프 ($V_{th,E1} = -1$ V, $V_{th,P1} = 1$ V, $V_{th,P2} = 2$ V, $V_{th,P3} = 3$ V)

그림 2는 각각 TCAD와 SPICE로 simulation 한 DCP에 의한 channel potential을 보여준다. SPICE로 DCP를 관측하기 위해 verify 전 단계에서 각 cell이 저마다 다른 V_{th} 를 갖도록 pattern create 과정을 거쳤다. 이를 위해 Source Select Line(SSL)에는 V_{CC} 를, Ground Select Line(GSL)에는 0 V를 인가하였으며 이때 erase state cell과 neighboring cell의 threshold voltage는 $V_{th,E1} = -1$ V, $V_{th,P1} = 1$ V, $V_{th,P2} = 2$ V, $V_{th,P3} = 3$ V이다. Verify 단계에서는 검증을 위해 erase voltage보다 크고 program voltage보다 작은 6 V의 pass voltage를 인가하였는데 (a)와 (b) 모두 verify voltage가 neighboring cell의 V_{th} 인 1 V와

같아질 때 channel potential이 대략 -1 V로 감소하는 것을 확인할 수 있다. 이는 channel이 floating 됨에 따라 neighboring cell의 V_{th} 만큼 channel potential이 감소하기 때문이다. 마찬가지로 erase state cell의 neighboring cell이 P2($V_{th} = 2$ V)나 P3($V_{th} = 3$ V)로 program 된 경우에 대해서도 각각 약 -2 V와 -3 V로 channel potential이 감소하는 것을 확인할 수 있다.

2. TCAD와 SPICE의 Natural Local Self Boosting (NLSB) channel potential 비교

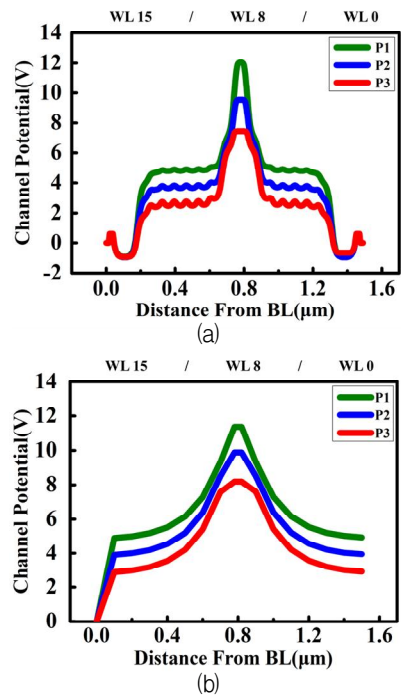


Fig. 3. Graph of NLSB channel potential by (a) TCAD and (b) SPICE in inhibit string ($V_{th,E1} = -1$ V, $V_{th,P1} = 1$ V, $V_{th,P2} = 2$ V, $V_{th,P3} = 3$ V).

그림 3. (a) TCAD와 (b) SPICE에 의한 Inhibit string에서의 NLSB channel potential 그래프 ($V_{th,E1} = -1$ V, $V_{th,P1} = 1$ V, $V_{th,P2} = 2$ V, $V_{th,P3} = 3$ V)

그림 3은 inhibit string에서 TCAD와 SPICE로 simulation 한 NLSB의 channel potential을 보여준다. program operation을 위해 SSL에는 V_{CC} 를 인가하여 cell을 on state로, GSL에는 0 V를 인가하여 cell을 off state로 만든다. 그리고 select WL에는 V_{PGM} 을 인가하고 unselect WL에는 V_{PASS} 를 인가한다. 이때 erase state cell과 neighboring cell의 threshold voltage는 $V_{th,E1} = -1$ V, $V_{th,P1} = 1$ V, $V_{th,P2} = 2$ V, $V_{th,P3} = 3$ V이다. Program operation 결과, 앞서 언급한 DCP와는 대조적으로 (a)와 (b) 모두 select WL에 V_{PGM} 이 인가될 때 floating 된 WL의 channel potential

이 함께 증가하는 것을 확인할 수 있다.

3. TCAD simulation data와 SPICE simulation data 분석

위 결과들은 같은 structure와 simulation 조건을 가질 때 TCAD 및 SPICE에서 분석한 DCP와 NLSB의 channel potential이 거의 같다는 것을 확인할 수 있다. SPICE를 통해 WL의 neighboring cell이 갖는 V_{th} 값에 따라 같은 값의 channel potential 강하가 발생하는 DCP를 관측하였으며, 이를 TCAD simulation 그래프와 비교하여 두 그래프가 잘 맞는 것을 확인했다. 또한, 우리는 SPICE simulation을 통해 NLSB에 의한 channel potential 그래프에서 neighboring cell의 V_{th} 가 작을수록 floating 된 cell의 channel potential은 큰 값을 갖는 것을 관측하였으며 program voltage가 인가되는 select WL의 channel potential이 가장 큰 값을 갖는 것을 확인했다. NLSB에 의한 channel potential에 대해서 SPICE simulation data 그래프와 TCAD simulation data 그래프를 비교했을 때, 두 그래프가 잘 맞는 것을 확인했다.

III. 결론

본 논문에서는 SPICE를 사용한 3D NAND Flash memory의 channel potential을 검증했다. 3D NAND Flash memory에서 일어나는 현상 중 하나인 DCP와 NLSB의 TCAD와 SPICE를 비교하는 방식으로 진행되었다. 그 결과, DCP와 NLSB가 발생했을 때 TCAD와 SPICE, 두 simulation의 channel potential data가 매우 유사한 값을 갖는 것을 확인했다. 이러한 이유로 본 논문에서는 빠르고 효율적인 3D NAND Flash memory 연구를 위한 SPICE 기반 compact modeling이 제안되었다. SPICE는 별도의 structure file이 필요하지 않고 simulation 시간이 대략 수 초 정도로 simulation에 약 1~2시간 소요되는 TCAD보다 훨씬 짧다. 따라서 같은 structure와 simulation 조건을 갖는 3D NAND Flash memory에서 발생하는 다양한 문제를 해결하는 데 있어서 더 빠르고 효율적인 연구를 기대할 수 있다.

References

[1] Y. Kim, J. G. Yun, S. H. Park, W. Kim, J. Y.

Seo, M. Kang, K. C. Ryoo, J. H. Oh, J. H. Lee, H. Shin, and B. G. Park, "Three-dimensional NAND Flash architecture design based on single-crystalline stacked array," *IEEE Trans. Electron Devices*, vol.59, no.1, pp.35-45, 2012.

DOI: 10.1109/TED.2011.2170841

[2] Y. Kim, M. Kang, S. H. Park, and B. G. Park, "Three-dimensional NAND Flash memory based on single-crystalline channel stacked array," *IEEE Electron Device Letters*, vol.34, no.8, pp.990-992, 2013. DOI: 10.1109/LED.2013.2262174

[3] M. K. Jeong, S. M. Joe, B. S. Jo, H. J. Kang, J. H. Bae, K. R. Han, E. Choi, G. Cho, S. K. Park, B. G. Park, and J. H. Lee, "Characterization of traps in 3-D stacked NAND Flash memory devices with tube-type poly-Si channel structure," *IEEE International Electron Devices Meeting*, pp.9.3.1-9.3.4, 2012.

DOI: 10.1109/IEDM.2012.6479010

[4] M. Kang, I. H. Park, I. J. Chang, K. Lee, S. Seo, B. G. Park, and H. Shin, "An accurate compact model considering direct-channel interference of adjacent cells in sub-30-nm NAND Flash technologies," *IEEE Electron Device Letters*, vol.33, no.8, pp.1114-1116, 2012. DOI: 10.1109/LED.2012.2201442

[5] M. Park, K. Kim, J. H. Park, and J. H. Choi, "Direct field effect of neighboring cell transistor on cell-to-cell interference of NAND Flash cell arrays," *IEEE Electron Device Letters*, vol.30, no.2, pp.174-177, 2008.

DOI: 10.1109/LED.2008.2009555

[6] Y. Kim and M. Kang, "Down-coupling phenomenon of floating channel in 3D NAND Flash memory" *IEEE Electron Device Letters*, vol.37, no.12, pp.1566-1569, 2016. DOI: 10.1109/LED.2016.2619903

[7] M. Kang and Y. Kim, "Natural local self-boosting effect in 3D NAND Flash memory," *IEEE Electron Device Letters*, vol.38, pp.1236-1239, 2017. DOI: 10.1109/LED.2017.2736541

[8] Silvaco, Inc., "Atlas User's Manual, Silvaco Version. 5.19.20.", http://www.silvaco.com/products/tcad/device_simulation/atlas/atlas.html