

CTF-F 구조를 가진 3D NAND Flash Memory에서 Gate Controllability 분석

The Analysis of Gate Controllability in 3D NAND Flash Memory with CTF-F Structure

김 범 수*, 이 종 원*, 강 명 곤*

Beomsu Kim*, Jongwon Lee*, Myounggon Kang*

Abstract

In this paper, we analyzed the gate controllability of 3D NAND Flash Memory with Charge Trap Flash using Ferroelectric (CTF-F) structure. HfO_2 , a ferroelectric material, has a high- k characteristic besides polarization. Due to these characteristics, gate controllability is increased in CTF-F structure and on/off current characteristics are improved in Bit Line(BL). As a result of the simulation, in the CTF-F structure, the channel length of String Select Line(SSL) and Ground Select Line(GSL) was 100 nm, which was reduced by 33% compared to the conventional CTF structure, but almost the same off-current characteristics were confirmed. In addition, it was confirmed that the inversion layer was formed stronger in the channel during the program operation, and the current through the BL was increased by about 2 times.

요 약

본 논문은 Charge Trap Flash using Ferroelectric(CTF-F) 구조를 가진 3D NAND Flash Memory gate controllability에 대해 분석했다. Ferroelectric 물질인 HfO_2 는 polarization 이외에도 high- k 라는 특징을 가진다. 이러한 특징으로 인해 CTF-F 구조에서 gate controllability가 증가하고 Bit Line(BL)에서 on/off 전류특성이 향상된다. Simulation 결과 CTF-F 구조에서 String Select Line(SSL)과 Ground Select Line(GSL)의 채널길이는 100 nm로 기존 CTF 구조에 비해 33% 감소했지만 거의 동일한 off current 특성을 확인했다. 또한 program operation에서 channel에 inversion layer가 더 강하게 형성되어 BL을 통한 전류가 약 2배 증가한 것을 확인했다.

Key words : 3D NAND Flash Memory, Ferroelectric, Polarization, HfO_2 , high- k

* Dept. of Electronics Engineering, Korea National University of Transportation

★ Corresponding author

E-mail : mgkang@ut.ac.kr, Tel : +83-043-849-1738

※ Acknowledgment

This work was supported in part by the Institute of Information and Communications Technology Planning and Evaluation (IITP) funded by the Korea government (MSIT) under Grant 2021-0-01764 and in part by the MOTIE (Ministry of Trade, Industry & Energy (10085645) and KSRC (Korea Semiconductor Research Consortium) support program for the development of the future semiconductor device and in part by Korea Institute for Advancement of Technology (KIAT) grant funded by the Korea Government (MOTIE) (N000P0008500, The Competency Development Program for Industry Specialist).

Manuscript received Nov. 17, 2021; revised Dec. 24, 2021; accepted Dec. 29, 2021.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

기존의 2D NAND 구조에서 cell 적층 기술을 통해 비약적인 발전을 이룬 3D NAND flash memory는 현재 가장 각광받고 있는 memory device이다 [1-7]. 현재는 3D NAND의 집적도를 증가시켜 소자의 크기를 축소시키기 위해 Core Under Array (CUA)와 같이 NAND Array 최적화를 위한 연구 개발이 지속되고 있다[8]. NAND flash memory에서 data 신뢰성은 가장 중요한 문제들 중 하나이다. 동작 및 보관 과정에서 data가 손실될 경우 심각한 문제를 초래할 수 있기 때문이다. 읽기/쓰기 과정에서 선택 Word Line(WL)에 인가되는 bias는 인접 cell 또는 inhibit string cell의 V_T 에 영향을 줄 수 있다[9, 10]. 이러한 문제들은 대부분 NAND flash memory의 동작 특성을 개선하는 것으로 극복해낼 수 있다. 그리고 이를 위한 노력은 물질 및 구조적인 부분에서도 지속되고 있다[11-13]. HfO_2 는 ferroelectric 물질이라는 부분에서 polarization을 통해 channel potential에 영향을 줄 수 있다. 또한 HfO_2 는 high-k 물질로 분류되어 Short Channel Effect(SCE) 중 하나인 gate controllability 문제를 개선할 수 있다. 특히 기존 CTF 구조에서 blocking oxide 부분이 ferroelectric 물질인 HfO_2 로 대체된 CTF-F 구조에서는 설계상 SSL, GSL 하단부의 blocking oxide까지도 HfO_2 로 대체되어 있어 SSL, GSL의 동작 특성까지 개선할 수 있다. 이는 SSL, GSL 트랜지스터의 gate length 축소를 통한 집적도 증가 및 gate controllability 증가로 이어진다. 이는 소자 동작 과정에서 각 gate에서 흐르는 전류량을 통해 확인할 수 있다. 즉 각 gate들이 on/off 전류를 훌륭하게 통제해 정확한 동작을 수행한다는 것은 gate controllability의 증가를 의미한다. 이에 본 논문은 BL을 통해 흐르는 on/off current와 SSL 하단 inversion layer를 중심으로 CTF-F 구조 및 CTF 구조에서 ferroelectric 물질에 의한 gate controllability의 차이를 분석했다.

II. 본론

1. CTF-F, CTF 구조설정

그림 1은 Technology Computer Aided Design (TCAD) simulation에 사용된 CTF-F 구조와 CTF 구조의 SSL 측 단면도이다. CTF-F와 CTF의 차

이는 O/N/O(Oxide/Nitride/Oxide) 구조가 O/N/F(Oxide/Nitride/Ferroelectric)로 변경되었다. O/N/O와 O/N/F 구조의 두께는 각각 4/8/8 nm로 설정했다. CTF-F 구조의 경우 SSL과 GSL의 gate length를 100 nm로 설정했으며 CTF 구조의 경우 150 nm로 설정하여 같은 수준의 off current가 흐를 수 있도록 설정했다. 선택 WL은 16단 NAND string의 중간에 있는 WL인 WL8으로 설정했다. 표 1은 그림 1 (a)에 사용된 물질인 HfO_2 의 ferroelectric parameter이다. 표 2는 simulation에 사용된 nitride trap parameter이다. 표 3은 simulation에 사용된 bias condition이다. V_{PASS} , V_{CC} 는 동일하게 설정되었으며 program operation 이후 WL8의 V_T 를 2 V로 동일하게 설정해 주기 위해 O/N/F 구조에서 V_{PGM} 13 V, T_{PGM} 3 μ s O/N/O 구조에서 V_{PGM} 20 V, T_{PGM} 7 μ s를 사용했다. O/N/F 구조의 경우 HfO_2 의 polarization과 high-k라는 특징으로 인해 낮은 동작전원으로도 동일한 기능을 수행할 수 있어 기존의 O/N/O 구조보다 7 V 더 낮은 13 V의 V_{PGM} 과 7 μ s보다 짧은 3 μ s의 T_{PGM} 을 사용했다.

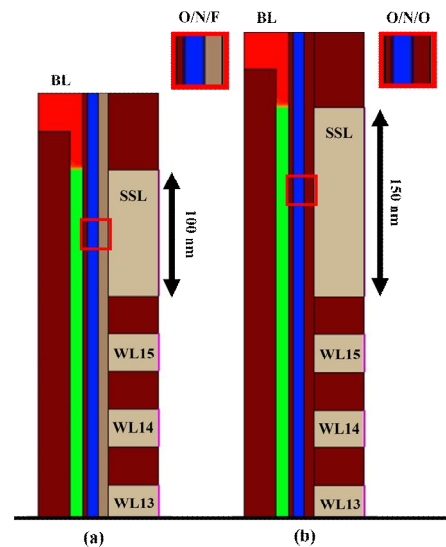


Fig. 1. Schematic cross section of (a) CTF-F structure and (b) CTF structure used in TCAD simulation. 그림 1. TCAD simulation에 사용된 (a) CTF-F 구조와 (b) CTF 구조의 단면도

Table 1. Ferroelectric parameter of HfO_2 in Fig. 1. (a). 표 1. 그림 1. (a)에서 HfO_2 의 Ferroelectric parameter

Parameter	Value
Pr(Remanent Polarization)	25 μ C/cm ²
Ps(Saturation Polarization)	30 μ C/cm ²
Ec(Coercive Electric Field)	2 MV/cm

Table 2. Trap parameter of nitride in Fig. 1. (a), (b).

표 2 그림 1. (a), (b)에서 nitride의 trap parameter

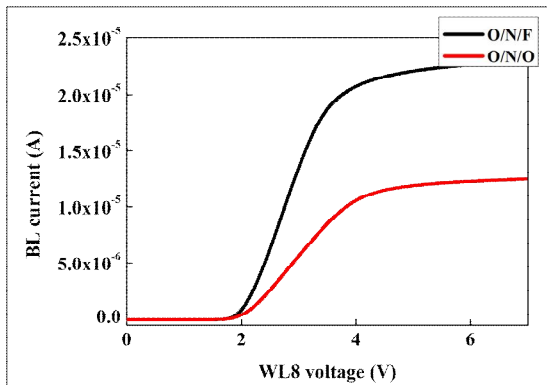
Parameter	Value
Relative permittivity	7.5
Band gap	5 eV
Electron trap energy (from conduction band)	1.0 eV
Electron trap capture-cross-section	$1 \times 10^{-14} \text{ cm}^2$
Nitride electron trap density	$5 \times 10^{20} \text{ cm}^{-3}$

Table 3. Bias condition used in TCAD simulation.

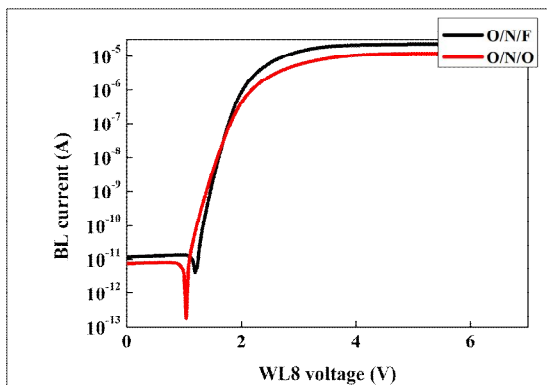
표 3. TCAD simulation에 사용된 bias condition

	V_{PGM}	V_{PASS}	V_{CC}	T_{PGM}
O/N/F	13 V	6 V	2.4 V	3 μs
O/N/O	20 V			7 μs

2. On/Off current 특성 분석



(a)



(b)

Fig. 2. TCAD simulation results for (a) Id-Vg curve measured after applying 13 V, 3 μs in O/N/F structure, 20 V, 7 μs in O/N/O structure and (b) Log scale.

그림 2. TCAD simulation 결과 (a) O/N/F 구조에서 13 V, 3 μs O/N/O 구조에서 20 V, 7 μs 를 인가한 이후 측정된 Id-Vg curve, (b) Log scale

그림 2. (a)는 WL8의 V_T 가 2 V 수준으로 program 된 두 데이터를 비교한 그래프이다. 같은 V_T 로 설정되었지만 O/N/F 구조에서 2배에 해당하는 BL current가 흐르는 것을 확인했다. 그림 2. (b)는 그림 2. (a)의 BL current를 log scale로 변환한 그래프이다. O/N/F 구조에서 2배 더 많은 on current가 흘렀던 것에 비해 off current는 O/N/F, O/N/O 두 구조에서 거의 동일했다.

3. Inversion layer 비교 분석

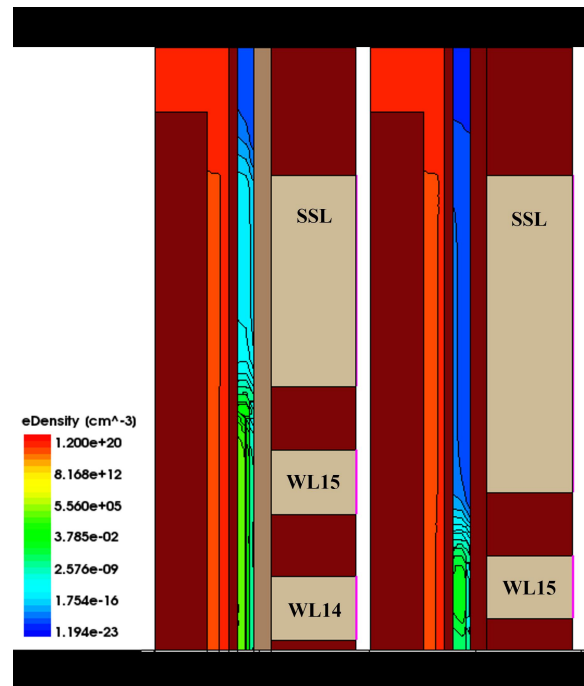


Fig. 3. TCAD simulation results for In (a) O/N/F structure and (b) O/N/O structure, electron density of SSL side during program pulse application.

그림 3. TCAD simulation 결과 (a) O/N/F 구조와 (b) O/N/O 구조에서 program pulse 인가 중 SSL 측의 전자농도

그림 3은 O/N/F 구조와 O/N/O 구조에서 WL8에 program pulse가 인가되는 순간의 SSL쪽의 전자 농도를 측정된 것이다. 두 구조를 비교하였을 때, O/N/O 구조보다 O/N/F 구조에서 channel에 더 큰 inversion layer를 형성했다.

III. 결론

CTF-F의 O/N/F 구조에서는 blocking layer에 ferroelectric 물질인 HfO_2 가 사용되었다. HfO_2 는 polarization을 통해 inversion layer를 쉽게 형성할

수 있다는 특징과 높은 유전율을 가지는 high-k 특성을 가진다. 이는 SSL, GSL 측면에서 분석하였을 때 HfO₂에 의한 gate controllability가 증가로 이어진다. 그 결과 SSL, GSL에 기존 O/N/O 기준 150 nm에서 O/N/F 기준 100 nm로 더 짧은 channel length를 적용하여 simulation하였고 기존과 동일한 off current 및 우수한 on current 특성을 확인했다. CTF-F 구조를 사용할 시 CTF 구조 대비, SSL, GSL의 scaling down을 통해 소자의 집적도를 향상시킬 수 있다.

References

- [1] Y. Jeong, B. S-J and M. Kang, "Study of Program Scheme using Ferroelectric Material in 3D NAND Flash Memory," *ICEIC*, pp.19-22 pp. 360-362, 2020. DOI: 10.3390/electronics10010038
- [2] I. Ham, Y. Jeong, S-J. Baik and M. Kang, "Ferroelectric Polarization Aided Low Voltage Operation of 3D NAND Flash Memories," *Electronics*, Vol.10, no.1, p.38. 2021. DOI: 10.3390/electronics10010038
- [3] Y. Seo, H.-M. An, M.-Y. Song, T.-G. Kim, "Charge trap flash memory using ferroelectric materials as a blocking layer," *Appl. Phys. Lett.* Vol.100, p.173507, 2012. DOI: 10.1063/1.4705411
- [4] M. Kang, K. Lee, D.-H. Chae, B.-G. Park, H. Shin, "The compact modeling of channel potential in sub-30nm NAND flash cell string," *IEEE Electron Device Lett.* 33, pp.321-323. 2012. DOI: 10.1109/LED.2011.2179283
- [5] Y. Park, J. Lee, S.-S. Cho, G. Jin, E. Jung, "Scaling and reliability of NAND flash devices," *In Proceedings of the 2014 IEEE International Reliability Physics Symposium*, pp.1-5, 2014. DOI: 10.1109/IRPS.2014.6860599
- [6] M. Kang, I. Park, I. Chang, K. Lee, S. Seo, B.-G. Park, H. Shin, "An accurate compact model considering direct-channel in-terference of adjacent cells in sub-30-nm NAND flash technologies," *IEEE Electron Device Lett.* Vol.33, pp.1114-1116. 2012. DOI: 10.1109/LED.2012.2201442
- [7] Y. Kim, M. Kang, "Predictive modeling of channel potential in 3-D NAND flash memory," *IEEE Trans. Electron Devices* Vol.61, pp.3901-3904, 2014. DOI: 10.1109/TED.2014.2355918
- [8] Y. Li, "3D NAND Memory and Its Application in Solid-State Drives: Architecture, Reliability, Flash Management Techniques, and Current Trends," *in IEEE Solid-State Circuits Magazine*, vol.12, no.4, pp.56-65, 2020. DOI: 10.1109/MSSC.2020.3021841
- [9] Y. Jeong, I. Ham, S-J. Baik and M. Kang, "Optimal dummy word line condition to suppress hot carrier injection phenomenon due to the natural local self-boosting effect in 3D NAND flash memory," *Jpn. J. Appl. Phys*, Vol.59, pp.1-5, 2020. DOI: 10.35848/1347-4065/ab6b77
- [10] J.-M. Sim, M. Kang, Y.-H. Song, "A New Read Scheme for Alleviating Cell-to-Cell Interference in Scaled-Down 3D NAND Flash Memory," *Electronics*, Vol.9, 1775, 2020. DOI: 10.3390/electronics9111775
- [11] S. Choi, C. Choi, J. K. Jeong, M. Kang and Y-H. Song, "A Novel Structure and Operation Scheme of Vertical Channel NAND Flash with Ferroelectric Memory for Multi String Operations," *Electronics*, Vol.10, no.1, p.32. 2021. DOI: 10.3390/electronics10010032
- [12] J-M. Sim, B-S. Kim, I-H. Nam and Y-H. Song, "Gate All around with Back Gate NAND Flash Structure for Excellent Reliability Characteristics in Program Operation," *Electronics*, Vol.10, no.15, p.1828. 2021. DOI: 10.3390/electronics10151828
- [13] S. Choi, C. Choi, J. K. Jeong, M. Kang, and Y-H. Song, "Floating Filler (FF) in an Indium Gallium Zinc Oxide (IGZO) Channel Improves the Erase Performance of Vertical Channel NAND Flash with a Cell-on-Peri (COP) Structure," *Electronics*, Vol.10, no.13, p.1561, 2021. DOI: 10.3390/electronics10131561