

# 병렬 연결된 두 개의 Interleaved CrM Boost PFC 컨버터의 부하 공유 방법

김문영<sup>†</sup>, 강신호<sup>1</sup>, 강정일<sup>1</sup>, 한종희<sup>1</sup>

## A Load Sharing Method of Parallel-connected Two Interleaved CrM Boost PFC Converters

Moon-Young Kim<sup>†</sup>, Shinho Kang<sup>1</sup>, Jeong-Il Kang<sup>1</sup>, and Jonghee Han<sup>1</sup>

### Abstract

Operation of the interleaved Boost PFC converter in Critical Conduction Mode (CrM) shows the advantages of high efficiency and good EMI characteristics owing to the valley switching of FET. However, when it is designed for a highly pulsating load, operation at a relatively high frequency is inevitable at non-pulsating typical load condition, resulting in efficiency degradation. Moreover, the physical size of the inductor becomes problematic because of the nature of the CrM operation, where the inductor peak current is about two times the inductor average current, thereby requiring high DC-bias characteristics, which is worse when the output power is high. In this study, a new parallel driving method of two sets of interleaved boost PFC converters for highly pulsating high-power application is proposed. The proposed method does not require any additional load-sharing controller, resulting in high efficiency and smaller inductor size.

**Key words:** CrM (Critical conduction Mode), Interleaved boost PFC converter, Load sharing

### 1. 서 론

디스플레이 기술의 발달로 TV패널의 대형화가 가능해짐에 따라 많은 TV 제조업체에서 큰 화면을 가지는 TV를 출시하고 있으며, ‘거거익선’이라는 말이 생길 정도로 대형인치 TV가 소비자에게 각광받고 있다. TV 화면이 커짐에 따라서 필연적으로 TV가 소비하는 전력은 점점 커지고 있으며, 높은 휘도를 가지는 100인치급 8K 해상도 화면을 위해서는 1kW급의 파워보드가 필요하며 높은 명암비를 위해서 순간적으로 필요한 Peak 부하는 1.5kW가 넘어가게 된다. 일반적으로 1kW 이상을 전달하는 PFC 컨버터의 경우 입력 전류가 매우 커지기 때문에 주로 연속전류 모드(Continuous Current Mode,

CCM)으로 설계하지만 CCM 설계는 아래와 같은 단점을 가진다<sup>[1]</sup>. 첫 번째, 높은 인덕턴스가 필요하고 이에 따라 인덕터의 사이즈가 매우 커진다. 두 번째, FET의 Hard switching 및 다이오드 Reverse recovery current로 인하여 스위칭 손실이 매우 높아 시스템의 효율이 떨어지며 반도체 소자 발열 저감을 위해서 방열판 사이즈가 커지게 된다. 마지막으로, 앞서 언급한 Hard switching으로 발생하는 Ringing으로 인하여 EMI 특성이 좋지 못하다. 반면, 중용량에서 주로 사용되는 임계 모드(Critical conduction Mode, CrM)는 주파수 변동을 통한 Valley switching 동작으로 인하여 높은 효율 및 양호한 EMI 특성을 가지며 CCM 대비 비교적 작은 인덕터 사이즈로 구현이 가능하다<sup>[1]</sup>. 하지만, CrM 제어 방식에서는 평균 전류값의 2배 정도의 큰 Peak 전류값을 가지기 때문에 충분히 큰 인덕터 DC-bias를 확보해야 한다. 특히 정격부하 대비 매우 큰 Peak 부하가 필요한 경우에 이를 대응하기 위해서는 매우 큰 DC-bias로 인하여 인덕터가 비이상적으로 커지게 되며, 더욱이 CrM 동작은 소비전력이 높아지면 주파수가 낮아지는 주파수가 변 방식이어서 Peak 부하에서도 가청주파수 대역보다 높은 주파수로 동작할 수 있게 설계되어야 하므로 정격

Paper number: TKPE-2021-26-1-8

Print ISSN: 1229-2214 Online ISSN: 2288-6281

<sup>†</sup> Corresponding author: moon.y.kim@samsung.com, Visual Display Business, Samsung Electronics Co., Ltd. Tel: +82-31-277-0207

<sup>1</sup> Visual Display Business, Samsung Electronics Co., Ltd. Manuscript received Oct. 26, 2020; revised Nov. 20, 2020; accepted Dec. 5, 2020

— 본 논문은 2020년 전력전자학술대회 우수추천논문임

소비전력에서 비교적 높은 주파수로 동작하게 되어 효율이 낮아진다. 이렇게 Peak 부하가 클 경우에는 컨버터를 병렬 구동하여 이를 보완할 수 있으며, 각 컨버터간의 출력 전류를 배분해주는 Load share IC가 추가로 필요하다<sup>[2]-[9]</sup>. Load share IC는 전원장치의 출력전류를 sensing 하여 소비전력을 배분하기 때문에 초기 기동 및 Load가 변할 때 정상상태에 도달할 때까지 한쪽으로 부하가 쏠릴 수도 있어 피크부하의 배분이 효율적이지 못하며, Boost PFC처럼 출력전압이 높을 경우 High side 전류 센싱의 어려움이 있다<sup>[2]-[9]</sup>.

따라서 본 논문에서는 Peak 부하가 큰 파워보드에서 Load share IC를 추가로 사용하지 않고 인덕터 사이즈 저감 및 효율 향상을 위하여, 임계모드에서 동작하는 두 개의 Interleaved PFC 컨버터의 병렬 구동 구현하는 방법에 대해서 이야기하고자 한다.

## 2. 제안하는 Interleaved CrM PFC 컨버터 병렬 구동

### 2.1 제안하는 병렬 구동 회로 구성

그림 1은 제안하는 컨버터의 병렬 연결 회로도이며 Interleaved CrM boost PFC 2블록으로 구성되어 있다. 본 논문에서 사용한 제어 IC는 TI社의 UCC28064이다. UCC28064는 Constant On-time 제어를 통하여 제어루프에 입력전압 센싱 및 연산 없이 간단하게 PF 및 THD를 만족시킬 수 있다<sup>[10]</sup>. Mater 블록은 출력전압을 Feedback 받아 출력전압 Regulation을 위해 COMP단 전압을 변동하여 FET Gate의 On-time을 조절한다<sup>[10]</sup>. Slave 블록은 출력전압을 직접 Feedback 받지 않고 그림 1과 같이 Master IC와 Slave IC의 COMP pin을 연결하여 Master 블록에 제공하는 On-time을 공유받는다. Slave 모듈의 Feedback 비활성화를 위해서 Slave IC의 VSENSE 핀과 VREF 핀을 직접 연결 혹은 그림 1의 D1와 같이 다이오드 결선을 한다. 각 IC는 Master와 Slave 인덕터의 ZCD센서를 통하여 개별적으로 OFF 동작을 수행한다.

일반적인 PFC IC는 Feedback 핀 단락으로 인한 출력 전압 상승을 방지하기 위해 일정한 값 이상이 되어야 동작을 하도록 Threshold값을 가지기 때문에 Slave IC 기동을 위해서 Slave VSENSE단에 Bias 회로가 필요하며 이는 그림 1과 같이 저항과 다이오드 D2를 통하여 Vcc 전압을 이용하여 Bias 전압을 공급해준다. Master 단과 Slave단은 On-time만 공유하되 각자 개별 컨버터는 독립적인 OVP 및 OCP 동작을 감지하여 보호 동작을 시행한다. 보호 동작이 되면 COMP단 전압을 0V 수준으로 끌어내리기 때문에 Master 및 Slave가 모두 동시에 동작을 멈추게 되어 한쪽만 동작하여 한쪽이 부하를 모두 부담하는 현상을 막을 수 있다.

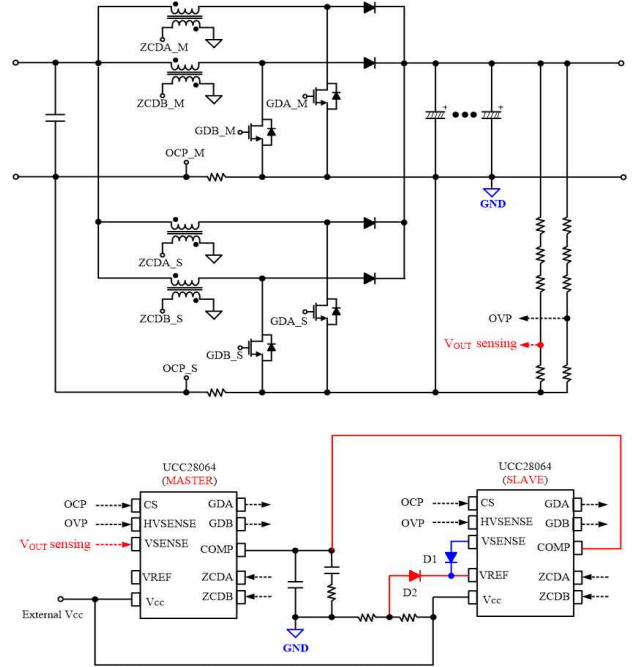


Fig. 1. Proposed parallel implementation of two interleaved CrM PFC converters.

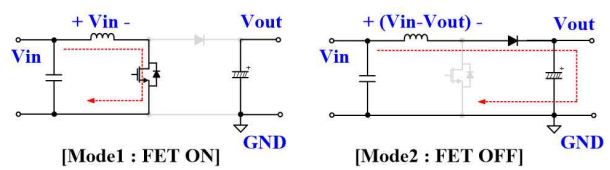


Fig. 2. Equivalent circuits of boost converter according to FET ON/OFF states.

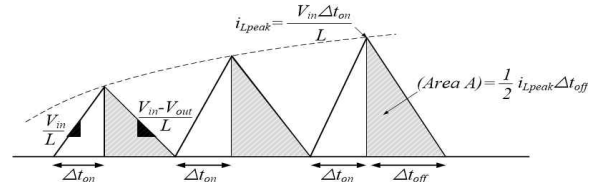


Fig. 3. Inductor current waveform and powering energy to output

### 2.2 병렬 구동 원리

그림 2는 Boost converter의 FET ON/OFF 동작에 따른 등가회로이며, 각 인덕터에 인가되는 전압을 보여준다. 인덕터에 인가된 전압에 따라서 인덕터 전류는 증가 및 감소를 하게 되며 CrM 동작 시 인덕터 전류 및 출력력으로 전달되는 전력량을 도식화하면 그림 3과 같다. 이때 인덕터의 피크 전류와 OFF 구간의 시간은 아래 수식 같다.

$$i_{peak} = \frac{V_{in} \Delta t_{on}}{L} \quad (1)$$

$$\Delta t_{off} = L \frac{\Delta i_L}{V_L} = \frac{V_{in}}{V_{out} - V_{in}} \Delta t_{on} \quad (2)$$

출력 다이오드를 통하여 출력으로 전달되는 전력량은 그림 3의 빗금 친 부분의 넓이에 비례하며 그 값은 아래 식과 같다.

$$P_{out} = (Area A) \times f = \frac{1}{2} i_{Lpeak} \Delta t_{off} f = \frac{(V_{in} \Delta t_{on})^2}{2L(V_{out} - V_{in})} \quad (3)$$

제안하는 방식은 연결된 두 모듈이 동일한 입력 전압 값과 출력전압을 가지기 때문에 출력으로 전달되는 전력량은 식 (3)과 같이 Inductance에 반비례하며 On-time의 제곱에 비례하는 값을 가진다. 제안하는 방식은 서로 On-time을 공유하기 때문에 자연스럽게 전달되는 전력량이 같아지게 되므로 특별한 제어 및 추가 IC 없이 부하공유 동작을 수행할 수 있다. 물론, 각 모듈의 Inductance 크기에 반비례하여 전달되는 에너지의 양이 달라지지만, 전달되는 에너지의 양은 On-time의 제곱에 비례하기 때문에 인덕터 크기의 영향보다 On-time의 영향이 더 크며 인덕턴스의 tolerance는 인덕터 코어 선정 및 권선방법이 정해지면 미리 예측 가능한 범위의 오차이기 때문에 이를 고려하여 인덕턴스 오차만큼 마진 설계로 대응이 가능하다.

### 2.3 설계 시 고려 사항

그림 4는 UCC28064의 Protection logic block이며 그림 5와 6은 Slave단 Feedback 단자를 비활성화시키는 방법 및 그 등가회로이다. IC는 이상 동작을 감지하게 되면 Gate를 즉시 멈추고 COMP단의 전압을 방전시키며 보호 동작을 하게 되는데, COMP단 전압이 20mV 이하가 되면 COMP Discharge Latch를 reset하여 정상상태로 돌아오게 된다<sup>[10]</sup>. 그림 5와 같이 단순히 VSENSE 단과 VREF단을 직접 연결하게 되면 Slave IC 내부에 Transconductance( $g_m$ ) Offset으로 인하여 Comp단의 Positive offset 전류를 흘릴 수 있다. 이러한 Positive offset 전류가 COMP에 Offset 전압을 만들어 20mV 이상을 유지하여 IC 재기동을 방해할 수 있다. 그림 6과 같이 Diode를 통한 연결할 경우에는  $V_{cc}$  전압을 통하여 다이오드에 전류를 흘려주게 되면 IC  $g_m$  입력에 항상  $-V_F$  전압이 인가되어 일정한 Negative offset 전류를 흘릴 수 있어 위에서 언급한 두 IC의 COMP단자가 묶임으로써 발생하는 이상 동작을 방지할 수 있다.

### 2.4 비대칭 ZCD 제어

CrM PFC에서 인덕터의 ZCD 권선 전압을 통하여 FET Drain-Source 전압을 간접적으로 감지하며 이 전압이 감소하여 Valley 부근에서 스위칭 하여 스위칭 손실을 줄일 수 있다. ZCD 권선에 연결된 직렬저항 크기에 따라서 실제 IC 핀에 인가되는 전압 크기가 지연되며 그 크기는 실제 구현된 파워보드 파라미터에 맞게 적절하게 선정된다. 따라서, Master 및 Slave 모듈간의 ZCD 직렬 저항값 차이를 주면 그림 7과 같이 각 모듈

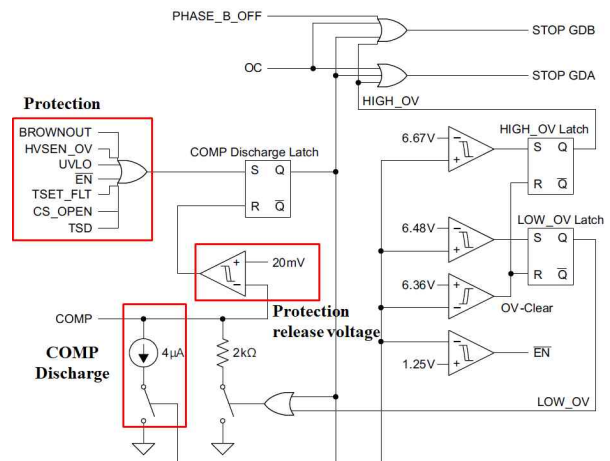


Fig. 4. Fault logic diagram of UCC28064<sup>[11]</sup>.

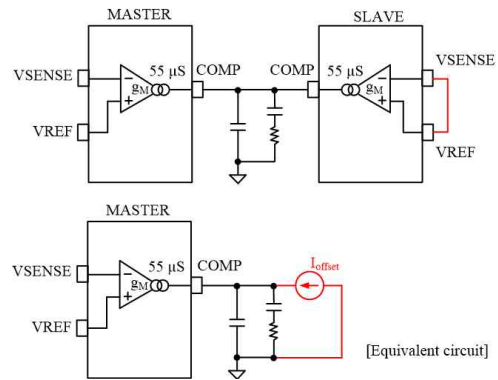


Fig. 5. Disable feedback of Slave module with direct connection and its equivalent circuit.

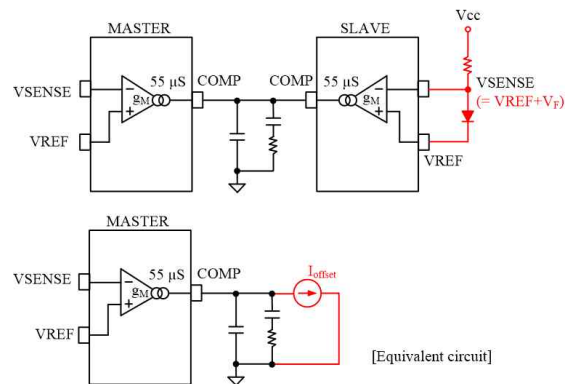


Fig. 6. Disable feedback of Slave module with diode connection and its equivalent circuit

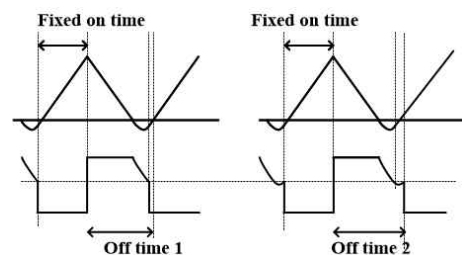


Fig. 7. Asymmetric off time control.

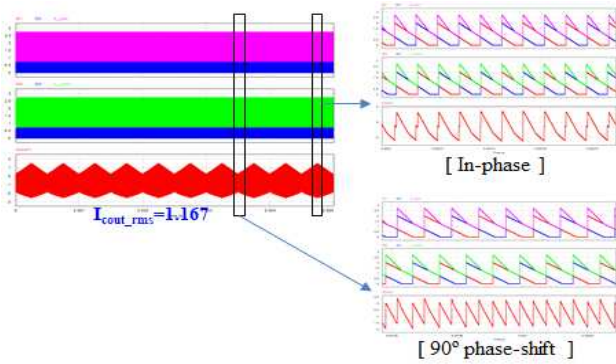


Fig. 8. Simulation result of asymmetric off time control.

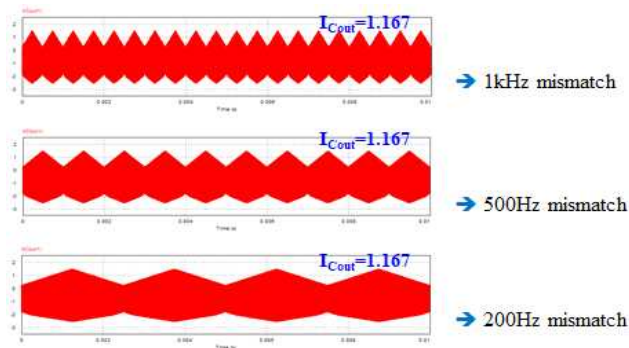


Fig. 9. Simulation result according to frequency mismatch.

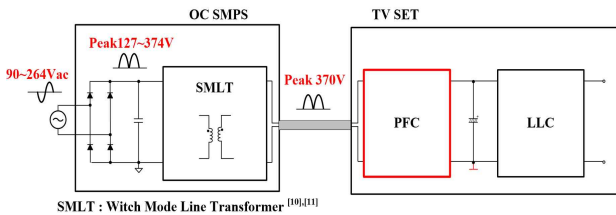


Fig. 10. Power structure of target application.

간 ZCD delay 차이를 가져 Off-time을 서로 다르게 설계 할 수 있다. 두 모듈은 서로 On-time을 공유하여 동일한 값을 가지기 때문에 Off-time 변화는 미세한 주파수 변동을 만들 수 있다. 위와 같은 방법으로 Master와 Slave 간의 완벽한 Phase 구동은 불가능하지만 주파수 변동으로 인하여 일부 영역에서는 리플이 서로 상쇄되어 입/출력에 흐르는 RMS current를 감소시킬 수 있다. 그림 8과 9는 부하공유 동작을 잘 되어 Master와 Slave 모듈이 같은 출력전류를 가질 때, 두 모듈의 미세 주파수 차이에 따른 PSIM 시뮬레이션 결과이다. 그림 8과 같이 주파수 미세 차이는 동위상과 90도 위상 차이를 반복하면서 동작함을 알 수 있고 90도 위상 차이 시 4CH interleaving 효과로 인하여 RMS값이 작아짐을 알 수 있으며, 그림 9는 어긋난 주파수 차이 크기에 무관하게 항상 동일한 효과를 가짐을 확인할 수 있다. 시뮬레이션 결과 출력캡으로 흐르는 RMS 전류값이 약 19% 정도 감소되며 이는 전해캡 수명에 유리하다.

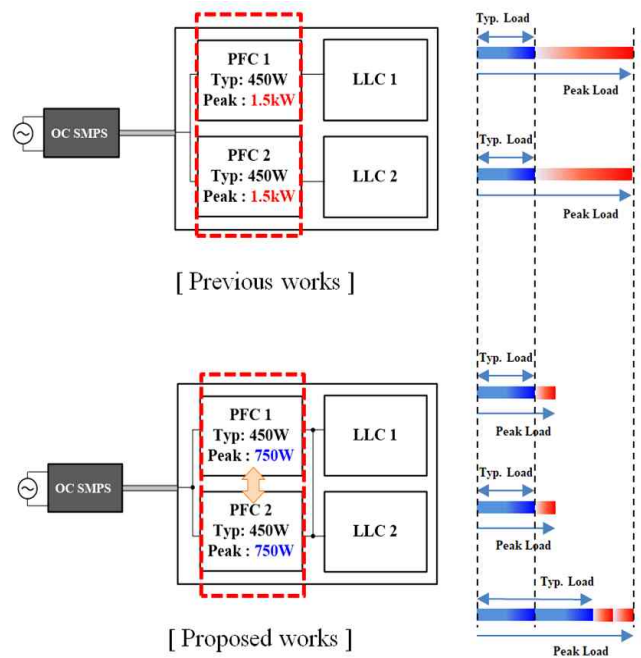


Fig. 11. PFC design considering peak power.

### 3. 실험 결과

#### 3.1 시스템 구성

그림 10은 제안하는 회로가 적용된 TV 파워 구성도이다. 전력 공급을 위한 AC 코드와 외부 영상 신호는 모두 OC Box(One Connection Box)에 연결되며 영상 신호와 전력은 투명색의 케이블을 통하여 동시에 TV 세트로 전달된다. 이때, OC Box의 크기 저감을 위하여 OC Box내 SMPS는 절연된 전파 정류된 전압 출력을 가지는 Switch mode line transformer(SMLT)로 구성되며 PF와 THD 규제를 만족시키기 위한 PFC 회로는 SET 내부에 위치하고 있다<sup>[11],[12]</sup>. 그림 11은 피크파워를 고려한 TV 내부 전력단 구성이다. 대형 TV의 경우 정격 소비전력이 크기 때문에 2개의 PFC-LLC단으로 나누어 설계되어 있으며, 일부 영역에서 순간적으로 밝은 화면을 동작시키기 위해서 각 PFC-LLC단은 매우 큰 피크파워를 가질 수 있도록 설계된다. 하지만 그림 11의 아래 그림처럼 제안하는 방식을 적용하여 부하공유가 가능하도록 PFC를 병렬 연결하게 되면 각 파워가 부담하는 피크파워가 현저히 줄어들게 되어 보다 효율적인 설계가 가능하다.

#### 3.2 실험 결과

그림 12는 Master 및 Slave 블록의 소비전력별 인덕터 전류 파형이다. 그림과 같이 Master 블록의 인덕터 전류와 Slave 블록의 인덕터 전류의 모양 및 크기가 유사하며 각 컨버터가 Load share가 잘 이루어짐을 확인할 수 있다.

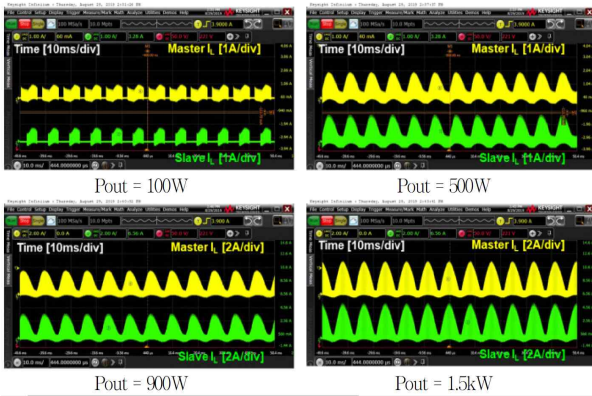


Fig. 12. Master / Slave inductor current (Steady state).

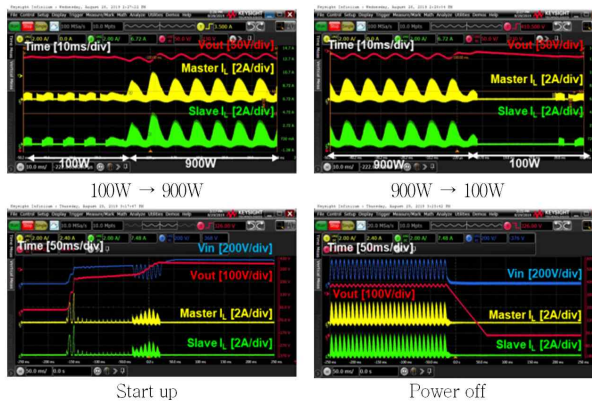


Fig. 13. Master / Slave key waveforms (Transient state).

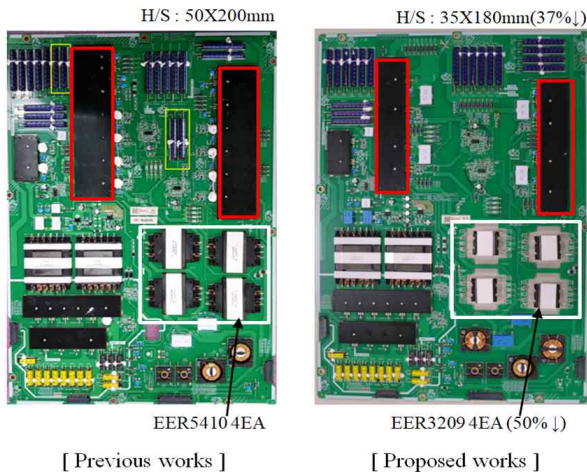


Fig. 14. Board comparison between previous and proposed works.

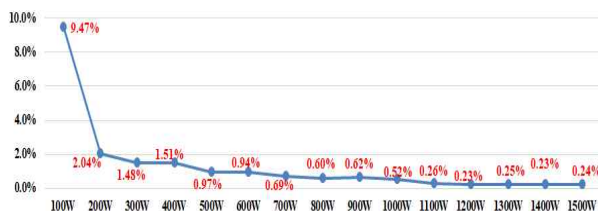


Fig. 15. Load deviation according to load conditions.

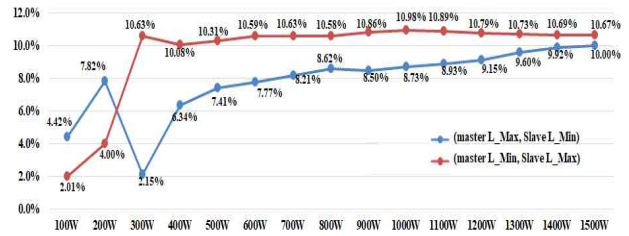


Fig. 16. Load deviation with Min / Max inductor sample ( $\pm 10\%$ ).

그림 13은 출력부하 변동, 초기 기동 및 OFF 동작 시 전류 파형이다. 그림 13과 같이 과도 상태에서도 인덕터 전류의 불평형 현상 및 이상 동작은 없이 Load share가 잘 이루어짐을 확인할 수 있다. 따라서 부하 불균형으로 발생하는 설계 마진을 최소화하여 반도체 소자 및 인덕터의 최적 설계가 가능하다. 그림 14는 제안하는 Load share 기법 적용 전/후 보드 사진이다. 부하 공유를 통하여 피크 부하를 줄일 수 있어 인덕터 크기가 감소 가능하며, 정상상태 동작 주파수를 낮출 수 있어 FET 개수 감소 및 H/S 축소가 가능하다. 또한 비대칭 ZCD 제어를 통하여 출력 Capacitor 개수 저감도 가능하다.

그림 15는 제안하는 부하 공유 방식을 적용하였을 경우의 부하별 Master 및 Slave의 출력 전류 편차를 보여 준다. 100W 이하에서는 Burst 동작에 의해서 편차가 9.47% 정도로 매우 크지만 부하가 커짐에 따라서 점점 편차가 작아짐을 알 수 있다. 부하가 큰 조건에서 정상적인 부하공유 동작이 더 중요하며, 상대적으로 낮은 부하에서의 편차는 크게 중요하지 않다.

그림 16은 Master 및 Slave 간의 인덕터 tolerance에 따른 출력 전류 편차이다. 파란색은 Master에 +10%의 인덕터 샘플을 적용하고 Slave에는 -10% 크기의 인덕터 샘플을 적용한 결과이며, 빨간색은 그 반대의 경우이다. 그림 15와 마찬가지로 부하가 증가할수록 두 모듈 간의 전류 편차는 줄어들며, 이는 단순 두 모듈 간의 인덕턴스 차이만큼 전류 차이를 보이고 있어 앞서 언급한 부하공유 특성을 잘 따름을 알 수 있다.

#### 4. 결 론

본 논문에서는 두 개의 Interleaved CrM PFC IC의 COMP단 전압 공유를 통하여 추가 Load share IC 및 출력 전류의 센싱 없이 Load share가 가능한 두 개의 Interleaved CrM Boost PFC 컨버터의 병렬 구성을 제안하였다. 실험 결과, 병렬 구동을 하여도 정상상태 동작 및 과도구간에서 설계값 이상의 출력전류의 불평형 없이 부하공유가 잘 이루어지기 때문에 반도체소자 및 인덕터 최적설계가 가능하므로 재료비를 절감할 수 있으며 보다 낮은 주파수에서 설계가 가능하기 때문에 효율 상승도 기대할 수 있다. 뿐만 아니라, 이론적으로는

2개의 병렬 구동뿐만 아니라 2개 이상의 복수 병렬 구동도 동일한 방법으로 구현이 가능하다.

## References

- [1] Infineon "Power factor correction (PFC) with XMC™," *Infineon Application Note*, Jul. 2016.
- [2] R. Giri, V. Choudhary, R. Ayyanar, and N. Mohan, "Common-duty-ratio control of input-series connected modular DC-DC converters with active input voltage and load-current sharing," *IEEE Transactions on Industry Applications*, Vol. 42, No. 4, pp. 1101-1111, Jul./Aug. 2006.
- [3] A. K. Panda, P. R. Mohanty, T. Penthia, and N. Patnaik, "Dual output interleaved PFC for alleviating mutual interference between loads during transients," in *2016 IEEE UPCon, Varanasi*, pp. 289-294, 2016.
- [4] A. K. Panda, P. R. Mohanty, T. Penthia, and N. Patnaik, "Dual output interleaved PFC for alleviating mutual interference between loads during transients," in *2016 IEEE Uttar Pradesh Section International Conference on Electrical, Computer and Electronics Engineering (UPCON), Varanasi*, pp. 289-294, 2016.
- [5] H. Li, H. Ma, J. Jiang, and X. Yang, "Passivity-based control of four-phase interleaved PFC based on EL model," in *Proceedings of The 7th International Power Electronics and Motion Control Conference, Harbin*, pp. 735-739, 2012.
- [6] G. Cao and H. Kim, "A novel critical-conduction-mode bridgeless interleaved boost PFC rectifier," in *2014 International Power Electronics Conference (IPEC-Hiroshima 2014-ECCE ASIA), Hiroshima*, pp. 2587-2592, 2014.
- [7] L. Meng, Y. Fang, and Y. Xing, "Current sharing control for boost PFC converters in parallel operation," in *2005 IEEE International Conference on Industrial Technology, Hong Kong*, pp. 502-507, 2005.
- [8] L. Meng, Y. Fang, Y. Xing, and D. Fu, "Novel control for boost PFC modules in parallel operation," in *2005 International Conference on Electrical Machines and Systems, Nanjing*, Vol. 2, pp. 1189-1193, 2005.
- [9] H. Kim, G. Seo, B. Cho, and H. Choi, "A simple average current control with on-time doubler for multiphase CCM PFC converter," in *IEEE Transactions on Power Electronics*, Vol. 30, No. 3, pp. 1683-1693, Mar. 2015.
- [10] IC Datasheet, "UCC28064 Natural Interleaving™ transition-mode PFC controller with high light-load efficiency," Application Note, 2017. [Online]. Available: <https://www.ti.com/product/UCC28064A>.

- [11] J. H. Kim, J. W. Yang, D. H. Jang, J. I. Kang, and S. K. Han, "High efficiency and small size switch mode line transformer (SMLT)," in *Transactions of the Korean Institute of Power Electronics*, Vol. 24, No. 4, pp. 237-243, Aug. 2019.
- [12] J. H. Kim, J. W. Yang, D. H. Jang, J. I. Kang, and S. K. Han, "High efficiency switch mode line transformer (SMLT) composed of load sharing dual modules," *The Transactions of the Korean Institute of Power Electronics*, Vol. 25, No. 3, pp. 188-194, Jun. 2020.

### 김문영(金文永)



1982년 8월 23일생. 2008년 경북대 전자전기컴퓨터학부 졸업. 2010년 한국과학기술원 전기 및 전자공학과 졸업(석사). 2014년 동 대학원 전기 및 전자공학과 졸업(공학박). 2014년~현재 삼성전자 영상디스플레이 사업부 개발팀 CL3.

### 강신호(姜信浩)



1983년 9월 2일생. 2009년 숭실대 전기공학부 졸업. 2011년 동 대학원 전기공학부 졸업(석사). 2011년~현재 삼성전자 영상디스플레이사업부 개발팀 CL3.

### 강정일(姜正一)



1973년 9월 1일생. 1995년 한국과학기술원 전기 및 전자공학과 졸업. 1997년 동 대학원 전기 및 전자공학과 졸업(석사). 2002년 동 대학원 전자전산학과 졸업(공학박). 2002년~2017년 삼성전자 영상디스플레이 사업부 개발팀 연구원. 2017년~현재 동 사업부 개발팀 Master.

### 한종희(韓宗熙)



1962년 3월 15일생. 1988년 인하대 전자공학과 졸업. 2007년~2011년 삼성전자 영상디스플레이 사업부 상무. 2011년~2013년 동 사업부 개발팀장(전무). 2013년~2017년 동 사업부 개발실장 겸 차세대 전략팀장(부사장). 2017년~현재 동 사업부 사업부장(사장).