

황화 암모늄을 이용한 $\text{Al}_2\text{O}_3/\text{HfO}_2$ 다층 게이트 절연막 트랜지스터 전기적 및 계면적 특성 향상 연구

김준규 · 김대현[†]

Improvement of the carrier transport property and interfacial behavior in InGaAs quantum well Metal-Oxide-Semiconductor Field-Effect-Transistors with sulfur passivation

Jun-Gyu Kim and Dae-Hyun Kim[†]

Abstract

In this study, we investigated the effect of a sulfur passivation (S-passivation) process step on the electrical properties of surface-channel $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ quantum-well (QW) metal-oxide-semiconductor field-effect transistors (MOSFETs) with S/D regrowth contacts. We fabricated long-channel $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ QW MOSFETs with and without $(\text{NH}_4)_2\text{S}$ treatment and then deposited 1/4 nm of $\text{Al}_2\text{O}_3/\text{HfO}_2$ through atomic layer deposition. The devices with S-passivation exhibited lower values of subthreshold swing (74 mV/decade) and drain-induced barrier lowering (19 mV/V) than the devices without S-passivation. A conductance method was applied, and a low value of interface trap density D_{it} ($2.83 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$) was obtained for the devices with S-passivation. Based on these results, interface traps between InGaAs and high- κ are other defect sources that need to be considered in future studies to improve III-V microsensor sensing platforms.

Keywords: High- κ thin film transistor, Hafnium oxide(HfO_2), Aluminum oxide(Al_2O_3), Ammonium sulfide, Atomic layer deposition (ALD)

1. 서 론

현재까지 반도체 산업계에서는, 소자의 집적화 및 성능을 향상시키기 위하여 수많은 연구를 진행해왔으며, 현재는 2차원적인 구조에서 벗어나 3차원 구조의 트랜지스터를 선보이고 있다. 반면, 마이크로프로세서의 고집적화와 사물인터넷 (IoT) 기반의 정보량 증가는 고집적화로 인한 전력 소모 밀도를 증가시키고 있다. 따라서, 현재 고성능/저전력 특성을 갖는 반도체 소자 제작 및 센서 시스템 연구가 전 세계적으로 활발히 이루어지고 있다. 현재의 기술 개발에도 불구하고 Si 기반 MOS소자는 더 이상 dimension의 스케일링에 따른 성능 향상은 기대할 수 없

을 것으로 예상되며 7 nm node 이하의 차세대 트랜지스터 소자로는 기존 실리콘에서 캐리어 이동도가 높은 III-V 기반의 화합물 반도체로 교체하는 것이 필수적인 것으로 예측된다[1].

이러한 화합물 반도체는 실리콘 반도체보다 스위칭 속도가 10 배 이상 빠르고, 소비 전력은 10분의 1 이하로 낮아 실리콘을 대체하는 새로운 채널로 적용하는 기술에 있어 가장 유력한 후보로 대두되고 있다[2,3]. 특히 다른 화합물 기판과 비교했을 때 상대적으로 게이트 절연막과 계면 특성이 우수하며 전자의 이동도가 뛰어난 $\text{In}_{1-x}\text{Ga}_x\text{As}$ ($0 \leq x \leq 1$)가 차세대 N-채널 field-effect transistor (FET) 반도체 물질로 각광을 받고 있다. 하지만, 기존 실리콘 소자가 가지고 있던 뛰어난 계면특성에 비해 InGaAs 계면과 고 유전율 게이트 절연막(high- κ) 사이의 게이트 구조 최적화와 관련한 연구는 아직 해결해야 할 과제로 남아있다[4-6]. 이러한 산화막과 반도체 계면사이의 특성은 전자소자의 전기적 특성에 큰 영향을 미치기 때문에, 이를 구현하기 위하여 FET 소자의 계면 특성 및 산화막 내의 특성이 무엇 보다 중요한 요소 기술이며, 다양한 세정 및 표면보호층 형성 등 전 처리 공정을 통해서 계면 준위 밀도를 감소시키는 연구가 이어져 오고 있다[7-8]. 궁극적으로 본 연구에서는 양자 우물 구조를 가지는 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 채널 박막 트랜지스터(thin-film transistor)를 제작하

경북대학교 전자공학부(School of Electronics Engineering, Kyungpook National University) Kyungpook National University, Daegu, 41566, South Korea

[†]Corresponding author: dae-hyun.kim@ee.knu.ac.kr

(Received : Jul. 21, 2020, Revised : Jul. 28, 2020, Accepted : Jul. 31, 2020)

This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<https://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

였으며, 소스/드레인 영역의 선택적 에피택시얼 재성장 공정을 통해 기생저항을 낮추었다. 궁극적으로 게이트 구조 최적화를 위해 본 연구에서는 황화 암모늄 처리를 통해 우수한 서브쓰레스홀드 기울기(subthreshold swing), 드레인 유도장벽감소(DIBL) 등 전기적 특성과 계면 특성을 가지는 소자를 구현하였다. 이는 최첨단 반도체 센서인 FET형 마이크로 센서의 감도(sensitivity), 안정도(stability), 선택도(selectivity)등의 반응 속도와 연관하며, 향후 마이크로 센서 감지 플랫폼을 구축하기 위해 고려해야할 중요한 요인이다.

2. 연구 방법

황화 암모늄을 이용한 트랜지스터를 제작하기 위해 반 절연 성질의 InP기판에 분자빔 에피택시(MBE)를 이용하여 성장된 상피층 구조로 In_{0.52}Al_{0.48}As 버퍼층 300 nm 와 In_{0.7}Ga_{0.3}As 채널 층 10 nm로 구성된 기판을 사용하였으며, 표면 채널에 더미 게이트로 SiO₂ 막을 플라즈마 화학 기상 증착법 (PECVD)을 통해 성장 후, SiO₂ 마스크로 소스/드레인 영역에 MOCVD 기반으로 도핑 농도 $5 \times 10^{19} \text{ cm}^{-3}$ 를 가지는 60 nm n+ In_{0.53}Ga_{0.47}As 층을 재성장하였다. SiO₂ 더미 게이트를 제거한 후 황산, 과수 그리고 탈이온수 합성 용액을 통해 소자간 전기적 절연을 수행하였으며, 재성장 공정을 통해 높은 도핑 농도를 가지는 소스/드레인 영역에 Ti/Mo/Ti/Pt/Au 금속 구조를 통해 오믹 접합을 형성하였다.

황화 암모늄이 InGaAs 계면에 미치는 영향을 분석하기 위해 황화 암모늄 처리한 소자와 처리하지 않은 소자를 제작하였다. 염산과 탈이온수 합성 용액에서 InGaAs 계면의 자연산화막을 제거한 후 계면 특성 향상을 위해 상온에서 21% 황화 암모늄 용액(NH₄)₂S에 기판을 넣고 10 분간 황화 암모늄 처리를 하였으며, 다른 소자는 염산과 탈이온수 용액 처리만 진행하였다. 이

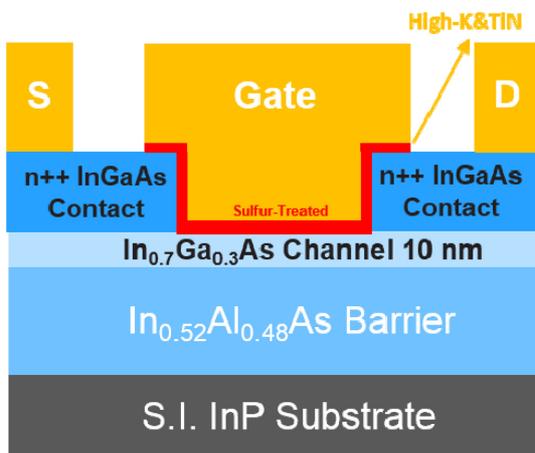


Fig. 1. A schematic cross-section of an In_{0.7}Ga_{0.3}As Al₂O₃/HfO₂ Quantum-Well MOSFET

후 thermal방식의 원자층 증착 장비(ALD)를 통해 고 유전율 산화막 Al₂O₃/HfO₂ 1/4 nm 이중 구조로 증착 하였으며, 이후 plasma 방식의 원자층 증착 장비를 통해 전면에 게이트 전극 TiN 5 nm 증착 하였다. 다음으로 전자빔 물리 기상 증착 장비를 통해 메탈 게이트 Ti/Au를 증착 후 메탈 게이트를 마스크로 TiN 건식 식각 공정을 통해 InGaAs Al₂O₃/HfO₂ 박막 트랜지스터를 제작 하였으며, 제작된 소자의 구조는 다음과 같다. (Fig. 1).

3. 결과 및 고찰

3.1 황화 암모늄을 이용한 트랜지스터 전기적 특성

Fig. 2에서 제작된 InGaAs 트랜지스터의 황화 암모늄 처리에 따른 전기적 특성을 보여주고 있다. 게이트 길이 및 폭이 50 μm 소자에 대해 전류-전압 특성을 분석하였을 때, 황화 암모늄 처리된 소자에서 드레인 전압 0.05 V에서 서브쓰레스홀드 기울기가 74 mV/dec로 황화 암모늄 처리하지 않은 소자 보다 서브쓰레스홀드 기울기가 크게 개선된 것을 확인할 수 있으며(Fig. 2(a)), 출력 특성에서 포화영역에서의 on current가 약 1.7배 증가하였다. (Fig. 2(b))

또한, 제작된 소자에 드레인 전압 0.05 V와 0.7 V를 인가하여 얻은 쓰레스홀드 전압의 차이를 통해 드레인 유도장벽감소 특성을 분석하였을 때, 황화 암모늄 처리한 소자에서 DIBL특성이 개선된 것을 확인할 수 있다. 이러한 특성은 게이트 길이가 큰 디바이스부터 수 μm 디바이스까지 유사한 특성을 보이는 것으로 측정되며 (Fig. 2(c)), 서브쓰레스홀드 영역 에서의 드레인 전류수식을 통해 얻어진 서브쓰레스홀드 기울기는 아래 수식 (1) 과 같이 주어진다. 수식에 의해 황화 암모늄 처리된 소자의 C_i(interface trap)의 개선을 통해서, 우수한 트랜지스터 특성을 얻은 것을 확인할 수 있다.

$$S = 2.3 \frac{KT}{q} \left(1 + \frac{C_d + C_{it}}{C_{ox}} \right) \quad (1)$$

3.2 황화 암모늄을 이용한 트랜지스터 계면적 특성

제작된 트랜지스터의 계면적 특성을 확인하기 위해, InGaAs 계면과 고 유전율 게이트 절연막 사이의 계면트랩 밀도를 컨덕턴스 방법을 통해 실험적으로 분석하였다. 컨덕턴스 방법은 측정 바이어스 전압과 주파수 변화에 따라 얻은 병렬 컨덕턴스의 변화를 기반으로 밴드갭 내의 트랩 준위에 따른 계면트랩 밀도를 분석할 수 있는 방법 중 하나이다[9]. 게이트 길이 및 폭이 50 μm 소자에 대해 상온에서 주파수 10 kHz 부터 1 MHz까지 전압 변화에 따른 정전용량을 반전 영역에서 측정 영역까지 측정을 하였다. 하지만 측정된 정전용량 값은 기생성분에 의한 영

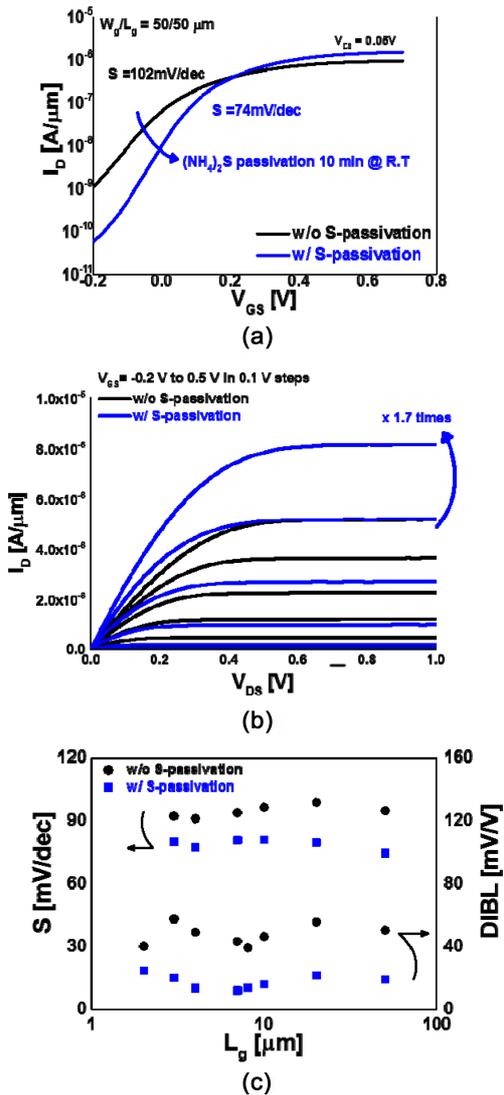


Fig. 2. (a) subthreshold characteristics at $V_{DS} = 0.05/0.7$ V (b) Output characteristics for both $L_g = 50 \mu\text{m}$ devices, and (c) subthreshold swing (S) and drain-induced barrier lowering (DIBL) characteristics against L_g .

향이 섞여 있기 때문에, 정확한 계면트랩 밀도를 추출하기 어렵다는 문제가 있다. 따라서 본 연구에서는 기생 정전용량을 제외하고, 소스/드레인에서의 기생저항 성분을 고려한 고유 정전용량 값을 통해 계면트랩 밀도를 추출하였다. (Fig 3.)

중간 밴드 갭과 가까운 에너지 준위에서 고유전율 게이트 유전막에 황화 암모늄처리를 적용한 디바이스에서 계면트랩 밀도 $2.83 \times 10^{12} [\text{eV}^{-1} \text{cm}^{-2}]$ 를 가지며, 이는 황화 암모늄 처리를 하지 않은 디바이스의 계면트랩밀도 $3.53 \times 10^{12} [\text{eV}^{-1} \text{cm}^{-2}]$ 에 비해 우수한 계면특성을 가지는 것을 보여준다. 이러한 결함에 트랩된 전하는 소자의 동작을 불안정하게 하며, 전자 이동을 감소시켜 포화 전류 특성을 저하시키는 문제를 발생시키기 때문에 게이트 유전막 공정 전처리 과정을 신중하게 선택하는 것이 중요하다.

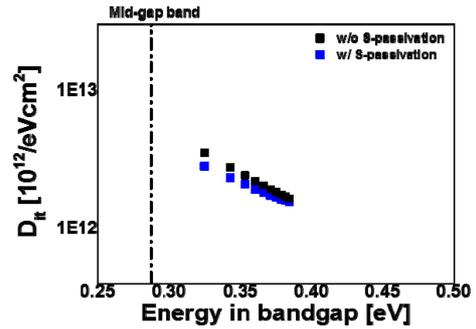


Fig. 3. interface trap distribution against bandgap from conductance method.

4. 결 론

본 연구에서는 황화 암모늄을 이용한 InGaAs $\text{Al}_2\text{O}_3/\text{HfO}_2$ 박막 트랜지스터 제작 및 전기적 무결성 및 계면적 특성을 실험적으로 조사하였다. 황화 암모늄 처리를 통해 제작된 트랜지스터가 서브쓰레숄드 기울기 특성, 전기적특성 그리고 계면적 특성 모두 우수한 것으로 보이며, 이는 원자층 증착 장비를 통한 고유전율 박막 증착에 앞서 황화 암모늄 처리를 통한 공정을 통해 InGaAs 계면과 고유전율 게이트 절연막(high-k) 사이의 게이트 구조가 개선되었음을 나타낸다.

감사의 글

본 연구는 방위사업청 및 산업통상자원부의 공동재원으로 민균겸용기술개발사업(No. 19-CM-BD-05)의 지원으로 수행된 결과임.

REFERENCES

- [1] J. A. del Alamo, X. Cai, J. Lin, W. Lu, A. Vardi, and X. Zhao, "CMOS beyond Si: Nanometer-Scale III-V MOSFETs", *2017 IEEE Bipolar/BiCMOS Circuits Technol. Meet.*, pp. 26-29, Florida, United States, 2017.
- [2] H. Tseng, Y. Fang, S. Zhong, and M. J. W. Rodwell, "InP MOSFETs Exhibiting Record 70 mV/dec Subthreshold Swing", *2019 Device Res. Conf.*, pp. 183-184, University of Michigan, United States, 2019.
- [3] C. B. Zota, C. Convertino, Y. Baumgartner, M. Sousa, D. Caimi, and L. Czornomaz, "High Performance Quantum Well InGaAs-On-Si MOSFETs With sub-20 nm Gate Length For RF Applications", *2018 IEEE Int. Electron Devices Meet.*, pp. 39.4.1-39.4.4, San Francisco, United States, 2018.
- [4] M. Yokoyama, N. Taoka, R. Suzuki, O. Ichikawa, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka, and S. Takagi, "Sulfur cleaning for (100), (111)A, and (111)B InGaAs surfaces with In content of 0.53

- and 0.70 and their Al₂O₃/InGaAs MOS interface properties”, *2012 Int. Conf. on Indium Phosphide and Relat. Mater.*, pp. 167-170, Santa Barbara, United States, 2012.
- [5] F. Xue, A. Jiang, H. Zhao, Y.-T. Chen, Y. Wang, F. Zhou, and J. Lee, “Channel Thickness Dependence of InGaAs Quantum-Well Field-Effect Transistors With High- κ Gate Dielectrics”, *IEEE Electron Device Lett.*, Vol. 33, No. 9, pp. 1255-1257, 2012.
- [6] S. Guha, V. Narayanan, V. Paruchuri, B. Linder, M. Copel, N. Bojarczuk, Y.-H. Kim, M. Chudzik, Y. Wang, P. Ronshheim, and E. Cartier, “Effects of gate-last and gate-first process on deep submicron inversion-mode InGaAs n-channel metal-oxide-semiconductor field effect transistors”, *J. Appl. Phys.*, Vol. 109, No. 5, pp. 053709(1)-053709(6), 2011.
- [7] S. Guha et al., “Charge Defects, V_t Shifts, and the Solution to the High-K Metal Gate n-MOSFET Problem,” in *ECS Transactions*, 2006, Vol. 3, pp. 247-252.
- [8] J.-G. Kim, H.-M. Kwon, D.-H. Kim, and T.-W. Kim, “Impact of in situ atomic layer deposition TiN/high- κ stack onto In 0.53 Ga 0.47 As MOSCAPs on 300 mm Si substrate”, *Jpn. J. Appl. Phys.*, Vol. 58, No. 4, pp. 040905(1)-040905(4), 2019.
- [9] R. Engel-Herbert, Y. Hwang, and S. Stemmer, “Comparison of methods to quantify interface trap densities at dielectric/ III-V semiconductor interfaces,” *J. Appl. Phys.*, Vol. 108, No. 12, pp. 124101(1)-124101(15), 2010.