

하부전극 산소 열처리를 통한 강유전체 터널접합 구조 메모리 소자의 전기저항 변화 특성 분석

배수현, 윤소정, 민대홍, 윤성민 

경희대학교 정보전자신소재공학과

Variations in Tunnel Electroresistance for Ferroelectric Tunnel Junctions Using Atomic Layer Deposited Al doped HfO₂ Thin Films

Soo Hyun Bae, So-Jung Yoon, Dae-Hong Min, and Sung-Min Yoon

Department of Advanced Materials Engineering for Information and Electronics, Kyung Hee University, Yongin 17104, Korea

(Received July 29, 2020; Revised August 20, 2020; Accepted August 26, 2020)

Abstract: To enhance the tunneling electroresistance (TER) ratio of a ferroelectric tunnel junction (FTJ) device using Al-doped HfO₂ thin films, a thin insulating layer was prepared on a TiN bottom electrode, for which TiN was preliminarily treated at various temperatures in O₂ ambient. The composition and thickness of the inserted insulating layer were optimized at 600°C and 50 Torr, and the FTJ showed a high TER ratio of 430. During the heat treatments, a titanium oxide layer formed on the surface of TiN, that suppressed oxygen vacancy generation in the ferroelectric thin film. It was found that the fabricated FTJ device exhibits two distinct resistance states with higher tunneling currents by properly heat-treating the TiN bottom electrode of the HfO₂-based FTJ devices in O₂ ambient.

Keywords: Ferroelectric tunnel junction, HfO₂, Tunneling electroresistance, Ferroelectric memory

1. 서론

나노스케일의 트랜지스터, 센서, 데이터 저장 및 비휘발성 메모리와 같은 고집적 전자소자 응용을 위해 자발분극을 갖는 강유전성 박막 물질이 많이 연구되고 있다 [1-3]. 대표적인 페로브스카이트 구조의 강유전체의 경우 박막의 두께가 수 nm로 작아지면 강유전성이 억제되는 단점이 존재하며, 소자 제작과정에서 CMOS 공정과 정합하지 않는다. 한편 2011년 HfO₂ 박막 기반 재료에서 강유전성이 발견된 이후 이러한 문제점을 극복할 차세대 전자재료로서 커패시터 기반의 강유전

성 랜덤 액세스메모리(FeRAM) 및 강유전체 전계 효과 트랜지스터(FeFET) 등의 많은 연구가 진행되었다 [4,5].

최근 HfO₂ 기반 전자소자의 새로운 응용 분야로서 강유전체 터널접합(ferroelectric tunnel junction, FTJ) 구조의 메모리 소자 기술이 활발하게 연구되고 있다. FTJ는 판독 작업 동안 저장된 정보가 사라지는 파괴적 판독을 하는 FeRAM과는 달리 비파괴적 판독이 가능하다 [6-8]. FTJ는 두 개의 전극 사이에 얇은 강유전체 박막이 삽입됨으로써 전자가 터널링 되는 현상을 이용하는 2단자 저항변화형 메모리 소자이다 [9]. 두 개의 전극 사이에 존재하는 강유전체 장벽의 두께가 수 나노미터 정도로 감소하면 전자는 양자역학적 터널링 효과로 인해 강유전체 장벽을 통과할 수 있다. 터널링 확률은 강유전체 분극의 방향에 따라 크게 달라지기 때문에, 두 가지 상이한 저항 상태를 나타낸다 [10]. 따라서 그림 1과 같이 강유전체 박막에 전압을 인가하면

✉ Sung-Min Yoon; sungmin@khu.ac.kr

Copyright ©2020 KIEEME. All rights reserved.
 This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

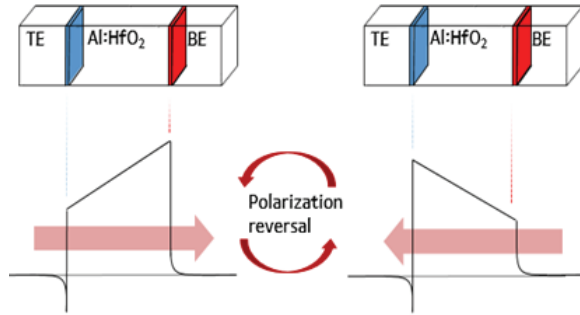


Fig. 1. Schematic diagrams of the fabricated FTJ device and the modulations in electrostatic potential profiles at applications of voltages with opposite polarities.

분극이 스위칭 되고, 터널링 장벽의 높이가 변조되어 FTJ의 저항이 변화하게 된다. FTJ는 터널링 전기저항과 전류감지로 판독동작을 하기 때문에 강유전체층의 분극 상태가 변하지 않아 비파괴적으로 판독과 쓰기 작업이 가능하며, 이를 통해 강유전 분극기능을 차세대 메모리 소자로 활용할 수 있다.

기존의 연구에서는 FTJ의 하부전극으로 금속 또는 반도체를 사용하였지만, 이 경우 TER (tunneling electroresistance, $I_{on}-I_{off}/I_{off}$)비가 100 이하로 낮은 문제점을 나타내었다 [11]. 따라서 본 연구에서는 터널링 효율을 상승시켜 TER 비를 높이기 위해 TiN 하부전극을 산소 열처리함으로써 추가적인 절연체층을 형성하였다. 하부전극 산소 열처리에 따른 FTJ의 특성 변화를 조사하기 위해 다양한 조건에서 산소 열처리를 진행하였다. 이후 하부전극 열처리 유무에 따른 잔류분극을 확인하였고 향상된 TER 비를 조사하였다. 또한 이렇게 향상된 TER의 원인을 고찰하기 위한 하부전극 표면 물성을 상세하게 분석하였다.

2. 실험 방법

제작된 FTJ 소자의 구조는 하부전극 열처리에 대한 효과를 조사하기 위해 금속-강유전체-금속(metal-ferroelectric-metal, MFM) 및 금속-강유전체-절연체-금속(metal-ferroelectric-insulator-metal, MFIM) 구조로 제작하였다. 기판으로 사용할 실리콘 웨이퍼에 실리콘 산화막을 형성한 후 하부전극으로 사용할 TiN 전극을 스퍼터링 방법을 이용하여 상온에서 50 nm 증착하였다. 이후 TiN 하부전극 상부에 추가적인 절연체층을 형성하기 위해 RTA (rapid thermal annealing)

Table 1. Summary of annealing conditions for TiN bottom electrode and related device characteristics.

	40 Torr	50 Torr	100 Torr	400 Torr	700 Torr
400°C	F	F	F	F	FTJ A
600°C	F	FTJ B	N/A	N/A	N/A
650°C	FTJ C	N/A	N/A	N/A	N/A

F: Failure operations due to dielectric breakdown for devices.
N/A: Not available for FTJ device operations.

를 이용하여 산소분위기에서 열처리를 수행하였다. 열처리 조건의 경우 하부전극 TiN 표면의 산화막 두께를 변경하기 위해 온도 압력을 변경하여 열처리를 진행하였다. 온도 조건은 400, 600, 650°C로 변경하였으며, 각 온도에서 열처리 공정 압력 조건을 40~700 Torr까지 변경하였다. TiN 하부 전극 열처리 공정의 온도와 압력 조건 변화에 따라 TiN 박막 표면 및 벌크 물성이 변화하는 것을 확인하였으며, 일부 조건에서만 FTJ 특성을 얻을 수 있었다. 이는 TiN 표면에 형성되는 절연체의 최적 두께가 존재하기 때문이고, 각 온도 조건 별로 적합한 공정 압력이 존재하여 해당 압력보다 높을 경우 두꺼운 산화막 형성 때문에 터널링 현상이 나타나지 않고, 압력이 낮을 경우 너무 얇게 생성된 표면 산화막이 저전압 영역에서도 절연파괴를 일으키기 때문이다. 하부전극 열처리 공정의 온도/압력 조건과 소자 특성과의 상관관계를 표 1에 표시하였다. 다음으로 원자층증착법을 이용하여 TiN 하부 전극상에 Al:HfO₂를 증착하였다. ALD 공정 온도는 280°C로 설정하였고 Hf와 Al 전구체 사이의 펄스 비는 33:1로 고정하여 3%의 Al 도핑을 진행했다. Hf과 Al의 전구체로는 tetrakis (ethylmethylamino) hafnium과 trimethyl aluminum을 각각 선택하였고 오존을 산소 전구체로 사용하여 8.5 nm의 박막을 증착하였다. Al:HfO₂ 박막 형성 후, 상부전극 증착 전 열처리(post-deposition annealing, PDA)를 질소분위기, 700°C에서 10초간 진행했다. 금속 웨도우마스크를 이용하여 100 μm 직경의 dot 패턴을 가지는 Pt (50 nm) 상부전극을 전자빔 증착방법으로 증착하였다.

제작한 FTJ 소자의 특성 분석을 위해 강유전체 테스터(Precision LC-II, Radiant Technologies, Inc.)를 사용하여 분극-전계(P-E) 히스테리시스 곡선을 측정하였다. 전류-전압(I-V) 측정과 강유전체 박막의 저항 변화 측정은 펄스발생기(HP 4110A)와 반도체파라미터 분석기(Keithley 4200 SCS)를 이용하여 분석하였다.

하부전극 산소 열처리에 따른 전극 표면의 물성 변화를 관찰하기 위해 x-ray photoelectron spectroscopy (XPS)를 통해 O1s 피크 분석을 진행하였다.

3. 결과 및 고찰

그림 2(a), (b)는 강유전성 거동을 확인하기 위해 측정된 용량-전압(C-V) 특성과 P-E 강유전체 히스테리시스 특성을 보여준다. C-V 측정 결과로부터 ± 3.5 V의 범위에서 전압을 소인하여 인가할 때, 항복전압 (coercive voltage) 근처에서 2개의 피크가 나타나는 나비모양의 히스테리시스 특성을 확인할 수 있었다. P-E 히스테리시스 곡선은 1 kHz의 주파수와 ± 4 V의 전압에서 측정되었다. 측정결과 MFM 커패시터의 잔류분극 값은 $10.3 \mu\text{C}/\text{cm}^2$ 을 나타내고 있어, 본 연구에서 적용한 Al : HfO₂ 박막의 강유전성을 확인할 수 있

다. 그림 2(c)는 터널링 전류 감지를 위하여 on 및 off 프로그램 상태에 대한 I-V 특성을 보여준다. 먼저 FTJ 소자의 상부전극에 -4 V의 펄스를 인가하여 메모리 off 상태를 만든다. 이후 0~2 V 범위에서 전압을 소인하면 off 상태의 낮은 터널링 전류를 나타낸다. 한편, 인가 전압의 크기가 커지면 분극 방향이 변하여 높은 터널링 전류를 흘리는 메모리 on 상태로 전이하게 된다. 따라서 I-V 곡선은 Al : HfO₂ 박막의 분극 반전에 따라 메모리 on과 off 상태에 해당하는 반시계 방향의 히스테리시스를 보이는 것을 확인하였다. 이는 제작한 MFM 구조의 FTJ 소자가 분극 방향에 따라 터널링 장벽의 높이가 달라져 전자의 터널링 확률이 달라지기 때문이다.

하지만 MFM 구조를 가지는 FTJ 소자의 경우 on/off 비가 10 이하로 매우 낮다. on/off 비가 낮은 이유는 분극 방향에 따른 유효 전위장벽의 변화가 작기 때문이다. 따라서 유효 전위장벽의 변화를 크게 하기 위한 방법으로서 추가적인 방법의 도입이 필요하다. 효과적인 방법의 하나로서, TiN 하부전극 상부에 얇은 절연체층을 형성하기 위하여 하부전극 증착 후, 다양한 온도 및 산소분압 조건에서 열처리 공정을 진행하였다. 소자 A, B, C는 각각 하부전극 TiN을 400°C, 700 Torr, 10분, 600°C, 50 Torr, 1분, 그리고 650°C, 40 Torr 1분의 열처리를 수행한 소자로 칭하고, 해당 공정 적용을 통해 TiN 하부전극 상부에 추가 절연체층을 형성하였다. 그림 3(a)는 소자 A, B, C의 P-E 강유전체 히스테리시스 특성을 보여준다. P-E 히스테리시스 특성을 통해 확인한 각 소자의 잔류분극 값은 각각 5.9, 26.2, 15.2 $\mu\text{C}/\text{cm}^2$ 로 측정되었으며, 소자 B에서 가장 높은 잔류분극 값을 나타냈다. 앞서 그림 2(b)에서 확인한 MFM 구조 FTJ 소자의 잔류분극 $10.3 \mu\text{C}/\text{cm}^2$ 보다 높은 잔류분극을 나타낼 수 있는 원인으로서는, 하부전극 열처리로 인하여 생성된 절연체의 존재가 PDA 열처리 과정에서 추가적인 인장응력을 발생시키기 때문인 것으로 예상된다. 그림 3(b)는 터널링 전류 변화에 따른 메모리 on/off 상태에 대한 I-V 곡선을 보여주며 하부전극 산소열처리 조건의 변화에 따라 소자의 on/off 전류 밀도가 달라지는 것을 확인하였다. 분극 스위칭에 따른 I-V 특성 평가에서도, 소자 B가 가장 높은 on/off 비를 나타내고 있음을 알 수 있다. 그림 3(c)는 직류전압 소인 측정에서 가장 높은 on/off 비를 보인 소자 B에 대하여, 펄스 형태의 고정 크기 전압을 인가하였을 때, 인가 펄스의 폭 변화에 따른 on/off 전류 밀도와 TER 비를 추출하였다. 각각의 데

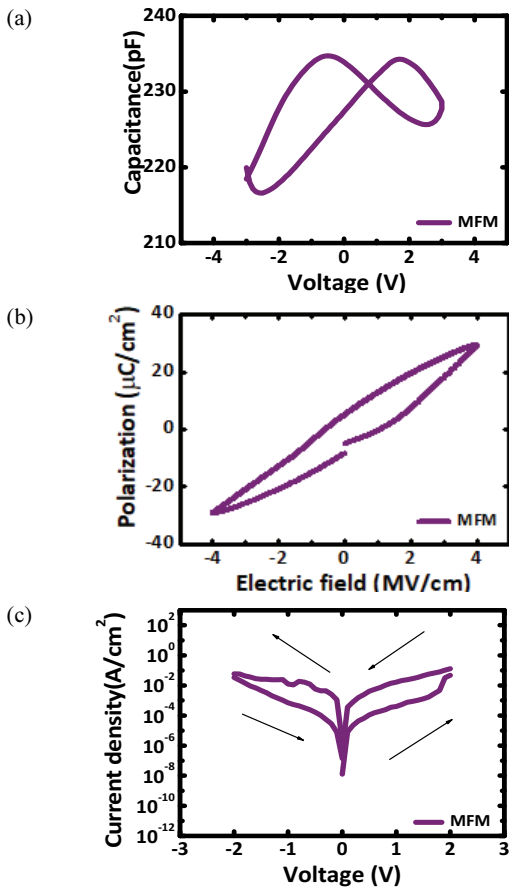


Fig. 2. (a) C-V characteristics, (b) P-E hysteresis, and (c) I-V curves of the fabricated FTJ device with MFM structure.

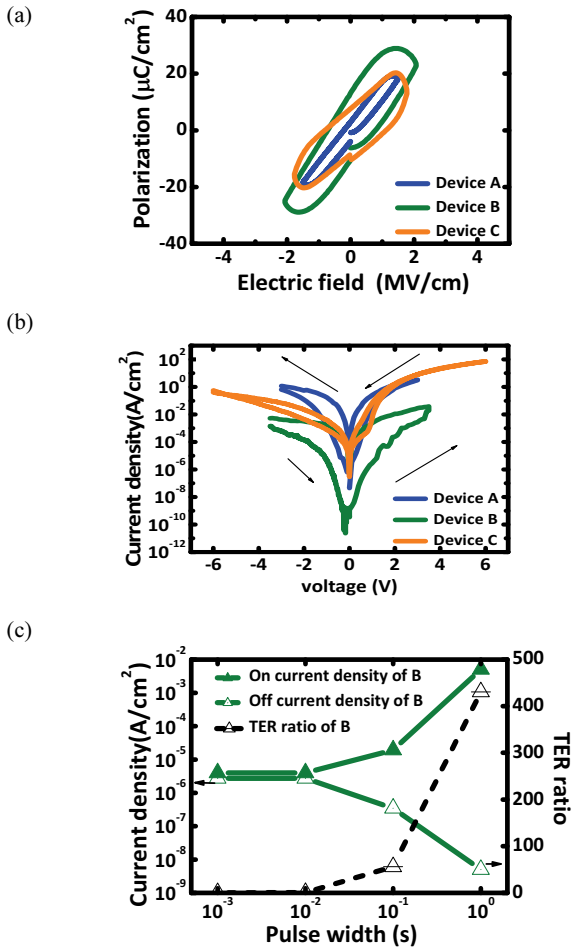


Fig. 3. (a) P-E hysteresis and (b) I-V curves of the FTJ devices with MFIM structures fabricated with various annealing conditions of TiN bottom electrode. (c) Variations in current density and TER ratio of the Dev. B as a function of applied pulse width.

이터 포인트는 프로그램 전압펄스를 인가한 후, 0.2 V의 고정 전압에서 읽은 전류 밀도 값을 나타낸다. 측정 결과 펄스폭이 작아질수록 on/off 사이의 간격이 좁아지고 TER비도 작아지는 경향을 보이기는 하지만, 1초의 전압펄스를 가해 줄 경우 430의 매우 높은 TER비를 얻을 수 있었다. 이는 소자 B에서 가장 적합한 두께의 절연체 박막이 생성되고, 결과적으로 강유전체 분극반전에 기인하는 터널링 현상이 개선되었기 때문으로 생각된다. 또한 인가 전압의 펄스폭이 짧아짐에 따라 TER 비가 작아지는 이유는 강유전체 내부에 존재하는 분극이 충분히 스위칭 할 수 있는 시간이 주어지지 않기 때문이다. 따라서 이번에 제작한 FTJ 소자의 경우, 강유전체 분극을 스위칭 해주기 위해서는 10ms 이상의 펄스폭이 필요한 것을 알 수 있다.

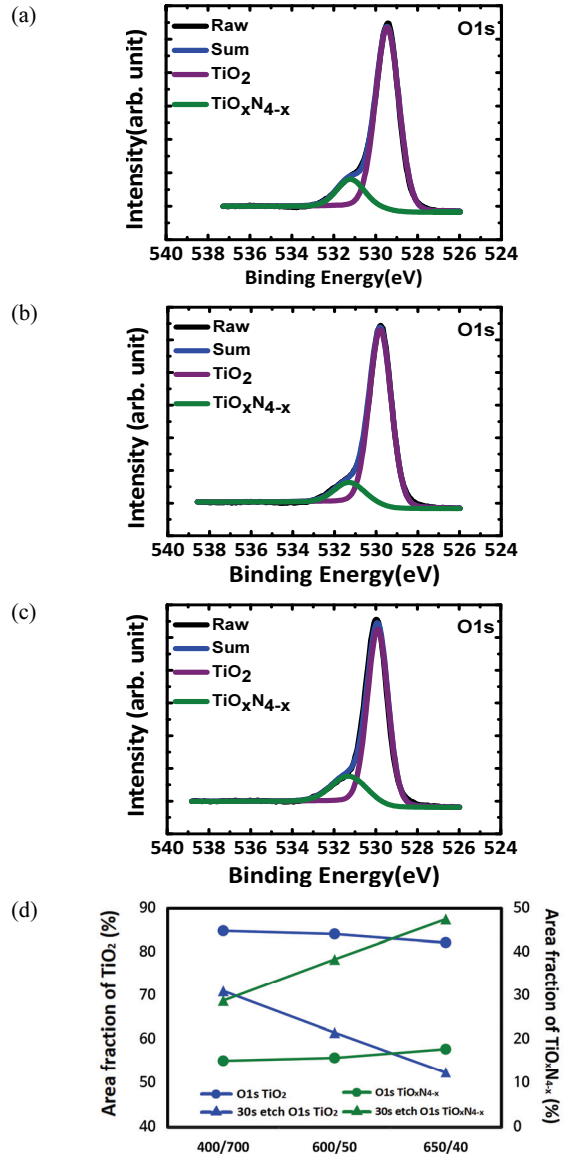


Fig. 4. XPS spectra of O1s peaks obtained at surfaces and with deconvoluted peaks for the (a) Dev. A, (b) Dev. B, and (c) Dev. C. (d) Variations in area fraction of TiO_2 and $\text{TiO}_x\text{N}_{4-x}$ peaks at surfaces and after 30s etching.

한편, 하부전극 열처리를 수행한 FTJ 소자의 TER 특성이 개선되는 현상과 밀접한 관련이 있을 것으로 예상되는 하부전극 상부 형성 절연체 박막층에 대하여, 각각의 절연체 박막의 XPS O1s 스펙트럼을 분석하였다 [12]. 그림 4(a)~(c)는 각각 소자 A, B, C의 제작을 위해 준비한 TiN 하부전극 표면의 XPS O1s 스펙트럼을 나타낸다. TiN O1s 스펙트럼은 산소와의 결합에너지에 기초하여 2개의 서브 피크, TiO_2 (529.9 eV)

TiO_xN_{4-x} (531.3 eV)로 deconvolution이 가능하다. 그림 4(d)는 절연체 표면과 표면으로부터 30초 예칭 후의 각 열처리 조건에 따른 XPS O1s 피크의 deconvolution 결과를 보여준다. 표면 절연체 박막층의 생성 정도는 XPS 결과로부터 각 결합에 대한 피크 면적을 분석하여 전체 면적에 대한 해당 절연체 피크 면적의 백분율로 표시하였다. 그 결과 열처리 공정조건 변경에 따라 표면과 30초 예칭 후에 TiN 전극 표면에 형성되는 TiO₂와 TiO_xN_{4-x}의 상대적인 양 변화의 경향성을 피크 면적 비율 변화로부터 확인할 수 있었다. 절연체 표면에 생성되는 TiO₂의 양은 열처리 온도가 증가함에 따라 84.9%에서 82.2%로 소폭 감소했지만, 30초 예칭 후 생성된 TiO₂의 양은 71.1%에서 52.4%로 더 많이 감소하는 것을 확인할 수 있다. 반면 산소 열처리로 인해 생성되는 TiO_xN_{4-x}의 양은 열처리 온도가 상승함에 따라 표면에서 15.1%에서 17.8%로 소폭 상승하였고, 30초 예칭 후에는 28.9%에서 47.6%로 급격히 상승하는 것을 알 수 있었다. 표면에서는 공정온도 변화에 따라 생성되는 TiO_xN_{4-x}의 양의 변화가 미미하지만 벌크 영역에서는 공정온도가 상승할수록 산소 확산에 따른 질화막의 변화 정도가 현저히 커지는 것을 알 수 있다. 즉, 벌크 내부의 산질화막층이 많을수록, 하부전극 박막 내부의 생성된 결합으로 인해 함으로 인해 전자가 포획되는 현상이 발생할 수 있다. 이렇게 포획된 전자는 내부전계를 형성하고, 그 결과 정상적으로 스위칭 되지 않는 고정 도메인이 형성될 수 있다. 하지만 TiO₂의 경우, 강유전체 박막에 산소를 전달할 수 있기 때문에 결합화학적으로 볼 때 Al : HfO₂의 산소공공(oxygen vacancy)의 형성을 억제하여 소자 특성을 향상시킬 수 있다. 표면 TiO₂ 박막층 상부에 Al : HfO₂ 박막을 증착하고 결정화 열처리를 진행하는 과정에서 산소포획(oxygen scavenging) 효과에 의해 TiN/Al : HfO₂ 계면 부근에서 산소공공이 증가함으로써 강유전 특성의 발현을 유도할 수 있다. 하지만 결정화 열처리 전에 하부전극 산소 열처리 공정을 통해 TiO₂ 박막층을 표면에 형성하였기 때문에, 계면 부근 산소 공공은 표면 TiO₂ 산화막층 증가에 따라 그 형성이 억제될 것으로 예상된다. 한편, 하부전극 열처리 효과 측면에서는 소자 A가 가장 유리하다고 할 수 있지만, 이 조건에서는 계면 부근 산소공공이 너무 과도하게 억제되어 Al : HfO₂ 박막의 강유전 특성을 이용하는 FTJ 소자 성능의 열화가 관찰되었다. 한편, FTJ 소자 성능은 소자 B에서 가장 양호한 결과를 보여 주었으며, 이는 강유전 특성을 유도하지만, 소자의 신뢰성 열화를 동시에 유발하는 산소

공공의 양이 상대적으로 가장 적절하게 제어되었기 때문이다. 또한 하부전극 열처리 효과에 따른 표면 산화막층 두께는 FTJ 동작 원리인 강유전성 터널링 현상과 밀접한 관련이 있기에, 소자 특성의 확보를 위해서는 열처리 온도에 따른 최적 압력 조건이 존재함을 알 수 있다 (표 1). 또한 표면에 형성되는 TiO₂ 절연층의 두께는 소자 특성 개선을 위한 최적값이 존재할 것으로 예상되며, 소자 B의 경우, 적절한 두께의 TiO₂ 절연층이 TiN 전극 표면에 형성됨으로써, 가장 높은 TER 특성을 나타낼 수 있는 것으로 판단된다. 하지만 650°C에서 열처리를 진행할 경우, 과도하게 생성된 TiO_xN_{4-x}으로 인하여 절연체층이 강유전체 박막 계면에서 dead layer의 역할을 하게 됨으로써 TER 비가 향상되지 않고 오히려 열화되는 것으로 이해할 수 있다. 따라서 적절한 두께의 절연체층을 형성하는 것은 유효 전위장벽의 변조 효과를 개선하여 FTJ 소자의 성능을 향상시키는 데 매우 효과적인 방법이라 할 수 있다.

높은 TER 비를 나타낸 소자 B에 대해 그림 5(a)에서 표시한 펄스 트레인을 사용하여 전압 소인에 따른 저항 변화 특성을 측정하였다. 이 측정에서는 +5 V의 1s 펄스를 사용하여 소자를 메모리 on 상태로 미리 설정하고, 이후 -3~+5V 사이의 범위에서 전압 크기가 변화하는 펄스트레인을 프로그램 전압으로 인가하면서, 0.2 V의 read 전압으로 저항값을 측정하였다 [그림 5(a)]. 초

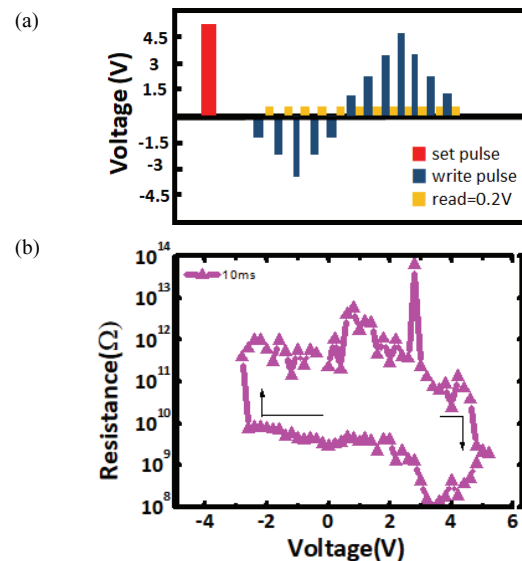


Fig. 5. (a) Forms of pulse trains ranging from -3 to 5 V with a pulse width of 10ms. The V_{read} of 0.2 V was applied at every pulse and (b) changes in resistance of the FTJ (Dev. B) with the evolution of voltage pulse train shown in (a).

기 on 상태를 설정한 FTJ 소자에 먼저 음의 전압값을 갖는 펄스를 인가하면, 분극방향이 변하는 순간이 존재하여 유효 전위장벽 높이가 달라지면서 저항이 기하급수적으로 증가한다. 이때 소자는 off 상태로 바뀌며, 이후 양의 전압 펄스트레인을 인가하면 다시 분극방향이 반전하면서 저항이 기하급수적으로 감소한다. 그 결과, 전압 펄스의 크기 변화에 따라 그림 5(b)와 같은 저항 히스테리시스 루프를 얻을 수 있다. 극성이 상이한 펄스트레인 인가에 따라 나타난 두 가지 저항 상태는 Al : HfO₂층의 분극 방향에 따라 전환이 가능하고 박막 내부에서 안정적인 분극의 존재를 증명한다. 소자의 전기저항이 히스테리시스 특성을 나타내는 이유는 하부전극 열처리로 생성된 절연체층이 유효전위 장벽을 변조시켜 터널링 확률을 향상시킴으로써 두 개의 명확한 저항상태를 나타내기 때문이다.

4. 결론

본 연구에서는 MFM (Pt/Al : HfO₂/TiN) 구조의 FTJ 소자의 TER 성능을 향상시키기 위해, 하부전극 TiN의 산소 열처리를 통해 하부전극 상부에 추가 절연체층을 형성하는 공정 방법을 제안하고, 그 효과를 확인하였다. 그 결과 최적 열처리 공정조건으로 확인된 600°C, 50 torr 조건에서 430의 가장 높은 TER 비를 확보할 수 있었다. 이는 XPS 분석을 통해 하부전극 표면에 TiO₂ 절연체층이 형성되어 강유전체 박막 내부에서 산소공공의 생성을 억제하고, 600°C 공정온도 조건에서 적절한 두께의 절연층이 형성되어 유효 전위장벽 변조 효과가 개선되었음을 알 수 있다. 또한 인가 전압 펄스폭에 따른 TER 변조 결과를 분석하여 이번에 제작한 FTJ 소자가 10ms 이상의 펄스 조건에서 분극 스위칭에 기인하는 터널링 전류 변화와 두 개의 명확한 저항상태를 나타낼 수 있음을 확인하였다. 따라서 이번 연구의 주요 목적인 Al : HfO₂ 박막을 적용한 FTJ 소자에서의 높은 TER비 특성을 TiN 하부전극의 산소 열처리를 공정 추가를 통해 달성할 수 있었다. 이는 FTJ 소자 제작에 있어서 상부전극과 하부전극의 비대칭 유전체 차폐 특성을 유도하여 유효 전위장벽 높이를 효과적으로 높이는 것이 소자 성능 향상에 매우 유효하다는 것을 시사한다.

ORCID

Sung-Min Yoon

<https://orcid.org/0000-0001-6535-3411>

REFERENCES

- [1] J. F. Scott and C. A. Paz de Araujo, *Science*, **246**, 1400 (1989). [DOI: <https://doi.org/10.1126/science.246.4936.1400>]
- [2] T. Kim and S. Jeon, *IEEE Trans. Electron Devices*, **65**, 1771 (2018). [DOI: <https://doi.org/10.1109/TED.2018.2816968>]
- [3] M. H. Park, H. J. Kim, Y. J. Kim, T. Moon, K. D. Kim, and C. S. Hwang, *Adv. Energy Mater.*, **4**, 140061 (2014). [DOI: <https://doi.org/10.1002/aenm.201400610>]
- [4] J. Müller, T. S. Böscke, U. Schröder, S. Mueller, D. Bräuhäus, U. Böttger, L. Frey, and T. Mikolajick, *Nano Lett.*, **12**, 4318 (2012). [DOI: <https://doi.org/10.1021/nl302049k>]
- [5] P. Polakowski, S. Riedel, W. Weinreich, M. Rudolf, J. Sundqvist, K. Seidel, and J. Muller, *Proc. 2014 IEEE 6th International Memory Workshop (IMW)* (IEEE, Taipei, Taiwan, 2014) p. 1. [DOI: <https://doi.org/10.1109/IMW.2014.6849367>]
- [6] A. Chanthbouala, A. Crassous, V. Garcia, K. Bouzehouane, S. Fusil, X. Moya, J. Allibe, B. Dlubak, J. Grollier, S. Xavier, C. Deranlot, A. Moshar, R. Proksch, N. D. Mathur, M. Bibes, and A. Barthélémy, *Nat. Nanotechnol.*, **7**, 101 (2012). [DOI: <https://doi.org/10.1038/nnano.2011.213>]
- [7] M. Y. Zhuravlev, R. F. Sabirianov, S. S. Jaswal, and E. Y. Tsymlal, *Phys. Rev. Lett.*, **94**, 246802 (2005). [DOI: <https://doi.org/10.1103/PhysRevLett.94.246802>]
- [8] H. Kohlstedt, N. A. Pertsev, J. R. Contreras, and R. Waser, *Phys. Rev. B*, **72**, 125341 (2005). [DOI: <https://doi.org/10.1103/PhysRevB.72.125341>]
- [9] L. Esaki, R. B. Lailbowitz, and P. J. Stiles, *IBM Tech. Discl. Bull.*, **13**, 2161 (1971).
- [10] D. Pantel and M. Alexe, *Phys. Rev. B*, **82**, 134105 (2010). [DOI: <https://doi.org/10.1103/PhysRevB.82.134105>]
- [11] M. Kobayashi, Y. Tagawa, F. Mo, T. Saraya, and T. Hiramoto, *IEEE J. Electron Devices Soc.*, **7**, 134 (2019). [DOI: <https://doi.org/10.1109/JEDS.2018.2885932>]
- [12] S. Dahle, R. Gustus, W. Viöl, and W. Maus-Friedrichs, *Plasma Chem. Plasma Process.*, **32**, 1109 (2012). [DOI: <https://doi.org/10.1007/s11090-012-9392-x>]