

구리 질화막을 이용한 구리 접합 구조의 접합강도 연구

서한결¹ · 박해성² · 김가희³ · 박영배³ · 김사라은경^{1,†}

¹서울과학기술대학교 나노IT디자인융합대학원 나노IT융합공학전공
²서울과학기술대학교 일반대학원 기계공학과, ³안동대학교 신소재공학부

Bonding Strength Evaluation of Copper Bonding Using Copper Nitride Layer

Hankyeol Seo¹, Haesung Park², Gahui Kim³, Young-Bae Park³, and Sarah Eunkyung Kim^{1,†}

¹Nano-IT Convergence Engineering, Graduate School of Nano-IT-Design Convergence, Seoul National University of Science and Technology, 232, Gongneung-ro, Nowon-gu, Seoul 01811, Korea

²Department of Mechanical Engineering, Seoul National University of Science and Technology, 232, Gongneung-ro, Nowon-gu, Seoul 01811, Korea

³School of Materials Science and Engineering, Andong National University, 1375, Gyeongdong-ro, Andong-si, Gyeongsangbuk-do 36729, Korea

(Received August 5, 2020: Corrected August 26, 2020: Accepted August 31, 2020)

초 록: 최근 첨단 반도체 패키징 기술은 고성능 SIP(system in packaging) 구조로 발전해 가고 있고, 이를 실현시키기 위해서 구리 대 구리 접합은 가장 핵심적인 기술로 대두되고 있다. 구리 대 구리 접합 기술은 아직 구리의 산화 특성과 고온 및 고압력 공정 조건, 등 해결해야 할 문제점들이 남아 있다. 본 연구에서는 아르곤과 질소를 이용한 2단계 플라즈마 공정을 이용한 저온 구리 접합 공정의 접합 계면 품질을 정량적 접합 강도 측정을 통하여 확인하였다. 2단계 플라즈마 공정은 구리 표면에 구리 질화막을 형성하여 저온 구리 접합을 가능하게 한다. 구리 접합 후 접합 강도 측정은 4점 굽힘 시험법과 전단 시험법으로 수행하였으며, 평균 접합 전단 강도는 30.40 MPa로 우수한 접합 강도를 보였다.

Abstract: The recent semiconductor packaging technology is evolving into a high-performance system-in-packaging (SIP) structure, and copper-to-copper bonding process becomes an important core technology to realize SIP. Copper-to-copper bonding process faces challenges such as copper oxidation and high temperature and high pressure process conditions. In this study, the bonding interface quality of low-temperature copper-to-copper bonding using a two-step plasma treatment was investigated through quantitative bonding strength measurements. Our two-step plasma treatment formed copper nitride layer on copper surface which enables low-temperature copper bonding. The bonding strength was evaluated by the four-point bending test method and the shear test method, and the average bonding shear strength was 30.40 MPa, showing that the copper-to-copper bonding process using a two-step plasma process had excellent bonding strength.

Keywords: Copper bonding, Copper nitride, Shear test, Four point bending, 3D packaging

1. 서 론

트랜지스터의 소형화가 물리적 한계에 도달하면서 집적회로(integrated circuit) 소자의 고성능화는 위기에 직면하게 되었고, 패키징 시스템 레벨에서의 고성능화와 소형화가 빠르게 요구되고 있다. 최근에는 다양한 소자들이 연결되는 칩렛(chiplet) 구조가 패키징 기술 방향이 되고 있으며, 다중 소자들이 연결됨에 따라 칩 간 배선

(interconnect)은 더욱 복잡해지고 전체 소자 시스템의 전력 및 신호 전달은 더욱 중요해지고 있다. 특히, 다종(heterogeneous) 칩 패키징에 대한 새로운 수요를 충족하기 위한 다양한 노력들이 이루어지고 있으며, FOWLP(fan out wafer level packaging)이나 3D 패키징 기술이 대표적이라 하겠다.^{1,2)} 소자들을 수직으로 적층하는 3D 패키징 기술은 시스템의 배선 길이를 감소시켜 전력 및 신호 전달을 향상시키고, 소자 간 배선의 피치(pitch)를 줄

[†]Corresponding author
E-mail: eunkyung@seoultech.ac.kr

© 2020, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

여 수직으로 적층한 소자의 입/출력 수를 증가시켜 높은 대역폭을 확보할 수 있다. 또한, 시스템의 폼 팩터(form factor)를 줄일 수 있고, 이에 생산 비용도 절감할 수 있다. 이러한 3D 패키징의 특성들은 제조공정이 다른 소자들을 효과적으로 적층하여 다중 시스템을 구현할 수 있는 기회를 제공한다.³⁾

3D 패키징의 핵심 공정에는 웨이퍼 박막화(wafer thinning), 관통실리콘비아(through silicon via, TSV) 형성, 칩 또는 웨이퍼 접합기술이 있다.^{4,5)} 이 중 구리를 이용한 접합기술은 3D 패키징의 미세 피치 배선을 실현할 수 있는 방법으로 주목받고 있다.⁶⁾ 구리 소재는 기계적, 전기적, 열적 특성이 우수하여 접합기술 공정에서 상당한 강점이 있으나, 아직까지는 구리 접합기술 공정에서 요구되는 고온 및 고압력 환경에 대한 해결과제를 마주하고 있다. 또한, 대기중에서 쉽게 산화되는 구리의 특성은 칩 접합기술 공정에서 상당한 어려움으로 작용할 수 있다.⁷⁾ 이에 다양한 구리 접합기술에 대한 연구들이 보고되었고, 대표적인 기술로는 구리 표면에 금속 패시베이션(passivation) 코팅 후 접합기술하는 기술,⁸⁾ alkane-thiol과 같은 유기물질로 초박형 자기조립단층박막(self-assembled monolayer)을 형성한 후 접합기술하는 기술,⁹⁾ 플라즈마로 구리질화막 패시베이션 형성 후 접합기술하는 기술,¹⁰⁾ 금속 또는 용매 재료로 구리 나노 구조를 감싸 산화를 차단함으로써 저온에서 구리 나노 구조를 접합기술하는 기술,^{11,12)} 구리 박막의 기계적 응력 특성을 제어한 후 접합기술하는 기술,¹³⁾ (111) 결정방향을 가지는 구리 박막을 형성 후 접합기술하는 기술,¹⁴⁾ 산성 기체 및 용액¹⁵⁾ 또는 조명 조사를¹⁶⁾ 통해 구리 표면을 처리하여 확산 특성을 향상시켜서 접합기술하는 기술 등이 있다. 현재 소니 image sensor 등 일부 대량생산에 적용되고 있는 DBI (direct bonding interconnect) 접합기술은 저온에서 매우 낮은 압력으로 SiO₂와 구리를 동시에 접합기술하는 하이브리드 접합기술으로 많은 주목을 받고 있다.¹⁷⁾

본 연구에서는 구리 표면에 구리 질화막 패시베이션을 형성한 후 저온 구리 접합기술을 진행하였다. 구리 질화막 패시베이션은 아르곤과 질소 플라즈마를 순차적으로 적용하는 2단계 플라즈마 처리 공정을 이용하였으며, 접합기술 공정 후 접합기술 계면의 접합 강도를 4점 굽힘 시험법(4 point bending test, 4PB)과 전단 시험법(shear test)을 통해 분석하였다. 4점 굽힘 시험법은 시편의 네 부분에 핀(pin)을 설치하고 하중(load)을 인가하여 접합 계면

이 파괴될 때의 에너지를 계산하는 방법으로 얇은 박막 구조의 계면 에너지를 쉽게 측정할 수 있다.¹⁸⁾ 하지만 접합 계면으로 균열을 전파시키기 위해 시험 실행 전 시편 중앙에 노치(notch) 구조를 제작하는 추가 공정이 필요하고, 접합 계면보다 약한 계면이 먼저 파괴될 경우 접합 계면 에너지를 계산할 수 없는 단점이 있다. 전단 시험법은 툴 팁(tool tip)으로 접합된 구조의 윗부분을 아랫부분과 분리될 때까지 밀어내어 계면 접합 강도를 구하는 방법으로 시편 준비와 전단 방법이 간단하고 용이하다. 만약 테스트 시편이 가늘고 얇으면 전단 응력이 가해지는 면적 대비 둘레(edge)의 영향이 증가하며 툴 팁의 전단 응력이 시편의 항복강도(yield strength)보다 높아질 수도 있다. 이러한 경우는 툴 팁의 전단 응력이 시편의 둘레에 집중되어 접합 계면이 파괴되기 전에 시편이 파괴(failure)될 수 있기 때문에 시편의 크기는 이를 고려해서 준비해야 한다.

2. 실험방법

200 mm 직경의 실리콘 웨이퍼를 먼저 열 산화 공정을 통해 표면에 약 0.7 μm 두께의 실리콘 산화막(SiO₂)을 성장시켰다. 산화된 실리콘 기판 위에 RF 스퍼터링 공정으로 50 nm 두께의 Ti 박막과 1 μm 두께의 구리 박막을 순차적으로 증착하였고, 박막 증착은 2500 W의 전력과 5 mTorr의 압력 하에서 80 sccm의 아르곤 가스 유량 조건으로 수행되었다. 이후 구리 시편은 아르곤과 질소의 2단계 플라즈마 공정을 거치게 된다. 아르곤 플라즈마 공정은 스퍼터 챔버 내에서 100 W의 RF 전력, 7.5 mTorr의 압력, 그리고 150 sccm 유량의 아르곤 가스 환경에서 30초 동안 진행되었고, 질소 플라즈마 공정은 26 W의 RF 전력, 4.6 mTorr의 압력, 그리고 45 sccm 유량의 질소 가스 환경에서 113초 동안 진행하였다. 2단계 플라즈마 공정을 거친 두 장의 웨이퍼는 SUSS Microtec (SB 8e) 웨이퍼 접합 장비에서 접합되었다. 접합은 300°C 접합온도, 700 kPa 접합압력, 그리고 진공환경에서 1 시간 동안 열-압축(thermo-compression) 방법으로 진행하였고, 바로 200°C에서 1시간 동안 열처리 공정을 수행하였다. 시편 제작 순서는 Fig. 1에 나타내었다.

접합된 구리 시편의 접합 품질은 초음파 탐상 검사 시스템(scanning acoustic tomography, SAT)과 주사 전자 현미경(scanning electron microscope, SEM)을 통해 먼저 확

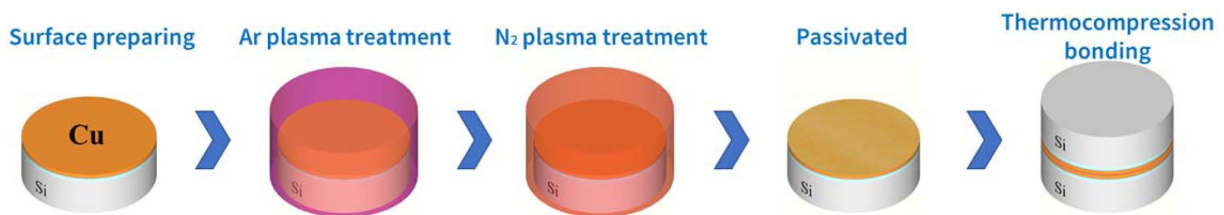


Fig. 1. Sample preparation flow.

인한 후 4점 굽힘 시험법(4 point bending test, 4PB)과 전단 시험법(shear test)을 통해서 접합 강도를 분석하였다. 4점 굽힘 시험은 7개의 60 mm × 5 mm 시편으로 반복 측정하였고, 전단 시험은 10개의 2 mm × 2 mm 시편으로 반복 측정하였다. 전단 시험의 테스트 시편 크기는 전단 응력이 가해지는 툴 팁의 면적과 시편의 면적을 고려하여 설정하였고, 툴 팁의 속도는 600 μm/sec이었다.

3. 결과 및 토론

Fig. 2는 구리 접합된 웨이퍼의 SAT 측정 이미지와 접합 단면의 주사 전자 현미경으로 촬영한 이미지를 보여 주고 있다. 2단계 플라즈마 공정으로 구리 질화막을 형성하고, 구리 질화막을 이용하여 구리 접합을 하는 과정은 이미 보고하였고,¹⁰⁾ 본 논문에서는 구리 질화막을 이용하여 구리 접합한 시편을 이용하여 계면의 접합 강도를 분석하였다.

구리 접합 시편의 접합 강도를 측정하기 위해 첫번째로 4점 굽힘 시스템을 사용하였다. 시편은 Fig. 3에서 보듯이 구리 접합된 웨이퍼를 60 mm × 5 mm의 크기로 절단 후 한쪽 실리콘 시편의 중앙부분에 600 μm 깊이의 노치(notch)를 제작하여 준비하였다. 노치를 제작한 구리 접합 시편은 윗부분과 아랫부분에 각각 두개의 핀을 설치하여 구리와 구리 접합 계면이 박리될 때까지 하중을 인

가하였고, loading speed는 0.08 μm/s이었다. 노치로부터 계면까지 균열이 전파되어 계면 박리가 일어나면 하중-변위 곡선에서 하중이 일정한 영역으로 보이는 plateau 구간이 나타나고, 시편의 접합 계면 에너지는 측정 시 plateau에서의 하중 값, 시편의 크기 및 재료 특성을 종합하여 계산하게 된다.¹⁸⁾ 계면 에너지 계산 식은 아래와 같다.¹⁹⁾ 공식 (1)의 G는 계면 에너지, b는 빔 폭(beam width), h는 빔 두께의 1/2, E는 탄성 계수, n는 포아송비이며, M은 PL/2로 계산한다.

$$G = \frac{2l(1-\nu^2)M^2}{4Eb^2h^3} \tag{1}$$

2단계 플라즈마 공정을 이용하여 접합된 구리 시편에서 Fig. 4에서와 같이 4점 굽힘 시험동안 모든 시편에서 하중-변위 곡선에서 plateau가 나타나지 않았다. 이는 구리 대 구리 접합 계면에서 박리가 발생하지 않고 노치의 균열이 시편을 가로질러 파괴되었기 때문이다. 이로 인

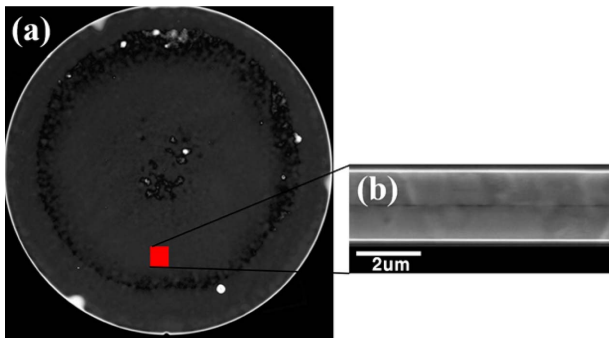


Fig. 2. SAT and SEM images of Cu-Cu bonded wafers.

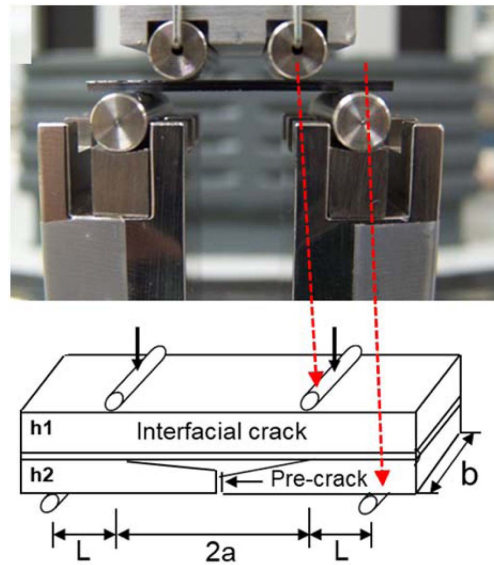


Fig. 3. 4-point probe test setup.¹⁸⁾

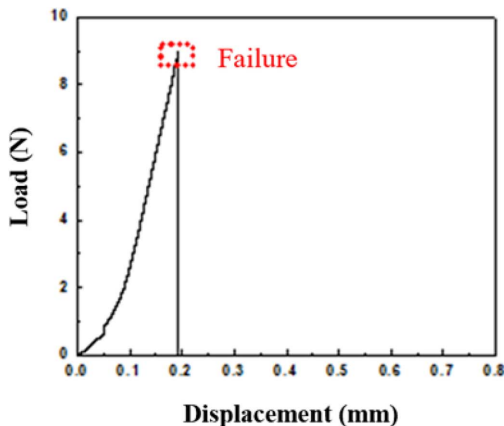
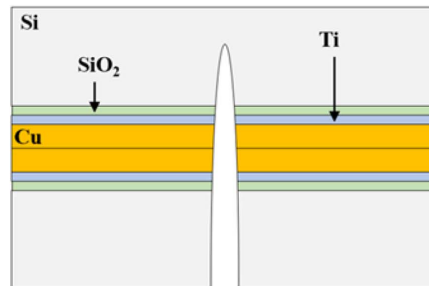


Fig. 4. Load-displacement graph of bonded sample in 4PB test.



하여 4점 굽힘 시험법으로는 구리 접합 계면의 품질이 우수하다는 정성적인 설명 이외에 정량적인 접합 강도를 명확하게 측정할 수 없었다.

다음으로, 전단 시험을 이용하여 구리 접합 시편의 접합 강도를 측정을 실시하였다. 시편은 Fig. 5에서 보듯이 구리 접합된 웨이퍼를 2 mm × 2 mm의 크기로 절단 후 접합 계면의 아랫부분 실리콘 시편을 고정시킨 상태에서 윗부분 실리콘 시편을 툴 팁으로 밀어내어 파괴 힘(failure force)을 측정하였고, Fig. 6과 같은 힘과 시간의 측정 결과에서 얻어진 최대 힘을 시편의 면적으로 나누어 접합 계면의 전단 강도(shear strength)를 계산하였다. 공식 (2)의 τ 는 전단 강도, F 는 파괴 시의 최대 힘, 그리고 A 는 면적이다. 실제 전단 시험 후 시편의 상태는 Fig. 7에서 확인할 수 있고, 툴 팁에 의해 접합된 구리 접합 계면의 윗부분이 떨어져 나갔으며 접합 계면 아랫부분의 구리 층이 드러난 것을 확인할 수 있다. 이는 본 전단 시험으로 2단계 플라즈마를 이용한 구리 접합 계면의 접합 강도를 정량적으로 분석할 수 있음을 보여준다.

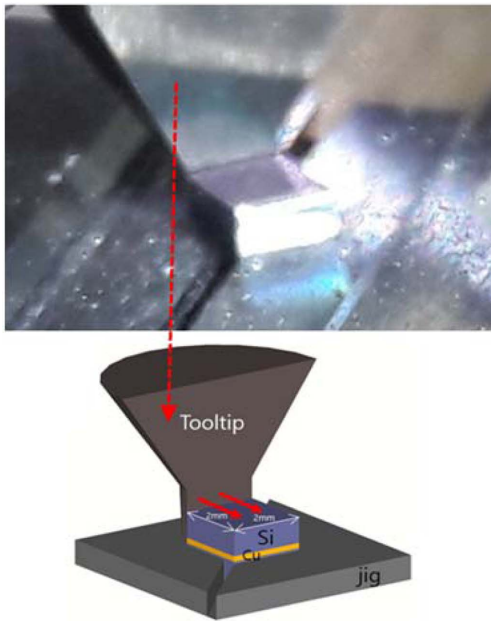


Fig. 5. Shear test setup.

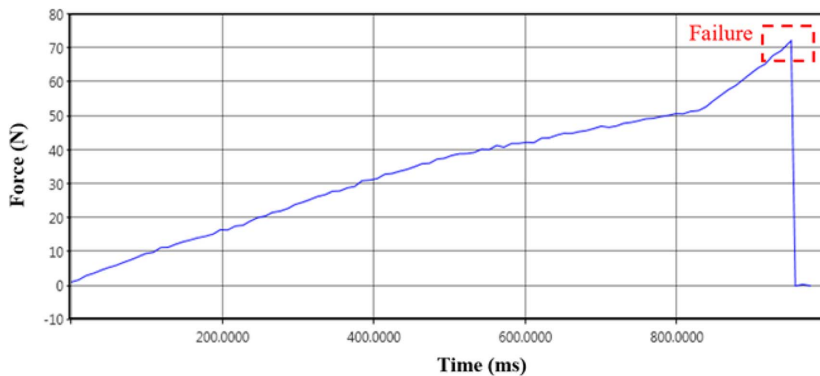


Fig. 6. Force-time graph of bonded sample in shear test.

$$\tau = \frac{F_{failure}}{A} \tag{2}$$

Fig. 8은 10개의 구리 접합 시편들의 접합 전단 강도 결과를 보여주고 있고, 2단계 플라즈마 공정을 진행하지 않은 시편과 비교하여 분석하였다. 2단계 플라즈마 공정을

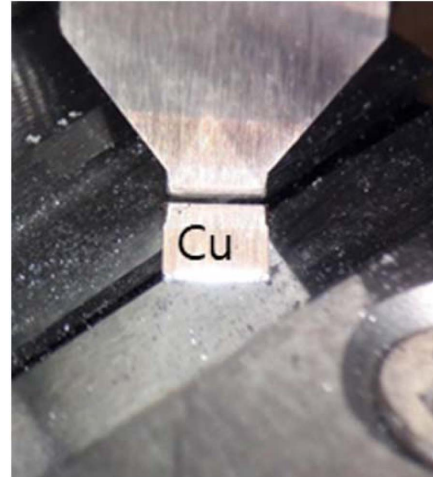


Fig. 7. Image after a shear test of bonded Cu sample.

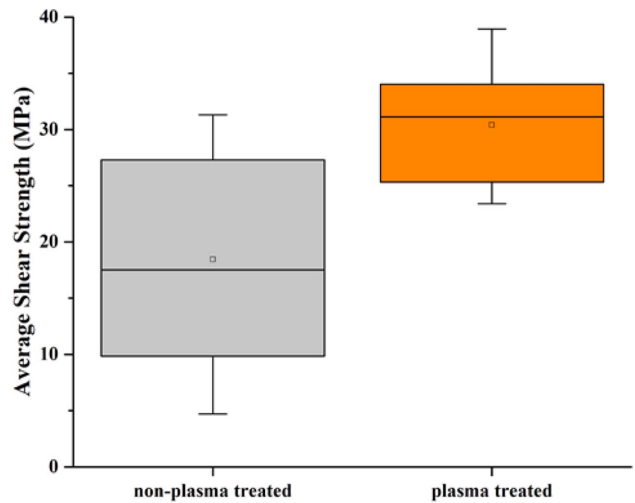
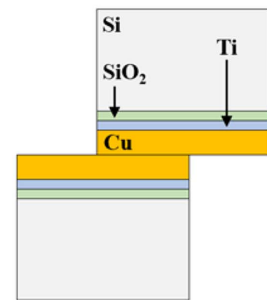


Fig. 8. Shear strength of Cu-Cu bonded samples.



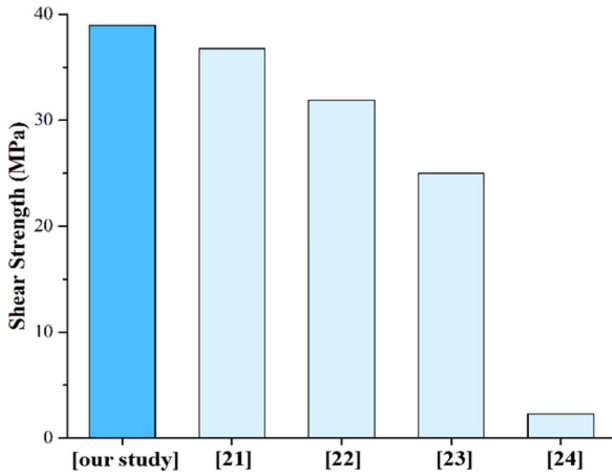


Fig. 9. Reported shear strength of Cu bonded samples.

진행하지 않은 시편들의 평균 접합 전단 강도는 18.45 MPa이고 표준편차는 9.15 MPa이었다. 반면 2단계 플라즈마 공정을 진행한 시편들의 평균 접합 전단 강도는 30.40 MPa이고 표준편차는 5.36 MPa로 나타났으며, 약 39%의 접합 전단 강도가 향상된 것을 확인하였다. 2단계 플라즈마 공정을 진행하지 않은 시편은 구리 표면에 불균일한 자연 구리 산화막으로 인해 접합 강도가 낮고 편차가 심하게 나타났다. 하지만 2단계 플라즈마 공정을 진행한 시편의 경우 아르곤 플라즈마로 표면의 구리 산화막과 오염을 제거한 후 질소 플라즈마로 균일하게 형성한 3~4 nm의 구리 질화막이 접합 공정 시 분해되면서 깨끗한 구리 접합이 일어났기 때문에 접합 강도가 높고 편차가 낮은 것이다. 또한, 구리 질화막이 대기 중에서 구리 표면의 산화를 방지하여 접합 공정에 도움을 준 것으로 보인다. 구리 질화막 두께는 XPS depth profile로 분석하여 Fig. 10에 나타내었고, 10초의 etching rate은 약 1 nm의 두께를 의미한다. 구리 질화막의 구리 산화 방지에 대한 결과는 이미 보고한 바 있다.²⁰⁾ Fig. 9에 본 연구에서 측정된 최고 접합 전단 강도 값과 보도된 문헌들의 접합 전단 강도 값을 비교하였고,²¹⁻²⁴⁾ 2 단계 플라즈마 공정을 이용한 구리 접합이 접합 강도를 높이는 데 효과적인 것을 알 수 있다. Fig. 9에서 36.75 MPa의 높은 전단 강도를 보고한 Wu 연구팀은 구리 나노 입자를 5 mm × 5 mm 크기의 구리 시편에 코팅 후 구리 산화물 제거를 위한 Ar/H₂ 플라즈마 공정을 진행하고 200°C에서 조각 시편을 접합한 경우이다.²¹⁾ 나노 구리 입자를 이용하는 공정은 웨이퍼 레벨의 대면적 공정이 어렵고 반도체 제조 양산의 가능성이 낮기 때문에 본 연구에서 반도체 공정에 용이한 웨이퍼 레벨의 2단계 플라즈마 공정을 적용하여 높은 접합 전단 강도를 가지는 구리 접합을 형성한 것은 저온 구리 접합의 가능성을 높였다. Fig. 2(b)를 보면 구리 접합 계면에 가는 솔기(seam)가 보이는데 일반적으로 계면에 솔기가 보이면 1차적으로 접합이 좋지 않은 것으로 판

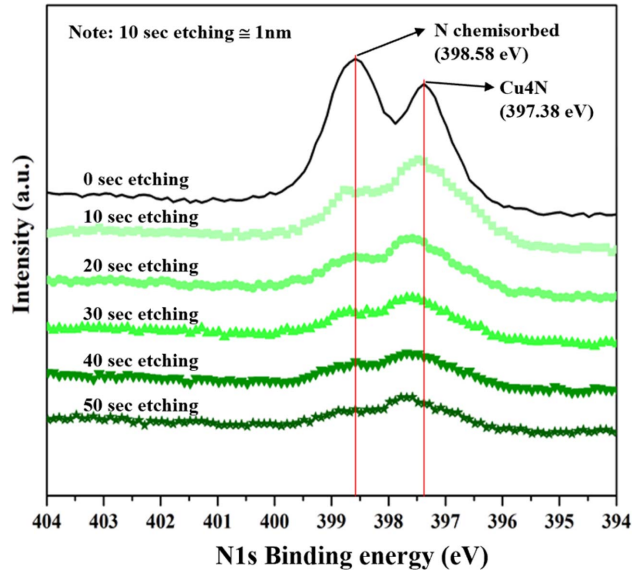


Fig. 10. XPS depth profile of copper nitride layer on copper surface.

단하지만, 구리 접합이 적용되는 패키징 구조의 경우 접합 계면에서 구리 확산이 완벽하게 일어나지 않아도 접합 계면의 품질로 충분한 경우도 있고, 구리/산화물 하이브리드 접합의 경우 구리 표면에 자연산화막 일부 존재해도 접합 특성에 영향을 주지 않는 경우도 있다.^{25,26)} 본 연구에서도 단면에 솔기가 관찰되었으나 높은 접합 전단 강도를 확인할 수 있었다. 구리 대 구리 접합의 경우 적용분야 제품의 특성 조건이 중요하며, 접합 품질은 단면 분석과 함께 적절한 접합 강도 분석이 반드시 수반되어야 하겠다.

4. 결 론

구리 접합은 향후 반도체 산업에 핵심적인 시스템-인-패키징 구조와 미세 피치 배선(interconnect)을 실현하는데 필수적인 기술이다. 본 연구는 2단계 플라즈마 공정을 이용하여 수행된 저온 구리 대 구리 접합의 접합 계면 품질을 정량적으로 분석하는 접합 강도에 중점을 두었다. 접합 강도는 4점 굽힘 시험법과 전단 시험법을 이용하여 진행하였고, 4점 굽힘 시험법의 경우 접합 계면이 우수하여 접합 계면의 박리가 일어나지 않아 계면에너지를 확보하지 못하였고, 전단 시험법의 경우 구리 계면이 박리되면서 접합 전단 강도를 확보할 수 있었다. 평균 접합 전단 강도는 30.40 MPa로 높았고 표준편차는 5.36 MPa로 낮았으며, 2단계 플라즈마 공정을 수행하지 않은 경우와 비교하여 약 39%의 접합 전단 강도가 향상되었다. 2단계 플라즈마 공정을 이용한 저온 구리 접합 기술은 반도체 제조 공정에 호환 가능할 뿐 아니라 우수한 접합 전단 강도를 가지는 접합 기술로 높은 가능성을 보였다.

감사의 글

This research was supported by Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Science and ICT (NRF-2018R1A2B6003921).

References

1. M. Karnezos, "3D packaging: where all technologies come together", Proc. IEEE/CPMT International Electronics Manufacturing Technology (IEMT) Symposium, San Jose, CA, USA, IEEE (2004).
2. E. Beyne, "3D system integration technologies", Proc. International Symposium on VLSI Technology, Systems and Applications, Honolulu, HI, USA, IEEE (2006).
3. S. Das, A. P. Chandrakasan, and R. Reif, "Calibration of Rent's rule models for three-dimensional integrated circuits", IEEE T. VLSI Syst., 12(4), 359 (2004).
4. S. W. Yoon, D. W. Yang, J. H. Koo, M. Padmanathan, and F. Carson, "3D TSV processes and its assembly/package technology", Proc. IEEE International Conference on 3D System Integration (3DIC), San Francisco, CA, USA, IEEE (2009).
5. T. Ohba, N. Maeda, H. Kitada, K. Fujimoto, K. Suzuki, T. Nakamura, A. Kawai, and K. Arai, "Thinned wafer multi-stack 3DI technology", Microelectron. Eng., 87(3), 485 (2010).
6. A. Fan, A. Rahman, and R. Reif, "Copper wafer bonding", Electrochem. Solid-State Lett., 2(10), 534 (1999).
7. S. G. Kang, J. Lee, E. S. Kim, N. Lim, S. Kim, S. Kim, and S. E. Kim, "Fabrication and Challenges of Cu-to-Cu Wafer Bonding", J. Microelectron. Packag. Soc., 19(2), 29 (2012).
8. Y. P. Huang, Y. S. Chien, R. N. Tzeng, M. S. Shy, T. H. Lin, K. H. Chen, C. T. Chiu, J. C. Chiou, C. T. Chuang, W. Hwang, H. M. Tong, and K. N. Chen, "Novel Cu-to-Cu Bonding with Ti Passivation at 180 °C in 3-D Integration", IEEE Electr. Device L., 34(12), 1551 (2013).
9. C. S. Tan, D. F. Lim, S. G. Singh, S. K. Goulet, and M. Bergkvist, "Cu-Cu diffusion bonding enhancement at low temperature by surface passivation using self-assembled monolayer of alkane-thiol", Appl. Phys. Lett., 95(19), 192108 (2009).
10. H. Park and S. E. Kim, "Two-Step Plasma Treatment on Copper Surface for Low-Temperature Cu Thermo-Compression Bonding", IEEE Trans. Comp. Packag. Manuf. Tech., 10(2), 332 (2020).
11. J. Li, Q. Liang, T. Shi, J. Fan, B. Gong, C. Feng, J. Fan, G. Liao, and Z. Tang, "Design of Cu nanoaggregates composed of ultra-small Cu nanoparticles for Cu-Cu thermocompression bonding", J. Alloys Compd., 772, 793 (2019).
12. Z. Liu, J. Cai, Q. Wang, Z. Wang, L. Liu, and G. Zou, "Thermal-stable void-free interface morphology and bonding mechanism of low-temperature Cu-Cu bonding using Ag nanostructure as intermediate", J. Alloys Compd., 767, 575 (2018).
13. A. K. Panigrahi, T. Ghosh, C. H. Kumar, S. G. Singh, and S. R. K. Vanjari, "Direct, CMOS In-Line Process Flow Compatible, Sub 100 °C Cu-Cu Thermocompression Bonding Using Stress Engineering", Electron. Mater. Lett., 14(2), 328 (2018).
14. C. -H. Tseng, K. N. Tu, and C. Chen, "Comparison of oxidation in uni-directionally and randomly oriented Cu films for low temperature Cu-to-Cu direct bonding", Sci. Rep., 8(1), 10671 (2018).
15. W. Yang, Y. Lu, C. Zhou, J. Zhang, and T. Suga, "Study of Cu Film Surface Treatment Using Formic Acid Vapor/Solution for Low Temperature Bonding", J. Elec. Soc., 165(4), H3080 (2017).
16. S. -Y. Liang, J. -M. Song, S. -K. Huang, Y. -T. Chiu, D. Tarn, and C. -P. Hung, "Light enhanced direct Cu bonding for advanced electronic assembly", J. Mater. Sci., 29(16), 14144 (2018).
17. H. Seo, H. Park, and S. E. Kim, "Cu-SiO₂ Hybrid Bonding", J. Microelectron. Packag. Soc., 27(1), 17 (2020).
18. G. Kim, J. Lee, S. Park, S. Kang, T. S. Kim, and Y. B. Park, "Comparison of Quantitative Interfacial Adhesion Energy Measurement Method between Copper RDL and WPR Dielectric Interface for FOWLP Applications", J. Microelectron. Packag. Soc., 25(2), 41 (2018).
19. M. Charalambides, "Fracture mechanics specimen for interface toughness measurement", Journal of Applied Mechanics, 56(0), 77 (1989).
20. H. S. Park, H. K. Seo, M. Park, and S. E. Kim, "Development of CMOS-compatible low temperature Cu bonding optimized by the response surface methodology", Proc. 70th Electronic Components and Technology Conference (ECTC), Orlando, FL, USA, IEEE (2020).
21. Z. Wu, J. Cai, Q. Wang, and J. Wang, "Low temperature Cu-Cu bonding using copper nanoparticles fabricated by high pressure PVD", AIP Advances, 7(3), 035306 (2017).
22. J. Li, X. Yu, T. Shi, C. Cheng, J. Fan, S. Cheng, G. Liao, and Z. Tang, "Low-Temperature and Low-Pressure Cu-Cu Bonding by Highly Sinterable Cu Nanoparticle Paste", Nanoscale Res. Lett., 12, 255 (2017).
23. J. Li, Q. Liang, C. Chen, T. Shi, G. Liao, and Z. Tang, "Cu-Cu Bonding by Low-Temperature Sintering of Self-Healable Cu Nanoparticles", Proc. 69th Electronic Components and Technology Conference (ECTC), Las Vegas, NV, USA, IEEE (2019).
24. J. J. Li, C. L. Cheng, T. L. Shi, J. H. Fan, X. Yu, S. Y. Cheng, G. L. Liao, and Z. R. Tang, "Surface effect induced Cu-Cu bonding by Cu nanosolder paste", Mater. Lett., 184, 193 (2016).
25. R. He, M. Fujino, A. Yamauchi, Y. Wang, and T. Suga, "Combined surface activated bonding technique for low-temperature Cu/Dielectric hybrid bonding", ECS J. Solid State Sci. Technol., 5(7), 419 (2016).
26. C. S. Tan, L. Peng, H. Y. Li, D. F. Lim, and S. Gao, "Wafer-on-Wafer Stacking by Bumpless Cu-Cu Bonding and Its Electrical Characteristics", IEEE Elec. Dev. Lett., 32(7), 943 (2011).