

## 전극 접촉영역의 선택적 표면처리를 통한 유기박막트랜지스터 전하주입특성 및 소자 성능 향상에 대한 연구

최기현 · 이화성<sup>†</sup>

한양대학교 재료화학공학과

(2020년 06월 22일 접수, 2020년 07월 15일 수정, 2020년 07월 24일 채택)

### Improving Charge Injection Characteristics and Electrical Performances of Polymer Field-Effect Transistors by Selective Surface Energy Control of Electrode-Contacted Substrate

Giheon Choi and Hwa Sung Lee<sup>†</sup>

Department of Materials Science and Chemical Engineering,  
Hanyang University, Ansan 15588, Republic of Korea

(Received June 22, 2020, Revised July 15, 2020; Accepted July 24, 2020)

**요약:** 본 연구에서 소스/드레인 전극이 위치하는 기판의 접촉영역과 두 전극사이 채널영역의 표면 에너지를 선택적으로 다르게 제어하여 고분자 트랜지스터의 소자성능과 전하주입 특성에 미치는 영향을 확인하였다. 채널영역의 표면에너지를 낮게 유지하면서 접촉영역의 표면에너지를 높였을 때 고분자 트랜지스터의 전하이동도는  $0.063 \text{ cm}^2/\text{V} \cdot \text{s}$ , 접촉저항은  $132.2 \text{ k}\Omega \cdot \text{cm}$ , 그리고 문턱전압이하 스윙은  $0.6 \text{ V/dec}$ 로 나타났으며, 이는 원래 소자에 비해 각각 2배와 30배 이상 개선된 결과이다. 채널길이에 따른 계면 트랩밀도를 분석한 결과, 접촉영역에서 선택적 표면처리에 의해 고분자반도체 분자의 공액중첩 방향과 전하주입 방향이 일치되면서 전하트랩 밀도가 감소한 것이 성능향상의 주요한 원인으로 확인되었다. 본 연구에서 적용한 전극과 고분자 반도체의 접촉영역에 선택적 표면처리 방법은 기존의 계면저항을 낮추는 다양한 공정과 함께 활용됨으로써 트랜지스터 성능향상을 최대화할 수 있는 가능성을 가진다.

**Abstract:** We confirmed the effects on the device performances and the charge injection characteristics of organic field-effect transistor (OFET) by selectively differently controlling the surface energies on the contact region of the substrate where the source/drain electrodes are located and the channel region between the two electrodes. When the surface energies of the channel and contact regions were kept low and increased, respectively, the field-effect mobility of the OFET devices was  $0.063 \text{ cm}^2/\text{V} \cdot \text{s}$ , the contact resistance was  $132.2 \text{ k}\Omega \cdot \text{cm}$ , and the subthreshold swing was  $0.6 \text{ V/dec}$ . They are the results of twice and 30 times improvements compared to the pristine FET device, respectively. As the results of analyzing the interfacial trap density according to the channel length, a major reason of the improved device performances could be anticipated that the pi-pi overlapping direction of polymer semiconductor molecules and the charge injection pathway from electrode is coincided by selective surface treatment in the contact region, which finally induces the decreases of the charge trap density in the polymer semiconducting film. The selective surface treatment method for the contact region between the electrode and the polymer semiconductor used in this study has the potential to maximize the electrical performances of organic electronics by being utilized with various existing processes to lower the interface resistance.

**Keywords:** organic field-effect transistor, surface energy, charge injection, contact resistance, field-effect mobility

<sup>†</sup> Corresponding author: Hwa Sung Lee (hslee78@hanyang.ac.kr)

## 1. 서론

유기 전계효과 트랜지스터(organic field-effect transistor, 이하 유기 트랜지스터)는 저비용, 대면적, 용액공정의 장점으로 인해 다양한 응용분야 활용연구가 수십년간 꾸준히 진행되어 왔다[1]. 최근 몇몇 연구에서 새로운 유기반도체 물질의 합성이나 각종 공정적 기법을 이용해  $10 \text{ cm}^2/\text{V} \cdot \text{s}$  이상의 높은 전하이동도(field-effect mobility,  $\mu_{\text{FET}}$ )를 가지는 유기 트랜지스터의 제작이 보고되면서 유기 트랜지스터 활용의 잠재적 가능성이 현실화되고 있는 상황이다[2]. 그러나 종종 높은 성능의 유기 트랜지스터는 전류-전압 성능곡선에서 비선형 그래프와 같은 비이상적인 특성이 함께 발견되기도 한다. 이는  $\mu_{\text{FET}}$ 의 과대평가(overestimation) 또는 과소평가(underestimation)를 야기할 수 있으며, 소자의 신뢰성을 저하시키는 요인으로 작용하기 때문에 유기 트랜지스터의 상용화를 지연시키는 문제점으로 인식되고 있다[3, 4]. 특히 유기반도체와 금속전극의 이종계면에서 발생하는 높은 접촉저항(contact resistance,  $R_C$ )은 유기 트랜지스터의 대표적인 해결과제 중 하나이다. 유기 트랜지스터의 주된 역할 중 하나인 빠른 스위칭 기능을 수행하는데 있어서, 높은 수준의  $R_C$ 은 전하의 주입과 추출을 방해하여 소자의 성능과 내구성 저하에 영향을 끼친다. 또한 회로의 집적화가 증대됨에 따라 채널 길이가 나노미터 수준으로 줄어들게 되면, 접촉저항은 소자의 구동성능에 점점 중요한 영향을 미치게 된다. 따라서 이는 유기 트랜지스터의 상용화를 위해서 반드시 개선해야 할 중요한 성능지표 중 하나이다[5, 6].

일반적으로  $R_C$ 은 계면저항(interfacial contact resistance,  $R_{C,\text{int}}$ )과 접근저항(access contact resistance,  $R_{C,\text{acc}}$ )으로 분류된다[7]. 현재까지 대부분의 연구결과는 전극과 유기반도체 층 사이의  $R_{C,\text{int}}$ 을 낮추는데 집중되어 왔으며, 다양한 전극형성 또는 표면처리 기술을 적용하여  $R_{C,\text{int}}$ 을 성공적으로 감소시키는 모습을 보였다[8]. 그러나 최근  $R_{C,\text{acc}}$ 의 중요성이 강조되고 있으며 이에 관한 몇몇 논문이 보고되었다[9, 10]. 특히, 20 nm 이하의 얇은 두께의 유기반도체층 또는 단층(monolayer) 유기반도체 구조를 적용한 트랜지스터에서 수십~수백  $\Omega \cdot \text{cm}$ 의 낮은  $R_C$ 이 보고되었는데, 비록 지금까지  $R_{C,\text{int}}$ 과  $R_{C,\text{acc}}$ 을 수치적으로 분리하여 개별적으로 분석한 연구는 없지만  $R_{C,\text{acc}}$ 이  $R_C$ 에 무시할 수 없는 영향을 주고 있다고 짐작할 수 있다[11, 12]. 유기트랜지스터의  $R_{C,\text{acc}}$ 은 상부접촉/하부게이트(top-contact /bottom-gate) 또는 하부접촉/상부게이트(bottom-contact/top-gate)의 구조에서 등장하며, 이를 소스/드레인 전극과 게이트 전극이 서로 반대방향으로 엇갈린 구조(staggered structure)라고 한다[13]. 이 때  $R_{C,\text{acc}}$ 은 유기반도체층의 두께가 두껍고

전하가 주입되는 벌크영역(bulk region)의 트랩(trap)이 많아질수록 발생 가능성이 높다[14]. 따라서 유기반도체층의 두께를 감소시키면  $R_{C,\text{acc}}$ 을 개선할 수 있지만, 그만큼 채널이 형성되는 영역이 산소와 물에 쉽게 노출되어 소자 안정성이 낮아지는 문제가 발생한다. 이러한 이유로 유기반도체 층의 두께를 줄이는 방향의 연구를 통해  $R_{C,\text{acc}}$ 에 대한 명확한 이해 및 분석이 쉽지 않다.

본 연구에서는 절연체의 표면에너지 제어를 통해 유기반도체층 내부의 분자간 공액중첩방향과 전하주입 방향을 일치하게 설계함으로써 유기 트랜지스터의 전하주입 영역의 트랩을 줄이는데 성공했다. 또한 전하가 주입되는 벌크 영역에서의 트랩 감소는  $R_C$ 의 감소로 나타났다. 이 연구를 위해 새롭게 합성된 diketopyrrolopyrrole (DPP)-selenophene copolymer with siloxane-terminated pentyl chains (PTDPPSe-SiC5)을 유기반도체의 모델 물질로써 사용하였으며, 소자는 상부접촉/하부게이트 구조를 채택하였다. 실험 결과,  $R_C$ 은  $327.8 \text{ k}\Omega \cdot \text{cm}$ 에서  $132.2 \text{ k}\Omega \cdot \text{cm}$ 으로 감소하였고,  $\mu_{\text{FET}}$ 는  $0.026 \text{ cm}^2/\text{V} \cdot \text{s}$ 에서 최대  $0.073 \text{ cm}^2/\text{V} \cdot \text{s}$ 로 약 3배 이상의 성능개선 효과가 발생하였다. 본 연구에서 적용된 실험 방법은 전극과 유기반도체의 에너지 레벨에 영향을 미치지 않았으며, PTDPPSe-SiC5 유기반도체 박막의 표면구조 변화가 야기되지 않은 것을 미루어  $R_C$  중  $R_{C,\text{int}}$ 에 의한 효과라고 보기 어렵다. 따라서 본 연구에서 얻어진 결과는  $R_{C,\text{acc}}$ 의 변화에 의한 것이 주된 요인으로 판단된다. 또한 기존에 사용되던 금속산화물 기반 전하주입층 형성, 도핑(doping), 자기조립박막(self-assembled monolayer, SAM) 등과 같은 방법과 중첩해서 사용할 수 있는 가능성을 갖고 있으며,  $R_{C,\text{acc}}$ 이 소자 성능에 주는 영향을 명확히 확인했다는 점에서 의의가 있다.

## 2. 실험

### 2.1. 시약 및 재료

PTDPPSe-SiC5은 이전에 보고된 방법[15] 과 같이 합성되었으며,  $M_n$ 과 PDI는 각각  $63.4 \text{ kg/kmol}$ 과 3.53을 얻었다. 유기 반도체층을 제작하기 위해 사용된 Chlorobenzene은 Sigma Aldrich에서 구입하였으며, 순도를 높이기 위한 추가적인 공정은 사용하지 않았다.

### 2.2. 유기 전계효과 트랜지스터의 제작

유기 전계효과 트랜지스터의 제작에 앞서 기판, 게이트 절연체로 사용하기 위해 300 nm 두께의 산화물( $\text{SiO}_2$ ) 층을 갖는 고농도 도핑된 n형 실리콘 웨이퍼를 준비했다. 기판은 톨루엔에서 10분간 초음파 세척 후 및 톨루엔, 아세톤, 에탄올에 순차적으로 세척하였다. 세척된 기판은 질소가스(99.9%)로 건조되었으며,  $\text{UV/O}_3$ 처

리는 기판의 전면적 또는 포토마스크를 이용한 일부 영역에 대해 3분간 진행되었다. PTDPPSe-SiC5 용액은 chlorobenzene을 용매로 하여 3 mg/mL의 농도로 80°C, 1시간 동안 대기환경에서 교반하여 제작되었다. 용액은 가열된 온도를 유지하며 기판에 3000 rpm으로 60 초간 스핀 코팅(spin-coating)된 다음, 잔류 유기용매의 제거를 위해 60°C의 진공오븐에서 12시간동안 보관되었다. 이후 유기반도체 박막의 결정구조 향상을 위해 200°C에서 30분간 열처리(thermal annealing)를 진행되었다. 소스/드레인 전극은 Au를 약  $10^{-7}$  Torr 압력에서 7 Å/s의 속도로 열 증착하여 70 nm 두께의 전극이 제작되었다. 이때 사용된 마스크는 UV/O<sub>3</sub>처리를 위해 사용된 마스크와 규격이 동일하며, 채널길이는 50  $\mu\text{m}$ , 채널 폭은 300  $\mu\text{m}$  이다.

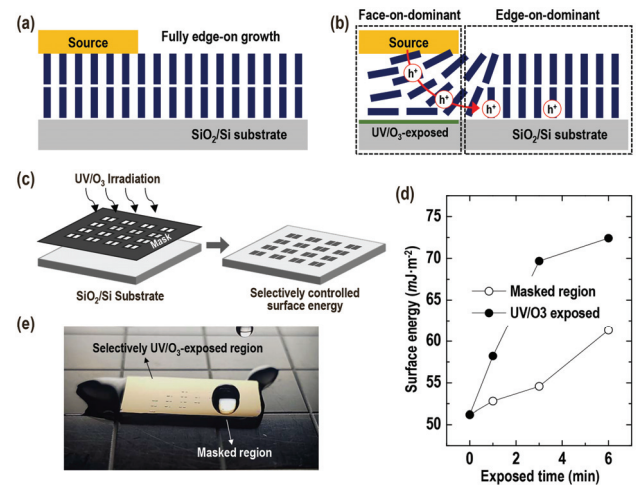
### 2.3. 기기분석

PTDPPSe-SiC5 유기 트랜지스터의 전류-전압 특성은 HP4156A 반도체 파라미터 분석기를 사용하여 실온 및 암실 조건 하에서 측정되었다. 유기 트랜지스터의  $\mu_{\text{FET}}$ 는 전달특성 그래프(transfer graph)의 포화 영역에서 얻어졌다. 접촉각 측정은 Phoenix150 접촉각 분석기를 이용하여 이루어졌으며 각 기판의 표면에너지는 상온에서 증류수와 Diiodomethane의 접촉각을 측정하여 계산되었다. PTDPPSe-SiC5 박막의 표면구조는 SiN<sub>x</sub> 캔틸레버(42 N·m<sup>-1</sup> 및 320 kHz) 및 Si 팁(팁 반경 : 10 nm)을 사용하여 태핑모드(tapping mode)에서 작동되는 원자력현미경(AFM, Digital Instruments Multimode)을 사용하여 분석되었다. AFM 데이터 및 제곱평균제곱근(rms) 거칠기는 NanoScope Analysis 1.40 소프트웨어를 사용하여 분석되었다.

## 3. 결과 및 고찰

### 3.1. 절연체 표면에너지의 선택적 제어

공액구조를 가진 고분자 반도체 분자는 기판의 표면 에너지 또는 분자구조와 상호작용에 의해 필름내 분자의 배향성이 달라진다[16]. 기판이 높은 표면에너지나 분자극성을 가진 경우 반도체 분자내 공액구조가 기판에 접근하는 face-on 구조의 배열을 가지며, 반대의 경우 분자가 기판과 수직방향인 edge-on 구조의 분자배열을 형성한다[17-19]. 이것은 고분자 반도체와 기판이 가지는 에너지를 최소화하려는 작용에 의한 것으로서, 본 연구에서 사용된 PTDPPSe-SiC5 반도체 분자도 동일하게 적용되는 원리이다. 이 원리를 이용하여 소스/드레인 전극에서 전하가 주입되는 방향, 그리고 절연체 표면에 형성된 채널에서 전하가 이동하는 방향과 일치하는 분자배향(공액중첩방향)을 유도한다면 유기박막트



**Figure 1.** (a, b) Schematics of crystal orientation of organic semiconductors on substrate without UV/O<sub>3</sub> treatment and with selective UV/O<sub>3</sub> treatment on electrode contact region, respectively. (c) Selective pattering process of dielectric surface by using with photo mask. (d) Surface energy variations according to the UV/O<sub>3</sub>-exposed time on masked and UV/O<sub>3</sub>-exposed regions. (e) Photo image of water droplets on the SiO<sub>2</sub>/Si substrate with selectively controlled surface energy.

랜지스터의 성능향상 및 접촉저항의 감소효과를 얻을 수 있을 것으로 예상할 수 있다. 이에 대한 설명을 Fig. 1(a), 1(b)에 표현하였다. Fig. 1(a)는 고분자 반도체의 분자가 모두 face-on구조로 배열한 경우를 표현한 것이며, 채널영역에서 전하의 이동에는 적합한 분자배열이지만 전극과 접촉하는 영역에서는 전하의 주입에 대한 접촉저항이 높을 것이다. 반면에 Fig. 1(b)와 같이 전극과 접촉하는 부분에서 선택적으로 edge-on구조로 분자배향이 이루어진다면 채널에서 전하의 이동과 함께 전극에서 고분자반도체로 전하가 주입되는 특성이 향상될 것이다. 우리의 실험 가설을 시스템 상에서 구현하기 위해 전극이 형성되는 절연체 표면을 선택적으로 높은 표면에너지 상태로 처리하였으며, 이는 자외선/오존(UV/O<sub>3</sub>) 처리를 통해 확보하였다.

Fig. 1(c)는 300 nm의 SiO<sub>2</sub>층을 가지는 실리콘 웨이퍼 표면을 선택적 처리하기 위한 실험방법을 보여주는 모식도이다. 일반적으로 실리콘 웨이퍼의 SiO<sub>2</sub>는 높은 표면 에너지를 가지고 있기 때문에 다양한 유기물질의 흡착이 발생하며 이로 인해 낮은 표면 에너지를 가진다. UV/O<sub>3</sub>처리를 하면 유기물질의 제거와 함께 표면의 하이드록시기(hydroxy group)가 활성화되어 표면 에너지가 증가한다. 본 연구에서는 소스/드레인 전극이 위치하는 지역의 기판 표면만 선택적으로 표면 에너지를 증가시키기 위해 패터닝된 마스크를 이용하여 UV/O<sub>3</sub>처리를

**Table 1.** Summaries of PTDPPSe-SiC5 FET device performances for the Pristine, FR, and SCR cases

	$\mu_{FET}$ (cm <sup>2</sup> /V · s)	$V_{th}$ (V)	$V_{on}$ (V)	$ V_{th}-V_{on} $ (V)	SS (V/dec)	$N_{tr}$ (cm <sup>-2</sup> )	$R_C \cdot W$ (k $\Omega$ · cm)
<b>Pristine</b>	0.028	3.6	17	13.4	18.3	9.02 x 10 <sup>11</sup>	327.8
<b>FR</b>	0.026	1.8	6	4.2	3.0	2.81 x 10 <sup>11</sup>	133.8
<b>SCR</b>	0.063	0.5	2	1.5	0.6	1.01 x 10 <sup>11</sup>	132.2

실시하였다. Fig. 1(d)는 UV/O<sub>3</sub> 노출시간에 따른 표면에너지( $\gamma_s$ )의 변화를 보여주는 그래프이다. UV/O<sub>3</sub> 노출전에  $\gamma_s$ 는 51.2 mJ/m<sup>2</sup>이며 노출에 따라 선형적으로 빠르게 증가하여 3분일 때 67.7 mJ/m<sup>2</sup>을 보였다. 노출이 충분히 이루어지는 6분에서는 72.4 mJ/m<sup>2</sup>의  $\gamma_s$ 를 보이며 점차 포화되는 경향을 확인하였다. 패턴된 마스크로 가려진 부분의 경우에도  $\gamma_s$ 가 느리게 증가하는 것을 확인할 수 있는데 3분까지 54.6 mJ/m<sup>2</sup>로 큰 변화를 보이지 않다가 6분에 61.3 mJ/m<sup>2</sup>로 상승하기 시작하였다. 이것은 마스크와 기판 사이의 틈으로 확산된 오존으로 인해 야기된 결과로 예상된다. 이 현상은 당초 기대하지 않은 결과로써, 선택적 표면처리 효과를 최대화하기 위해 두 영역의  $\gamma_s$  차이가 가장 크게 나타나는 3분의 UV/O<sub>3</sub> 처리시간을 실험에 적용하였다. 또한  $\gamma_s$ 를 계산하기 위해 Fowkes의 표면에너지 식 (1)과 Owen과 Wendt의 이론으로부터 유도된 아래의 식 (2)을 적용하였다[20, 21].

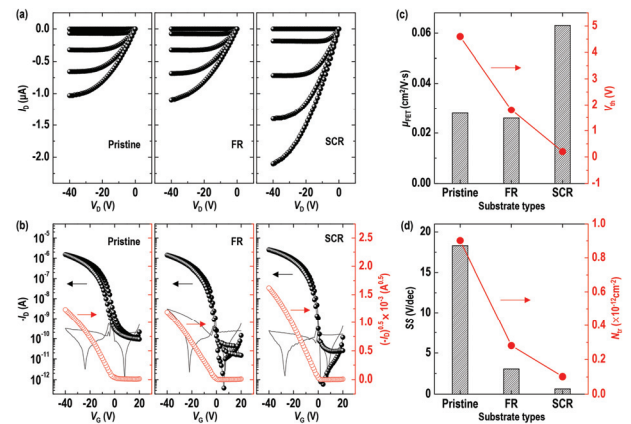
$$\gamma_s = \gamma_s^d + \gamma_s^p \tag{1}$$

$$\gamma_L(1 + \cos\theta) = 2(\gamma_s^d \gamma_L^d)^{0.5} + 2(\gamma_s^p \gamma_L^p)^{0.5} \tag{2}$$

여기서  $\gamma_s$ 는 기판의 표면에너지,  $\gamma^d$ 와  $\gamma^p$ 는 각각 무극성과 극성 표면에너지를 나타낸다. 하첨자 S는 기판, L은 프로브 용매를 의미한다. 본 실험에서는 프로브 용매로써 증류수와 Diiodomethane를 사용했으며, 용매와 기판사이의 접촉각을 각각 측정하여  $\gamma_s$ 를 계산하였다. Fig. 1 (e)는 UV/O<sub>3</sub>으로 3분간 선택적 표면처리를 거친 기판에 증류수를 떨어트렸을 때 형성되는 물방울의 형상을 보여주는 사진으로써, 실험의도에 맞게 마스크를 이용하여 기판의 선택적인 표면처리가 성공적으로 실시되었음을 보여주고 있다.

### 3.2. 유기박막트랜지스터 성능 분석

Fig. 2(a), 2(b)는 기판의 표면처리 형태에 따른 PTDPPSe-SiC5 유기박막트랜지스터의 출력특성(output) 그래프와 전달특성(transfer) 그래프를 각각 보여주고 있다. 선택적 표면처리에 따른 고분자반도체 분자의 배향성 제어와 소자성능에 미치는 영향을 체계적으로 비교하기 위해 세 가지 형태의 샘플을 제작 비교하였다. 표면처리가 이루어지지 않은 절연체를 이용한 Pristine, 절연체의 전체 표면에 UV/O<sub>3</sub> 처리를 실시한 FR (full region), 그



**Figure 2.** (a) Output and (b) transfer characteristics of PTDPPSe-SiC5 FET devices according to the processed types of surface treatment, the no treated (Pristine), fully exposed (FR), and selective controlled (SCR) cases. The output characteristics of each FET were measured using a stepped  $V_G$  of -10 V, and the transfer characteristics were measured at a fixed  $V_D$  of -40 V. (c)  $\mu_{FET}$  and  $V_{th}$  variations of PTDPPSe-SiC5 FET for the Pristine, FR and SCR cases. (d) SS and  $N_{tr}$  variations of PTDPPSe-SiC5 FET for the Pristine, FR and SCR cases. These results were calculated from the transfer characteristics of the FET devices.

리고 전극영역에 선택적 표면처리를 통해 분자 배향을 제어한 SCR (selectively controlled region)이다. 모든 출력특성 그래프에서 게이트 전압에 따라 드레인 전류가 정상적으로 증폭되고 있으며 전형적인 p-타입의 트랜지스터 성능을 보이고 있다. 그 중 SCR의 경우에서 가장 높은 드레인 전류가 측정되는 것을 확인할 수 있다. 이러한 트랜지스터 성능의 변화는 전달특성 그래프를 살펴보았을 때 더욱 두드러지게 차이가 나타나는 것을 볼 수 있다. Pristine 경우의 PTDPPSe-SiC5 트랜지스터의 경우 높고 불분명한 off-전류 ( $I_{off}$ )가 가장 큰 특징이다.  $I_{off}$ 의 상승은 도펀트 (dopant)나 산소, 물 분자 등과 같은 요인에 의해 트랩 준위 (trap state)가 채워지면서 전하의 주입과 이동에 부정적인 영향을 미치기 때문으로 알려져 있다[22].

그 근거로,

1) Forward와 backward 방향의 전류차이에 의해 발

- 생하는 히스테리시스 (hysteresis) 증가와 함께
- 2) 높은 subthreshold swing (SS), 그리고
  - 3) onset 전압 (onset voltage,  $V_{on}$ )과 문턱전압 (threshold voltage,  $V_{th}$ ) 간의 큰 차이가 나타나는 것을 들 수 있다.

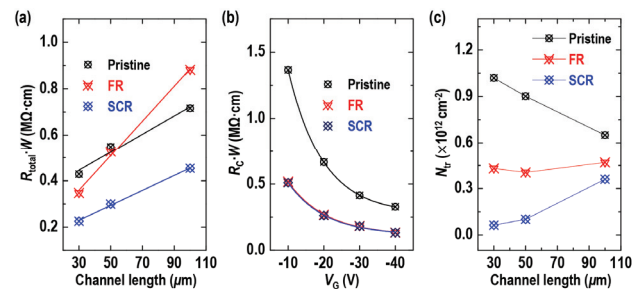
결과적으로 Pristine 소자는 절연체 표면의 다수 트랩 발생 요인으로 인해 높은 트랩밀도와 함께 낮은 전하 주입 특성으로 인해 채널형성이 늦어지고, 소스/드레인 전류의 제곱근 그래프에서 비이상적인 이중 기울기 (double-slope)를 보이는 것이다. 반면 전체영역 UV/O<sub>3</sub> 처리과정을 거친 FR 경우의 PTDPPSe-SiC5 트랜지스터에서는 히스테리시스가 무시할 수 있을 정도로 감소하였고,  $V_{th}$ 와  $V_{on}$  차이가 줄어들며 이중 기울기 현상이 개선되었다. 하지만 채널영역도 동일하게 높은 표면에너지를 가지고 있기 때문에 여전히 문턱전압 이하 영역에서 불안정한 모습을 보이며  $\mu_{FET}$ 의 상승은 Pristine 경우와 비교하여 큰 증가를 나타내지 않았다. 선택적 표면 처리를 실시한 SCR의 경우에는 세 경우 중 PTDPPSe-SiC5 트랜지스터의 가장 이상적인 전달특성 그래프를 보여준다. 낮고 뚜렷한  $I_{off}$ 와 0.6 V/dec의 낮은 SS, 0에 수렴하는  $V_{th}$ 와  $V_{on}$ 이 트랩에 의한 영향이 매우 낮음을 나타낸다. 이는 접촉저항을 감소시키고 on-전류 ( $I_{on}$ )를 상승시켜 결과적으로  $\mu_{FET}$ 의 향상의 결과를 유도한다. Pristine, FR, 그리고 SCR 경우의 PTDPPSe-SiC5 트랜지스터 별 성능에 대한 구체적인 정보는 표 1에서 보여준다.

Fig. 2(c)는 기판의 표면처리 방법에 따른 PTDPPSe-SiC5 트랜지스터의  $\mu_{FET}$ 와  $V_{th}$  변화를 보여주고 있다. SCR 경우의 트랜지스터 소자가 Pristine와 FR 경우에 비해 2배 이상의 높은  $\mu_{FET}$  증가를 보여주며,  $V_{th}$ 가 약 0.6 V로 0에 가장 수렴하는 것을 확인하였다. 따라서 전극 위치 영역에서 고분자반도체의 face-on 구조를, 그리고 전극사이 절연체 표면 구간에서 edge-on 구조를 유도한 경우 고분자반도체 내의 전하트랩 밀도가 감소하여 트랜지스터의 성능 향상을 이끌었다고 할 수 있다. 전체적으로 UV/O<sub>3</sub>처리를 거친 FR 경우의 소자의 경우 Pristine 경우와  $\mu_{FET}$ 가 큰 차이를 보이지 않았는데, 이는 채널 영역의  $V_S$  상승이 전하의 이동성능에 부정적인 영향을 끼칠 수 있다는 점과 Pristine 경우의 소자가 이중 기울기를 갖기 때문에 상대적으로 과장된 전하이동도가 측정되었기 때문으로 생각된다[23]. 기판의 표면처리 방법에 따른 트랜지스터의 성능 그래프와 식 (3)을 이용해서 전하트랩밀도(interfacial charge trap density,  $N_{tr}$ )를 계산하고 비교하였다[24].

$$N_{tr} = \frac{C_{il}V_{th}-V_{on}}{q} \quad (3)$$

여기서  $C_i$ 는 단위면적당 정전용량(Capacitance per unit area),  $q$ 는 기본전하(elementary charge)를 나타낸다. 각각의 표면처리 방법에 따른  $N_{tr}$ 와 SS의 변화는 Fig. 2(d)에서 보여준다. Pristine 소자의 경우  $N_{tr}$ 이  $9.02 \times 10^{11} \text{ cm}^{-2}$ , FR는  $2.81 \times 10^{11} \text{ cm}^{-2}$ , 그리고 SCR는  $1.01 \times 10^{11} \text{ cm}^{-2}$ 로 감소되는 경향을 보여주고 있으며, SCR가 Pristine과 FR에 비해 각각 9배와 2.8배 감소된 결과를 보여주었다. 또한 18.3 V/dec의 SS를 갖는 pristine 소자에 비해 SCR의 경우에는 0.6 V/dec로 약 30배 이상 향상된 결과를 보였다. 즉, 기판의 전하주입영역에 대한 표면처리를 실시함으로써 계면에서의 트랩밀도 개선 효과가 발생하여 트랜지스터 구동속도의 향상이 나타난 것으로 해석된다. 또한 높은  $N_{tr}$ 과 SS는 Pristine 소자의 불분명한 높은  $I_{off}$  값과 비이상적인 거동의 근거가 될 수 있다.

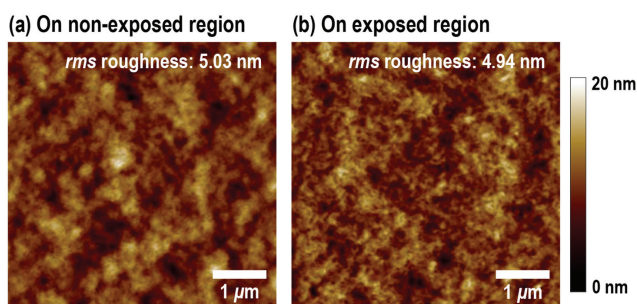
트랜지스터 소자가 작동함에 따라 나타나는 전하트랩은 전극과 반도체 층과의 접촉영역에서만 발생하는 것이 아니며 채널영역에서 주도적으로 발생하는 경우가 많다. 본 실험에서는 접촉영역만을 선택적으로 UV/O<sub>3</sub> 처리하여 전하주입 특성과 접촉저항 ( $R_C$ )의 개선에 관한 연구를 목표로 진행했지만, 채널영역에서 전하이동에 대한 저항에 의한 영향 역시 확인이 필요하다. 따라서 Fig. 3에서 transmission line method (TLM)을 통해  $R_C$ 의 변화와 채널길이에 따른  $N_{tr}$ 을 비교하여 성능 향상의 원인이 접촉영역에 있음을 밝혔다[25]. Fig. 3(a), 3(b)는 각각 TLM으로 계산된 채널길이-총합저항( $R_{total}$ ) 그래프와  $R_C$ -게이트 전압( $V_G$ ) 그래프를 보여주고 있으며, 그래프에서는 채널 폭( $W$ )으로 보정된 값을 이용하였다. FR의 경우 채널길이가 증가함에 따라  $R_{total} \cdot W$ 가 빠르게 증가하는 것을 볼 수 있는데, 30  $\mu\text{m}$ 의 채널길이에서 Pristine 경우보다 낮은  $R_{total} \cdot W$ 을 보이는데 100  $\mu\text{m}$ 의 채널길이에서 오히려 더 높은  $R_{total} \cdot W$  값이 나타내



**Figure 3.** (a) Channel width-normalized  $R_{total}$  extracted from PTDPPSe-SiC5 FETs prepared with the Pristine, FR, SCR cases as a function of channel length at  $V_G = -40$  V. (b) Channel width-normalized  $R_C$  extracted from PTDPPSe-SiC5 FETs prepared with the Pristine, FR, SCR cases. (c)  $N_{tr}$  variations for the Pristine, FR, SCR cases as a function of channel length.

고 있다. 이는 채널영역의 절연체 표면에 UV/O<sub>3</sub> 처리된 효과로 인해 전하이동에 큰 방해를 받고 있음을 의미한다. 즉,  $R_{total}$  중 채널저항( $R_{channel}$ )이 큰 비율을 차지할 때는 FR경우의 소자가 저항이 더 크고,  $R_{total}$  중  $R_C$ 의 비율이 클 때는 Pristine 경우의 소자가 더 높은 저항을 갖는다. SCR 소자의 경우에는 접촉영역과 채널영역 모두 저항이 낮기 때문에 세 가지 형태의 소자 중 가장 낮은  $R_{total} \cdot W$ 을 보였다. 이러한 경향은 세 가지 형태의 소자에 대한  $\mu_{FET}$  변화와 일치하는 모습을 갖는다.

TLM을 통해  $R_{total} \cdot W$ 에서  $R_C \cdot W$ 를 계산했을 때, Pristine 경우의 소자는  $327.8 \text{ k}\Omega \cdot \text{cm}$  ( $V_G = -40 \text{ V}$ )의 값이 측정되는데 비해, FR와 SCR에서는 각각  $133.8 \text{ k}\Omega \cdot \text{cm}$  ( $V_G = -40 \text{ V}$ )와  $132.2 \text{ k}\Omega \cdot \text{cm}$  ( $V_G = -40 \text{ V}$ )로 약 두 배 이상 감소하였다. 이는 전극과 고분자 반도체의 접촉계면에서 분자의 face-on배열구조에 의한 것으로 판단되며, 특히 FR와 SCR에서 유사한  $R_C \cdot W$ 가 측정되는 점이 이에 대한 근거로 제시될 수 있다. 즉, UV/O<sub>3</sub> 처리가 채널영역에는 전체적인 저항의 증가를 야기하는 부정적인 영향을 끼치는 것은 분명하지만, 접촉영역만 따로 분리해서 봤을 때 여전히 전하주입에 긍정적이라고 볼 수 있다. 이러한  $R_C \cdot W$ 의 변화는 기판의  $\gamma_S$ 에 따라 PTDPSe-SiC5 고분자반도체 박막 내의  $N_{tr}$  변화와 관련이 있다[26]. Fig. 3 (c)는 채널길이에 따른  $N_{tr}$  변화를 보여주는데, 채널길이가 감소할수록 Pristine 소자의  $N_{tr}$ 는 증가했으며, FR 경우의 소자는 미약하게 감소했고, SCR 경우에서는 큰 폭으로 감소했다. 이것은 Pristine 경우는 접촉영역에, FR 경우의 소자는 모든 영역에 걸쳐서, 그리고 SCR 경우의 소자에서는 채널영역에 전하트랩이 밀집되어 있음을 의미한다. 이러한 트랩의 분포는 UV/O<sub>3</sub> 처리가 접촉영역에서 전하주입 성능을 크게 증대시키고 있으며, 고분자 반도체 분자간 공액중첩 방향과 전하이동방향의 일치에 따른 성능 향상 효과는 짧은 채널길이를 지닌 트랜지스터에 효과적임을 알 수 있다.



**Figure 4.** AFM morphologies of PTDPSe-SiC5 polymer semiconducting film formed on the substrates (a) without and (b) with UV/O<sub>3</sub> treatment.

절연체 표면의 UV/O<sub>3</sub> 처리과정이 PTDPSe-SiC5 박막의 모폴로지를 변화시켜서 소스/드레인 전극과의 접촉에 변화를 주었을 가능성도 있다. 따라서 Fig. 4에서 원자력 현미경(Atomistic Force Microscopy, AFM)을 통해 UV/O<sub>3</sub> 처리의 유무에 따른 PTDPSe-SiC5 박막의 표면구조를 비교하였다. 그러나 기판의  $\gamma_S$ 에 따른 두 박막의 표면구조 차이는 두드러지게 나타나지 않았으며, 단지 UV/O<sub>3</sub> 처리를 실시함에 따라 필름의 표면거칠기가 5.03 nm에서 4.94 nm로 감소하는 것을 확인하였다. 이 차이는 고분자 반도체 필름을 스핀코팅 방법으로 제작하는 것을 감안하면 의미 있는 차이가 아닌 것으로 여겨지며 트랜지스터 소자성능에 큰 영향을 미치지 않을 것으로 예상된다. 따라서 UV/O<sub>3</sub> 처리에 따른 필름의 표면구조 변화로 인해 소스/드레인 전극과 PTDPSe-SiC5 필름 사이의 접촉에 변화가 생겼다고 보기 어려우며, 기판의 UV/O<sub>3</sub> 처리는 PTDPSe-SiC5의 계면저항이 아닌 벌크영역의 접근저항을 낮추는데 기여한다고 말할 수 있다.

#### 4. 결론

본 연구에서는 전극과 접촉하는 절연체 표면구간을 선택적으로 UV/O<sub>3</sub>로 표면처리하여 PTDPSe-SiC5 반도체 분자의 face-on 배향성을 접촉영역에서 선택적으로 유도하고, PTDPSe-SiC5 트랜지스터의 전하주입 경로에서  $N_{tr}$ 과  $R_C$ 를 감소시키는데 성공했다. 채널 길이에 따른 트랜지스터의 다양한 성능( $\mu_{FET}$ ,  $V_{th}$ ,  $N_{tr}$ )과  $R_C$ 를 분석했을 때, 소스/드레인 전극의 접촉영역에서  $N_{tr}$ 가 감소됨으로써  $R_C$ 이 크게 개선되었음을 알 수 있었다. 결과적으로 접촉영역을 선택적으로 처리하여 face-on 분자배열을, 그리고 계면영역에서 edge-on 분자배열을 유도한 트랜지스터 소자가 그렇지 않은 소자에 비해  $\mu_{FET}$ 는 2배 이상 상승하였고  $V_{th}$ 가 0에 수렴하는 모습을 보였다. 또한 UV/O<sub>3</sub> 처리에 따른 PTDPSe-SiC5 필름의 표면구조는 큰 차이를 보이지 않았는데, 이는 접촉영역의 선택적 UV/O<sub>3</sub> 처리가  $R_{C,acc}$ 에만 영향을 끼치고 있음을 의미한다. 따라서 우리가 제시한 방법은 기존의  $R_{C,int}$ 을 줄이기 위해 사용되던 금속산화물 기반 전하주입층 형성, 도핑(doping), 자기조립박막(self-assembled monolayer, SAM) 등의 방법과 중첩해서 사용할 수 있다는 장점을 갖고 있으며, 특히  $R_{C,acc}$ 이 트랜지스터 성능에 주는 영향을 확인했다는 점에서 의의가 있다.

#### References

1. E. Mohammadi, C. Zhao, Y. Meng, G. Qu, F.

- Zhang, X. Zhao, J. Mei, J.-M. Zuo, D. Shukla, Y. Diao, *Nat. Commun.*, **8**, 16070 (2017).
2. A. F. Paterson, L. Tsetseris, R. Li, A. Basu, H. Faber, A.-H. Emwas, J. Panidi, Z. Fei, M. R. Niazi, D. H. Anjum, M. Heeney, T. D. Anthopoulos, *Adv. Mater.*, **31**, 1900871 (2019).
  3. E. G. Bittle, J. I. Basham, T. N. Jackson, O. D. Jurchescu, D. J. Gundlach, *Nat. Commun.*, **7**, 10908 (2016).
  4. Y. Xu, Y. Li, S. Li, F. Balestra, G. Ghibaud, W. Li, Y.-F. Lin, H. Sun, J. Wan, X. Wang, Y. Guo, Y. Shi, Y.-Y. Noh, *Adv. Funct. Mater.*, **30**, 1904508 (2020).
  5. M. Waldrip, O. D. Jurchescu, D. J. Gundlach, E. G. Bittle, *Adv. Funct. Mater.*, **30**, 1904576 (2020).
  6. S. Choi, C. Fuentes-Hernandez, C.-Y. Wang, T. M. Khan, F. A. Larrain, Y. Zhang, S. Barlow, S. R. Marder, B. Kippelen, *ACS Appl. Mater. Interfaces*, **8**, 24744 (2016).
  7. Z. A. Lamport, K. J. Barth, H. Lee, E. Gann, S. Engmann, H. Chen, M. Guthold, I. McCulloch, J. E. Anthony, L. J. Richter, D. M. DeLongchamp, O. D. Jurchescu, *Nat. Commun.*, **9**, 5130 (2018).
  8. D. He, J. Qiao, L. Zhang, J. Wang, T. Lan, J. Qian, Y. Li, Y. Shi, Y. Chai, W. Lan, L. K. Ono, Y. Qi, J.-B. Xu, W. Ji, X. Wang, *Sci. Adv.*, **3**, e1701186 (2017).
  9. L. Jiang, J. Liu, Y. Shi, D. Zhu, H. Zhang, Y. Hu, J. Yu, W. Hu, L. Jiang, *J. Mater. Chem. C*, **7**, 3436 (2019).
  10. J. W. Borchert, B. Peng, F. Letzkus, J. N. Burghartz, P. K.L. Chan, K. Zojer, S. Ludwigs, H. Klauk, *Nat. Commun.*, **10**, 1119 (2019).
  11. A. Yamamura, S. Watanabe, M. Uno, M. Mitani, C. Mitsui, J. Tsurumi, N. Isahaya, Y. Kanaoka, T. Okamoto, J. Takeya, *Sci. Adv.*, **4**, eaao5758 (2018).
  12. D. He, J. Qiao, L. Zhang, J. Wang, T. Lan, J. Qian, Y. Li, Y. Shi, Y. Chai, W. Lan, L. K. Ono, Y. Qi, J.-B. Xu, W. Ji, X. Wang, *Sci. Adv.*, **3**, e1701186 (2017).
  13. C. Liu, Y. Xu, Y.-Y. Noh, *Mater. Today*, **18**, 79 (2015).
  14. Q. Wang, S. Jiang, B. Zhang, E.-Y. Shin, Y.-Y. Noh, Y. Xu, Y. Shi, Y. Li, *J. Phys. Chem. Lett.*, **11**, 1466 (2020).
  15. J. Lee, A.-R. Han, H. Yu, T. J. Shin, C. Yang, J. H. Oh, *J. Am. Chem. Soc.*, **135**, 9540 (2013).
  16. S. Oh, G. Choi, H. Cho, J. Ha, M. R. R. Khan, H. S. Lee, *J. Phys. Chem. C*, **124**, 161 (2020).
  17. S. Obataz, Y. Shimo, *Phys. Chem. Chem. Phys.*, **15**, 9265 (2013).
  18. D. Gargi, R. J. Kline, D. M. DeLongchamp, D. A. Fischer, M. F. Toney, B. T. O'Connor, *J. Phys. Chem. C*, **117**, 17421 (2013).
  19. B. Meredig, A. Salleo, R. Gee, *ACS Nano*, **3**, 2881 (2009).
  20. F.M. Fowkes, *J. Phys. Chem.*, **66**, 382 (1962).
  21. D. K. Owens, R. C. Wendt, *J. Appl. Polym. Sci.*, **13**, 1741 (1969).
  22. Y. Qiu, P. Wei, Z. Wang, W. Lu, Y. Jiang, C. Zhang, Y. Qu, G. Lu, *Phys. Status Solidi RRL*, **12**, 1800297 (2018).
  23. H. H. Choi, K. Cho, C. D. Frisbie, H. Sirringhaus, V. Podzorov, *Nat. Mater.*, **17**, 2 (2017).
  24. A. F. Paterson, A. D. Mottram, H. Faber, M. R. Niazi, Z. Fei, M. Heeney, T. D. Anthopoulos, *Adv. Electron. Mater.*, **9**, 1800723 (2019).
  25. H. Kim, T. N. Ng, *Adv. Electron. Mater.*, **4**, 1700631 (2018).
  26. K. Pei, A. H. Y. Lau, P. K. L. Chan, *Phys. Chem. Chem. Phys.*, **22**, 7100 (2020).