

# 2.9V~5.6V의 넓은 입력 전압 범위를 가지는 웨어러블 AMOLED용 2-채널 DC-DC 변환기 설계

## Design of 2-Ch DC-DC Converter with Wide-Input Voltage Range of 2.9V~5.6 V for Wearable AMOLED Display

이 희 진\*, 김 학 윤\*\*, 최 호 용\*

Hui-Jin Lee\*, Hak-Yun Kim\*\*, Ho-Yong Choi\*

### Abstract

This paper proposes a 2-ch DC-DC converter with a wide-input voltage range from 2.9V~5.6V for wearable AMOLED displays. For positive voltage  $V_{POS}$ , a boost converter is designed using an over-charged voltage permissible circuit (OPC) which generates a normal output voltage even if over-input voltage is applied, and a SPWM-PWM dual mode with 3-segmented power transistors to improve efficiency at light load. For negative voltage  $V_{NEG}$ , a 0.5x regulated inverting charge pump is designed to increase power efficiency. The proposed DC-DC converter was designed using a 0.18- $\mu\text{m}$  BCDMOS process. Simulation results show that the proposed DC-DC converter generates  $V_{POS}$  voltages of 4.6 V and  $V_{NEG}$  voltage of -0.6V~-2.3V for input voltage of 2.9V to 5.6V. In addition, it has power efficiency of 49%~92%, output ripple voltage has less than 20 mV for load current range of 1 mA~70 mA.

### 요 약

본 논문에서는 2.9 V ~ 5.6V의 넓은 입력 전압 범위를 가지는 웨어러블 AMOLED용 2-채널 DC-DC 변환기를 설계한다. 양전압  $V_{POS}$ 는 과도한 입력전압이 인가된다 하더라도 정상 출력 전압을 생성되는 OPC를 내장하고, 경부하 효율을 제고하기 위한 SPWM-PWM 듀얼모드 및 파워 트랜지스터 3-분할을 적용한 부스트 변환기로 설계한다. 음전압  $V_{NEG}$ 는 전력 효율을 높이기 위해 0.5x 인버팅 차지펌프를 이용해 설계한다. 제안된 DC-DC 변환기는 0.18- $\mu\text{m}$  BCDMOS 공정으로 설계하였다. DC-DC 변환기는 2.9V~5.6V의 입력 전압에 대해 4.6V의  $V_{POS}$ 와 -0.6V~-2.3V의  $V_{NEG}$  전압을 생성한다. 또한 1mA~70mA 부하전류에서 49%~92%의 전력효율과 최대 20mV의 출력 리플을 가졌다.

*Key words* : OPC, SPWM, DC-DC converter, AMOLED, wide input voltage

\* School of Electrical and Computer Engineering, Chungbuk National University

\*\* Zinitix Co.

★ Corresponding author

E-Mail : hychoi@cbnu.ac.kr, Tel : +82-43-261-3231

※ Acknowledgment

This research was supported by the Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education (2018R1D1A1B07046871) and the KIAT grant funded by the Korea government MOTIE (No. 0001883).

Manuscript received Aug. 31, 2020; revised Sep. 18, 2020; accepted Sep. 28, 2020.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

AMOLED는 넓은 광시야각, 빠른 응답속도, 저전력 등의 뛰어난 특성을 가지고 있다. 이러한 특성들로 인해 스마트폰, 웨어러블 디바이스 등 휴대용 기기에 널리 사용되고 있다[1-2].

AMOLED 디스플레이 패널을 구동하기 위해서는 높은 전력 효율을 가지는 양의 전압과 음의 전압을 필요로 한다. 또한 휴대용 디바이스에 적용하기 위해 인덕터 등의 소자의 사용을 최소화하여 저면적으로 설계되어야 한다[3-6].

한편, AMOLED 디스플레이 패널이 적용된 소형 휴대용 디바이스 또는 웨어러블 디바이스의 전력 원으로 주로 사용되는 리튬 이온 배터리에는 과충전을 방지하는 보호 회로가 필요하지만[7], 보호 회로의 부재로 인해 과충전된 배터리가 디바이스 전원으로 인가될 수 있다. 따라서 DC-DC 변환기의 입력 전원으로 정격 전압보다 높은 입력 전압이 인가될 경우, 변환기의 출력에 큰 리플이 발생하여 불안정한 디스플레이 출력이 유발되므로, 과충전된 입력 전압의 인가가 가능한 회로 설계가 필요하다.

본 논문에서는 넓은 입력 전압 범위에서 안정적인 출력을 보장하는 OPC(over-charged voltage permissible circuit) 회로가 내장된 AMOLED용 2-채널 DC-DC 변환기를 설계한다. 양의 전압  $V_{POS}$ 는 경부하 효율을 제고하기 위한 SPWM(set-time variable PWM)-PWM 듀얼 모드 및 파워 트랜지스터 3-분할, 과도한 입력 전압이 인가되어도 안정

적인 출력 전압을 출력하는 OPC가 적용된 부스트 변환기로 설계한다. 음의 전압  $V_{NEG}$ 는 전력 효율을 높이기 위해 0.5x 인버팅 차지 펌프를 이용하여 설계한다.

본 논문은 다음과 같이 구성된다. 2장에서는 OPC 회로가 내장된 2-채널 DC-DC 변환기를 제시하고, 3장에서는 회로의 시뮬레이션 결과를 제시한다. 마지막 4장에서는 결론을 제시한다.

II. 넓은 입력 전압 범위를 가지는 2-채널 DC-DC 변환기 설계

표 1은 제안하는 2-채널 DC-DC 변환기의 주요 사양을 보여준다. DC-DC 변환기의 정격 입력 전압은 일반적으로 2.9 V~4.5 V이며 과전압 인가 시 4.5 V~5.6 V로 확장된다. 양의 전압  $V_{POS}$ 는 부스트 변환기를 이용하여 고정된 전압 4.6 V를 출력한다. 음의 전압  $V_{NEG}$ 는 0.5 x 인버팅 차지펌프를 사용하여 -0.6 V~-2.3 V의 전압을 가진다.

표 1은 제안하는 2-채널 DC-DC 변환기의 주요 사양으로, 이는 통상의 웨어러블 AMOLED 디스플레이에 사용될 수 있는 DC-DC 변환기의 사양이다. 입력 전압은 통상 2.9 V~4.5 V이고 과충전된 전원이 인가될 시 전압은 4.5 V~5.6 V로 확장된다. 양의 전압  $V_{POS}$ 는 부스트 변환기를 이용하여 고정된 전압 4.6 V를 출력한다. 음의 전압  $V_{NEG}$ 는 0.5 x 인버팅 차지펌프를 사용하여 -0.6 V~-2.3 V의 전압을 가진다. 특히 과충전된 양의 전압에 대해서는

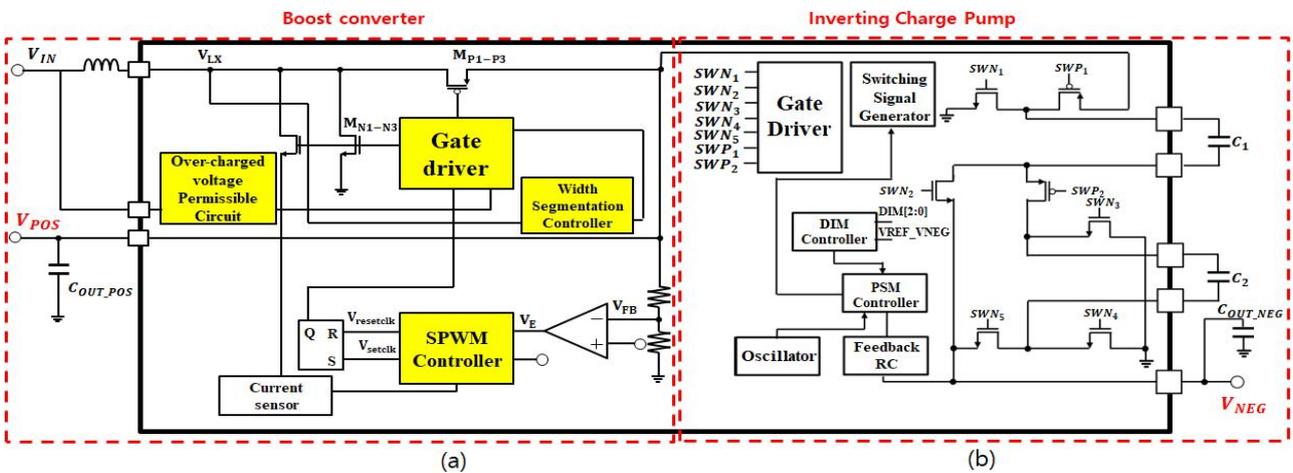


Fig. 1. Block diagram of 2-ch DC-DC converter

(a)  $V_{POS}$  generation block - boost converter, (b)  $V_{NEG}$  generation block - inverting charge pump.

그림 1. 2-채널 DC-DC 변환기 블록도 (a)  $V_{POS}$  생성 블록 - 부스트 변환기, (b)  $V_{NEG}$  생성 블록 - 인버팅 차지 펌프

출력 리플이 5 mV 이하의 작은 리플 전압을 갖도록 설계한다.  $V_{NEG}$ 의 리플은 차지 펌프를 사용하므로 20 mV의 완화된 리플 전압 사양을 가진다.

Table 1. Main specification of 2-channel DC-DC converter.  
표 1. 2-채널 DC-DC 변환기의 주요 사양

	$V_{POS}$	$V_{NEG}$
$V_{in}$ (over-voltage)	2.9 V ~ 4.5 V (4.5 V ~ 5.6 V)	
$V_{out}$	4.6 V	-0.6 V~-2.3 V
Load current	1 mA ~ 70 mA	
Output voltage ripple	<5 mV	<20 mV
Frequency	0.6MHz~ 1.27MHz	1MHz
Efficiency	>80%	>60%

그림 1은 2-채널 DC-DC 변환기의 블록도를 보여준다.  $V_{POS}$ 는 부스트 변환기로,  $V_{NEG}$ 는 0.5x 인버팅 차지펌프로 설계된다. 다음은  $V_{POS}$ ,  $V_{NEG}$  각 채널 설계에 대해 기술한다.

### 1. $V_{POS}$ 생성을 위한 부스트 변환기

그림 1의 왼쪽 부분은  $V_{POS}$ 를 생성하는 부스트 변환기를 나타낸다. 본 부스트 변환기는 효율을 제고하기 위해 SPWM-PWM 듀얼 모드 방식과 파워 트랜지스터 3-분할 방식을 사용하며, 넓은 입력 전압 범위에서 안정적인 출력을 보장하기 위해 과충전 전압 허용 기능을 가지고 있다. 이를 위해 본 부스트 변환기는 출력 전압과 인덕터 전류를 피드백 받아 고정된 출력 전압을 생성하기 위한 오차증폭기와 인덕터 전류를 센싱하는 전류 센서, 입력 전압을 감지하여 안정적인 출력 전압을 제공하는 과충전 전압 허용 회로(over-charged voltage permissible circuit : OPC), 부하에 따라 스위칭 주파수를 제어하는 SPWM-PWM 듀얼 모드 제어기, 부하에 따라 스위칭 트랜지스터의 폭을 분할하여 제어하는 전류 거울과 비교기 등으로 구성된다.

### 가. SPWM-PWM 듀얼 모드

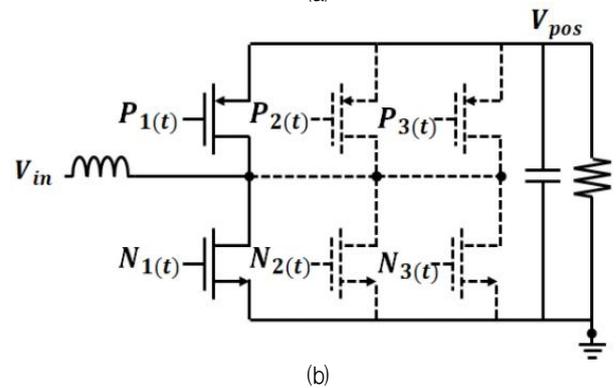
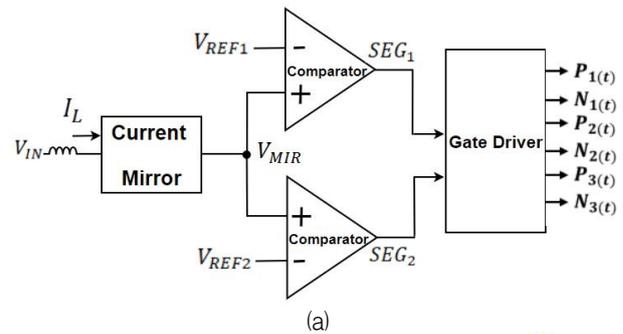
SPWM(set time variable PWM)-PWM 듀얼 모드 방식은 경부하에서는 VCO(voltage-controlled oscillator)를 이용하여 부하 전류에 따라 파워 스위칭 트랜지스터 구동을 위한 set signal을 조절함으로

써 스위칭 주파수를 가변하고, 중부하에서는 PWM 방식으로 동작하는 듀얼 모드 방식이다[8].

SPWM-PWM 듀얼 모드를 구현하기 위해 SPWM 제어기를 사용한다. SPWM 제어기는 VCO를 이용하여 부하 전류에 따라, 경부하에서는 부하 전류에 비례하는 스위칭 주파수를, 중부하에서는 부하 전류에 상관없이 일정한 스위칭 주파수를 선택하여 스위칭 트랜지스터의 동작 주기를 제어한다.

SPWM 방식은 듀얼모드를 구현하기 위해 VCO와 모드 셀렉터만을 필요로 하기 때문에 저면적으로 구현 가능하고, set signal을 주기적으로 가지고 있어 PSM 방식에 비해 출력 전압의 리플이 작은 장점이 있다.

### 나. 파워 트랜지스터 3-분할



Mode	$SEG_1$	$SEG_2$	ON Transistor
Light load	Low	Low	P1,N1
Medium load	High	Low	P1,P2,N1,N2
Heavy load	High	High	P1,P2,P3,N1,N2,N3

(c)

Fig. 2. Width segmentation control. (a) Width-segmentation control circuit, (b) Segmented power switching transistor, (c) Operation mode.

그림 2. 폭 분할 제어 (a) 폭-분할 제어 회로, (b) 분할된 파워 스위칭 트랜지스터, (c) 동작 모드

전력 스위칭 트랜지스터를 부하 전류에 따라 트랜지스터의 폭이 3-분할 되게 함으로써 경부하 시 전력 스위칭 트랜지스터의 게이트 캐패시턴스 값을 줄여 스위칭 트랜지스터의 스위칭 손실을 줄임으로써 변환기의 전력 효율을 제고한다.

그림 2는 동작 모드에 따른 폭-분할 제어 회로를 나타낸다. 폭-분할 제어 회로는 전류 거울과 2개의 비교기로 구성되며, 전력 스위칭 트랜지스터의 폭은 부하 전류에 따라 3개로 나누어진다. 폭-분할 제어 회로는 인덕터 전류  $I_L$ 을 센싱하여  $SEG_1$ ,  $SEG_2$  신호를 통해 (c)의 모드에 따라 스위칭 트랜지스터 제어 신호  $P_n(t)$ ,  $N_n(t)$  신호를 출력한다. 이 출력된 신호는 (b)의 파워 트랜지스터  $P_1 \sim P_3$ ,  $N_1 \sim N_3$ 에 순차적으로 대응되어 On 된다.

파워 트랜지스터 3-분할 적용 시 경부하 및 중(中)부하에서는 게이트 폭이 감소하여 작은 게이트 캐패시턴스를 가지므로 스위칭 손실을 줄일 수 있고, 중(重)부하에서는 게이트 폭이 증가하여 큰 게이트 캐패시턴스를 가지므로 전도 손실을 줄일 수 있다. 그리고 파워 트랜지스터 3-분할 방식은 전류 거울과 비교기로 구현되므로 회로 구성이 간단한 장점이 있다.

다. 과충전 전압 허용 회로

제안하는 변환기는 정격 전압 이상의 입력 전압이 인가되어도 4.6 V의 일정한 전압을 출력하는 과충전 전압 허용 회로(Over-charged voltage permissible circuit : OPC) 회로가 내장된다.

그림 3은 입력 가변 전압 생성기와 비교기 및 게이트 드라이버로 구성되는 OPC 회로를 나타낸다. 2.9 V~4.5 V의 정격 입력 전압이 인가되면, 비교기 출력  $V_{HV}$ 가 Low가 되고  $SW_P$  신호는 정상적으로 스위칭한다. 반면 4.5 V~5.6 V의 과충전된 입력 전압이 인가될 경우,  $V_{HV}$ 는 High가 되어  $SW_P$  신호는 4.6 V로 고정된다. 이 때 PMOS 스위칭 트랜지스터는 diode-connected transistor처럼 보이게 된다. 공통 노드 전압  $V_{LX}$ 가 4.6 V와 PMOS 스위칭 트랜지스터의 문턱 전압을 합한 값보다 낮을 경우, PMOS 스위칭 트랜지스터는 off되고,  $V_{LX}$ 가 4.6 V와 문턱 전압을 합한 값보다 높을 경우 PMOS 스위칭 트랜지스터가 on 되어 작은 전류가 출력단으로 흐르므로써 4.6 V의 리플이 작은 출력 전압을 유지한다.

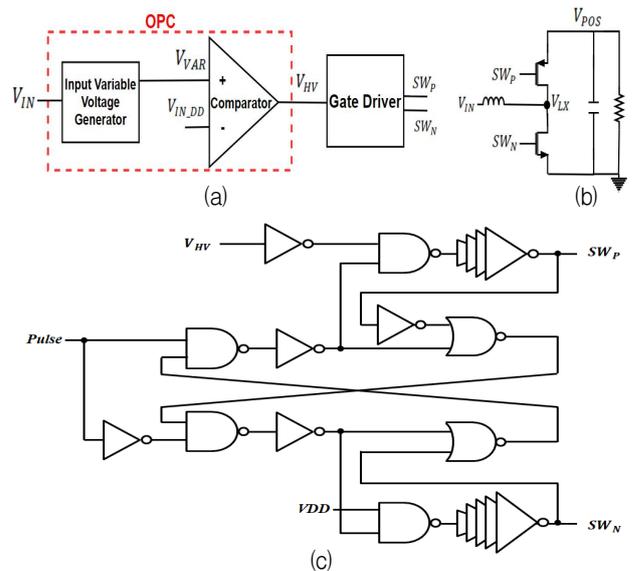


Fig. 3. Structure of proposed OPC (a) OPC, (b) Output stage, (c) Gate driver.

그림 3. OPC 회로의 구조, (a) OPC, (b) 출력단, (c) 게이트 드라이버

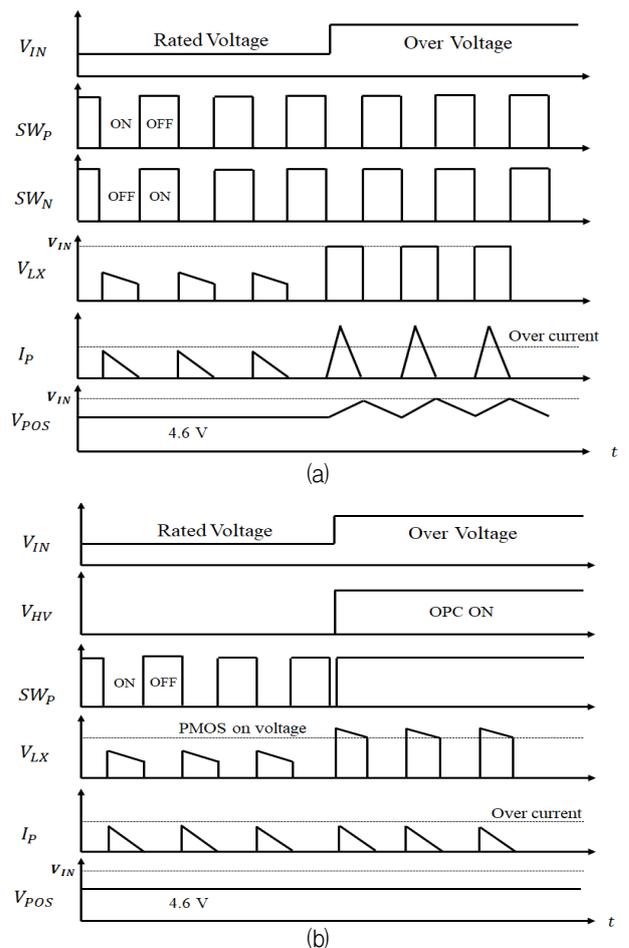


Fig. 4. Timing diagram of boost converter. (a) without OPC, (b) With OPC.

그림 4. 부스트 변환기의 타이밍 다이어그램 (a) OPC 미적용시, (b) OPC 적용시

그림 4는 OPC의 유무에 따른 부스트 변환기의 타이밍 다이어그램을 나타낸다. OPC가 적용되지 않은 (a)의 경우, PMOS 전류  $I_P$ 가 커서 출력 캐패시터가 과충전되므로 큰 출력 전압 리플을 가진다. 반면 OPC가 적용된 (b)의 경우,  $I_P$ 가 작으므로 출력 전압 리플이 작다.

## 2. $V_{NEG}$ 생성을 위한 인버팅 차지펌프

그림 1의 오른쪽 부분은 음의 전압  $V_{NEG}$  생성을 위한 회로로 0.5 x 인버팅 차지 펌프를 이용하여 설계한다[9]. 인버팅 차지 펌프는 회로 내의 스위칭 트랜지스터의 On/Off 동작을 통해 플라이 캐패시터를 충전 및 방전함으로써  $V_{NEG}$  전압을 생성한다. 제안하는 인버팅 차지 펌프는 스위칭 트랜지스터 및 게이트 드라이버, PSM 제어기, 오실레이터로 구성된다.

차지 펌프는 2단계로 동작한다. 1단계에서는 캐패시터  $C_1$ 과  $C_2$ 가 직렬로 연결되어 입력 전류가 충전되고, 2단계에서는 캐패시터  $C_1$ 과  $C_2$ 가 병렬로 연결되어 방전된다. 차지 펌프는 단계 1, 2의 충전/방전 동작을 반복하여 출력 전압을 입력 전압의 50%로 유지한다. 또한 본 차지 펌프에는 불필요한 스위칭을 생략하여 전력 손실을 줄이기 위해 기준 전압과 출력 전압을 비교하여 스위칭 신호를 스킵하는 PSM (pulse skipping modulation) 모드로 동작하여 출력 전압을 제어한다.

본 차지 펌프 방식은 인덕터를 사용하지 않고 캐패시터만 사용하므로 칩 면적이 줄어드는 장점이 있다.

## III. 시뮬레이션 결과

제안하는 2-채널 DC-DC 변환기를 0.18  $\mu\text{m}$  BCDMOS 공정을 이용하여 설계 시뮬레이션을 하였다.

그림 5는 입력전압 3.8 V, 부하전류 20 mA 에서의 각 변환기 채널의 출력과 전압 리플을 보여준다. 양의 전압  $V_{POS}$ 는 2.2 mV의 리플 전압을 가지는 4.6 V 전압을 출력한다. 음의 전압  $V_{NEG}$ 는 18.3mV의 리플 전압을 가지는 -2.3 V 전압을 출력한다. 음의 전압  $V_{NEG}$ 의 리플은 캐패시터를 사용하는 차지 펌프 방식을 사용하여, 인덕터를 사용하는 부

스트 변환기에서 생성되는 양의 전압  $V_{POS}$ 의 리플 전압보다 크다.

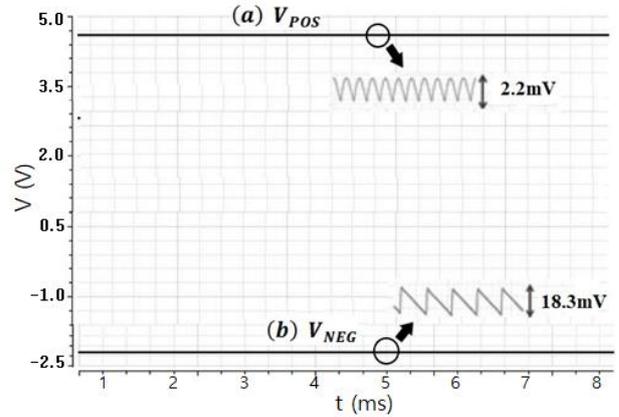


Fig. 5. Characteristics of output voltages and ripples.

그림 5. 출력 전압 및 리플 특성

그림 6은 입력전압 3.8 V에서 부하 전류에 따른 파워 트랜지스터 3-분할 회로의 출력 파형을 나타낸다. 경부하 구간(1mA~20mA)에서는  $SEG_1$ ,  $SEG_2$ 가 Low가 되어  $SW_{P1}$  스위치만 동작한다. 중(中)부하 구간(20mA~60mA)에서는  $SEG_1$ 의 출력이 High가 되어  $SW_{P1}$ ,  $SW_{P2}$  스위치가 동작한다. 중(重)부하 구간(60mA~)에서는  $SEG_1$ ,  $SEG_2$ 의 출력이 High가 되어 모든 스위치가 동작한다.

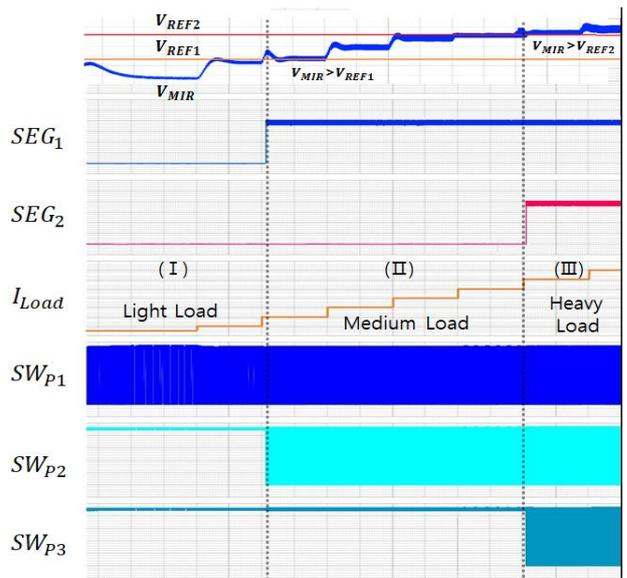


Fig. 6. Waveform of boost converter with width segmentation of power transistors.

그림 6. 전력 트랜지스터 폭 분할이 적용된 부스트 변환기의 출력 파형

그림 7은 과충전된 입력 전압 5.2 V, 부하 전류 20 mA에서 OPC 유무에 따른 부스트 변환기의 출력을 나타낸다. OPC가 적용되지 않은 경우 큰  $I_p$ 로 인해 600 mV의 큰 출력 전압 리플을 가지는 반면, OPC가 적용된 경우 PMOS 스위칭 트랜지스터에는 off 전압이 인가되고 NMOS 스위칭 트랜지스터만 스위칭 동작하여,  $I_p$ 가 작으므로 2mV의 작은 출력 전압 리플을 가지는 4.6 V의 전압을 출력한다.

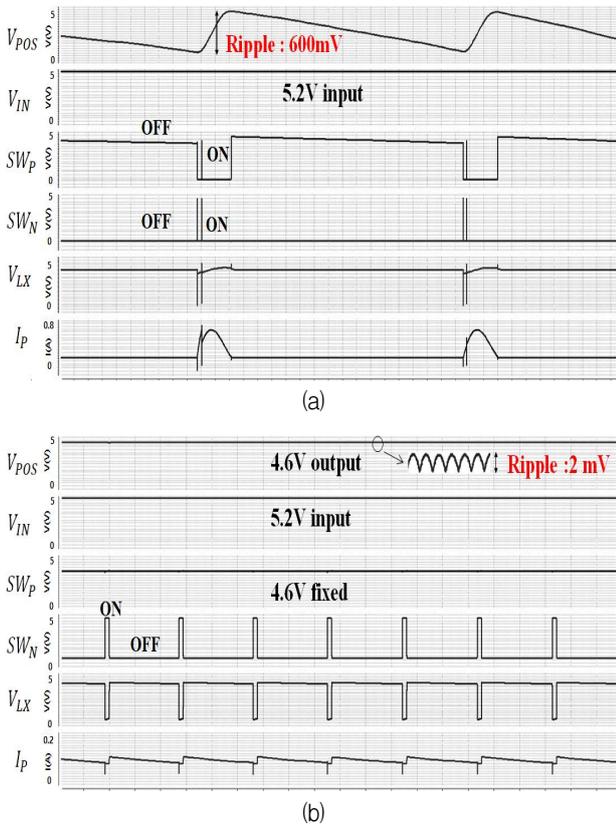


Fig. 7. Waveform of boost converter. (a) Without OPC, (b) With OPC.

그림 7. 부스트 변환기의 출력 파형 (a) OPC 미적용시, (b) OPC 적용시

그림 8은 입력 전압 3.8 V, 출력 전압 4.6 V에서의 부하 전류 1mA~70mA에 대한 부스트 변환기의 전력 효율 비교를 나타낸다. 제안된 방식(SPWM+Segmentation)의 전력 효율(=출력 전력/입력 전력 \*100%)은 36.5%~95.5%의 높은 수치를 가졌다. 이는 기존의, 게이트 폭이 분할되지 않은 SPWM-PWM 듀얼 모드만 사용한 방식에 비해 최대 2.2%의 효율 상승을 가졌다.

또한  $V_{POS}$ ,  $V_{NEG}$ 를 통합한 2-채널 DC-DC 변환기의 전력 효율은 49%~92%를 가졌다.

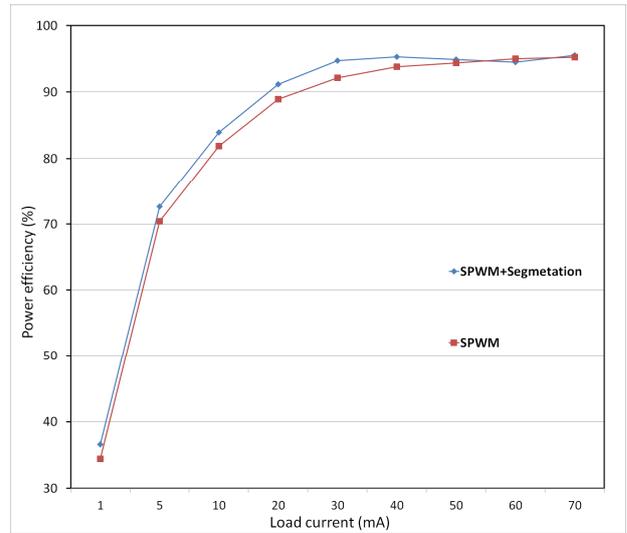


Fig. 8. Power efficiency of boost converter.

그림 8. 부스트 변환기의 전력 효율

그림 9는 제안하는 2-채널 DC-DC 변환기의 레이아웃 설계이다. 0.18  $\mu\text{m}$  BCDMOS 공정을 이용하여 설계하였고, 칩 면적은 1.3 mm $\times$ 2.0 mm 이다.

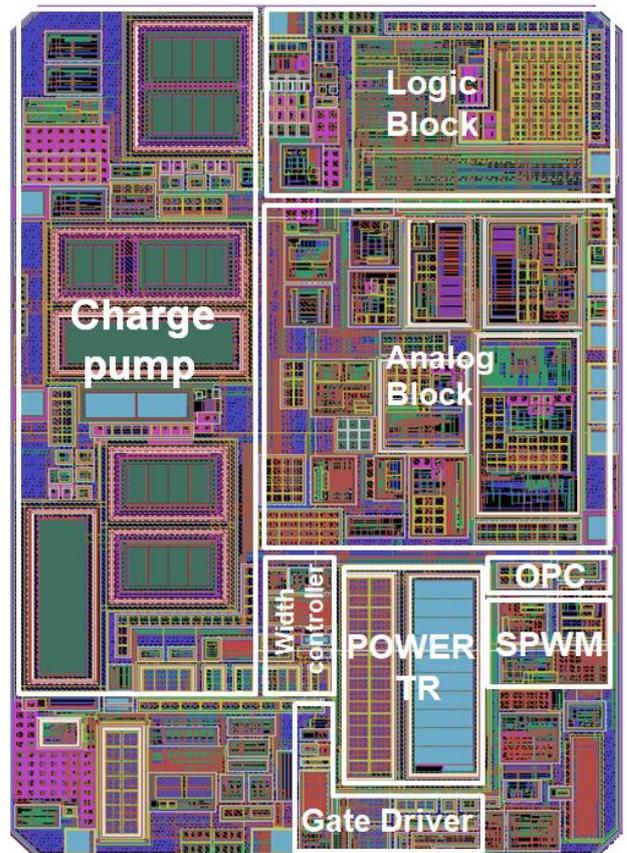


Fig. 9. Layout of 2-ch DC-DC converter.

그림 9. 2-채널 DC-DC 변환기의 레이아웃

#### IV. 결론

본 논문에서는 넓은 입력 전압 범위에서 안정적인 출력을 가지는 웨어러블용 AMOLED 디스플레이 전용 2-채널 DC-DC 변환기를 설계하였다.  $V_{POS}$ 는 파워 트랜지스터 3-분할을 적용한 SPWM-PWM 듀얼 모드 부스트 변환기를 이용하여 고효율과 작은 리플을 가지는 4.6 V 양의 전압을 생성하고, OPC를 적용하여 과전압이 인가될 경우에도 작은 리플을 가지는 일정한 출력 전압을 생성하여 안정적인 디스플레이 출력을 유지한다.  $V_{NEG}$ 는 0.5 x 인버팅 차지펌프를 이용하여 고효율의 -0.6 V~-2.3 V 음의 전압을 생성한다. 출력 전압 리플은 양의 전압의 경우 최대 2.5 mV, 음의 전압의 경우 최대 20 mV를 가지며 전체 DC-DC 변환기의 효율은 49%~92%의 비교적 높은 효율을 가진다.

#### References

[1] S. Forrest, P. Burrows, and M. Thompson, "The Dawn of Organic Electronics," *IEEE Spectrum*, vol.37, no.8, pp.29-34, 2000.

[2] Ying Wang, "Design for OLED microdisplay," *Proc. of 2010 Asia Pacific Conf. in Microelectronics and Electronics*, pp.206-209, 2010.  
DOI: 10.1109/PRIMEASIA.2010.5604924

[3] S.-W. Hong, S.-H. Park, T.-H. Kong, and G.-H. Cho, "Inverting buck-boost DC-DC converter for mobile AMOLED display using real-time self-tuned minimum power-loss tracking (MPLT) scheme with lossless soft-switching for discontinuous conduction mode," *IEEE J. Solid-State Circuits*, vol.50, no.10, pp.2380-2393, 2015.  
DOI: 10.1109/JSSC.2015.2450713

[4] C.-S. Chae, H.-P. Le, K.-C. Lee, G.-H. Cho and G.-H. Cho, "A Single-Inductor Step-Up DC-DC Switching Converter with Bipolar Outputs for Active Matrix OLED Mobile Display Panels," *IEEE J. Solid-State Circuits*, vol.44, no.2, pp.509-524, 2009. DOI: 10.1109/ISSCC.2007.373625

[5] B.-C. Kwak, S.-K. Hong and O.-K. Kwon, "A Highly Power-Efficient Single-Inductor Bipolar-

Output DC-DC Converter Using Hysteretic Skipping Control for OLED on-Silicon Microdisplay," *IEEE T. Circuits and Systems II*, vol.65, no.12, pp.2017-2021, 2018.

DOI: 10.1109/TCSII.2018.2815994

[6] F. Mao, Y. Lu, E. Bonizzoni, F. Boera, M. Huang, F. Maloberti and R.P. Martins, "A Power-Efficient Hybrid Single-Inductor Bipolar-Output DC-DC Converter with Floating Negative Output for AMOLED Displays," in *Proc. IEEE Custom Integr. Circuits Conf. (CICC)*, pp.1-4, 2020.

DOI: 10.1109/CICC48029.2020.9075940

[7] D. Salerno and R. Korsunsky, "Practical considerations in the design of lithium-ion battery protection systems," in *Proc. 13th IEEE Appl. Power Electron. Conf. Expo.*, vol.2, pp.700-707, 1998. DOI: 10.1109/APEC.1998.653975

[8] Hak-Yun Kim, Myeong-Hak Lee, Young-Ho Shin, Jin-Won Kim, Nam-Soo Kim, and Ho-Yong Choi, "Dual-mode Inverting Buck-boost Converter using Set-time Variable PWM Method," *Journal of Semiconductor Technology and Science*. vol.18, no.4, 2018. DOI: 10.5573/JSTS.2018.18.4.423

[9] Seung-Ki Jeon, Hui-Jin Lee, Ho-Yong Choi, "Design of Highly Integrated 3-Channel DC-DC Converter Using PTWS for Wearable AMOLED," *Institute of Korean Electrical and Electronics Engineers*, Vol.23, No.4, pp.1061-1067, 2019.

DOI: 10.7471/ikeee.2019.23.3.1061

#### BIOGRAPHY

**Hui-Jin Lee** (Member)



2019 : BS degree in Electronics Engineering, Chungbuk National University.

2019~present : MS student in Semiconductor Engineering, Chungbuk National University.

**Hak-Yun Kim** (Member)

1999 : BS degree in Electrical Engineering, Chungbuk National University.

2001 : MS degree in Semiconductor Engineering, Chungbuk National University.

2008 : Ph.D candidate in Semiconductor Engineering, Chungbuk National University.

2000~2004 : Senior Research Engineer, Hynix Semiconductor Inc.

2005~2014 : Senior Research Engineer, RIUBIT

2015~present : Principal Research Engineer, Zinitix Co.

**Ho-Yong Choi** (Member)

1980 : BS degree in Electronics Engineering, Seoul National University.

1982 : MS degree in Electronics Engineering, KAIST

1994 : Ph.D. degree in Electronics Engineering, Osaka University.

1985~1996 : Associate Professor in Dept. of Electronics Engineering, Pukyung National University.

1996~present : Professor in Dept. of Electronics Engineering, Chungbuk National University.