

# RF 노이즈 내성을 가진 OLED 디스플레이용 2-채널 DC-DC 변환기 2-Channel DC-DC Converter for OLED Display with RF Noise Immunity

김태운\*, 김학윤\*\*, 최호용\*

Tae-Un Kim\*, Hak-Yun Kim\*\*, Ho-Yong Choi\*

## Abstract

This paper proposes a 2-ch DC-DC converter for OLED display with immunity against RF noise inserted from communication device. For RF signal immunity, an input voltage variation reduction circuit that attenuates as much as the input voltage variation is embedded. The boost converter for positive voltage  $V_{POS}$  operates in SPWM-PWM dual mode and has a dead time controller to increase power efficiency. The inverting charge pump for negative voltage  $V_{NEG}$  is a 2-phase scheme and operates in PFM using VCO to reduce output ripple voltage. Simulation results using 0.18  $\mu\text{m}$  BCDMOS process show that the overshoot and undershoot of the output voltage decrease from 10 mV to 2 mV and 5 mV, respectively. The 2-ch DC-DC converter has power efficiency of 39%~93%, and the power efficiency of the boost converter is up to 3% higher than the conventional method without dead time controller.

## 요약

본 논문은 통신기기에서 유입 되는 RF 노이즈에 대해 내성을 가진 OLED용 2-채널 DC-DC 변환기를 제안한다. RF 신호 내성을 위해, 입력전압 변동만큼 감쇠시키는 입력전압 변동감쇠 회로가 내장된다. 양의 전압  $V_{POS}$ 를 출력하는 부스트 변환기는 SPWM-PWM 듀얼모드로 동작하고, 데드 타임을 제어함으로써 전력 효율을 제고한다.  $V_{NEG}$ 를 출력하는 인버팅 차지펌프는 2-상 출력 구조로 VCO를 이용한 PFM으로 동작해 작은 리플을 갖도록 설계된다. 0.18  $\mu\text{m}$  BCDMOS 공정으로 시뮬레이션 한 결과, 부스트 변환기 출력전압의 오버슈트와 언더슈트는 10 mV에서 각각 2 mV, 5 mV로 감소하였다. 또한, 2-채널 DC-DC 변환기의 전력효율은 39%~93%를 가졌고, 데드 타임 제어를 적용한 부스트 변환기의 효율은 종전보다 최대 3% 증가하였다.

*Key words* : RF noise immunity, boost converter, input voltage variation reduction circuit, charge pump, OLED

\* School of Electrical and Computer Engineering, Chungbuk National University

\*\* Zinitix Co.

★ Corresponding author

E-Mail : hychoi@cbnu.ac.kr, Tel : +82-43-261-3231

※ Acknowledgment

This research was supported by the Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education (2018R1D1A1B07046871) and the KIAT grant funded by the Korea government MOTIE (No. 0001883). The EDA tool was supported by the IC Design Education Center(IDEC), Korea.

Manuscript received Aug. 31, 2020; revised Sep. 23, 2020; accepted Sep. 28, 2020.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

고품질의 화면과 디자인, 저전력의 이점으로 OLED (organic light emitting diodes)를 채택하는 포터블 기기의 사용이 점점 증가하고 있다[1-2]. OLED를 구동하기 위해서는 양의 전압과 음의 전압이 필요하여, 이를 위한 단일 칩의 다채널 DC-DC 변환기가 제안되고 있다[3-5]. 특히, 소형 기기에서 면적을 줄이기 위해 인덕터 사용을 최소화한 DC-DC 변환기가 제안되고 있다[4-5].

최근 무선 통신기기에서 주기적인 송수신에 따른 전류 변동이 유발되고, 이로 인해 RF 노이즈가 발생하고 있다[6-7]. RF 노이즈로 인한 전압 변동은 DC-DC 변환기의 출력전압에 오버슈트와 언더슈트를 발생시켜 OLED 디스플레이의 출력품질을 저하시킨다. 따라서 DC-DC 변환기가 RF 노이즈 내성을 갖도록 요구되고 있다.

본 논문에서는 RF 노이즈 내성을 가진 OLED 디스플레이용 2-채널 DC-DC변환기를 설계한다. 양의 전압  $V_{POS}$ 는 SPWM(set-time variable PWM)-PWM (pulse width modulation) 듀얼모드를 이용한 부스트(boost) 변환기로 설계하여 경부하 효율을 제고하고, 데드 타임(dead time) 제어기를 이용해 효율을 향상시켰다. 또한, 입력전압 변동감쇠 회로를 이용하여 RF 노이즈 유입에 따른 출력 전압의 오버슈트와 언더슈트를 줄인다. 음의 전압  $V_{NEG}$ 는 PFM (pulse frequency modulation) 방식의 인버팅 차지 펌프(inverting charge pump)로 설계하여 작은 리플을 갖도록 한다.

II장에서 제안하는 RF 노이즈 내성을 위한 입력 전압 변동감쇠 회로의 구조 및 동작을 기술한다. III장에서 OLED 디스플레이용 2-채널 DC-DC 변환기의 구조 및 동작을 기술한다. IV장에서는 전체 회로에 대한 시뮬레이션 결과를 보여주고 V장에서 결론을 맺는다.

II. RF 노이즈 내성을 위한 입력 전압 변동 감쇠 회로

RF 노이즈로 인한 입력전압의 변동은 인덕터 전류의 기울기를 변화시켜 파워 트랜지스터의 듀티비에 영향을 주고, 출력 전압의 오버슈트와 언더슈

트를 발생시킨다[8]. 이는 OLED 디스플레이의 출력품질의 저하를 발생시켜 오버슈트와 언더슈트를 줄일 필요가 있다.

그림 1은 본 논문에서 제안하는 입력전압 변동감쇠 회로(input voltage variation reduction circuit: IVVRC)를 보여준다. 3개의 전류 미러는 변동된 입력전압의 영향을 받은 부스트 변환기의 에리앰프 출력  $V_{ERROR}$ 에 비례하는 전류를 입력전압  $V_{IN}$ 에 비례하는 전류로 상쇄하여 파워 트랜지스터의 리셋 신호 생성에 사용되는 출력전압  $V_{ERROR\_R}$ 로 대체한다. 이는 출력전압의 오버슈트와 언더슈트를 감소시켜 OLED가 안정적으로 디스플레이할 수 있도록 한다. 제안하는 회로는 3개의 전류 미러만큼 면적이 증가하며, 이는 전체 2-채널 DC-DC 변환기의 면적에 큰 영향을 주지 않는다.

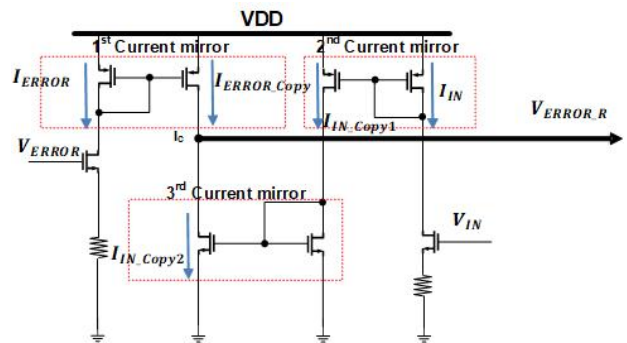


Fig. 1. Input voltage variation reduction circuit. 그림 1. 입력전압 변동감쇠 회로

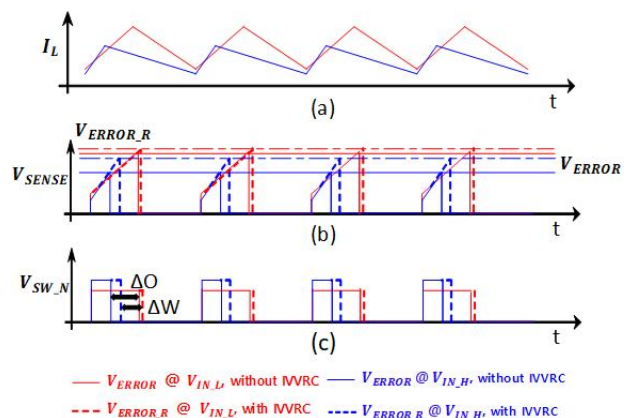


Fig. 2. Timing diagram of Input voltage variation reduction circuit.

그림 2. 입력전압 변동감쇠 회로 타이밍도

그림 2(a)는 입력전압의 변동에 따른 인덕터 전류의 기울기 변화를 보여준다(청색은 높은 입력 전

압, 적색은 낮은 입력 전압). 그림 2(b)는 파워 트랜지스터의 스위칭 신호를 생성하기 위한 인덕터 센싱 전압과 에러 앰프의 출력전압과 IVVRC의 출력 파형을 보여준다. IVVRC가 없을 때의 에러 앰프의 출력(실선)은 IVVRC가 있을 때의 출력(파선)에 비해, 입력전압 변동에 대한 큰 변동 폭을 보여준다. 그림 2(c)는 N-파워 트랜지스터의 스위칭 파형으로, IVVRC가 있을 때의 펄스 변동폭  $\Delta W$ 는 IVVRC가 없을 때의  $\Delta O$ 와 비교하여, 펄스폭의 변동이 작아져 입력 전압 변동의 감쇠가 이루어짐을 보여준다.

### III. 2-채널 DC-DC 변환기 설계

본 장에서는 RF 노이즈 내성을 가진 OLED 디스플레이용 2-채널 DC-DC 변환기를 기술한다. 2-채널 DC-DC 변환기의 주요 사양은 다음과 같다. 입력 전압의 범위는 2.9 V~4.4 V이며, 양의 전압  $V_{POS}$ 는 4.6 V, 음의 전압  $V_{NEG}$ 는 -0.6 V~-2.2 V를 출력한다. 부하전류의 범위는 1mA~100mA이다.

그림 3은 제안하는 2-채널 DC-DC 변환기의 블록도로 좌측은  $V_{POS}$ 를 출력하는 부스트 변환기, 우측은  $V_{NEG}$ 를 출력하는 인버팅 차지펌프회로이다.

#### 1. $V_{POS}$ : 부스트 변환기

양의 전압  $V_{POS}$ 를 출력하기 위한 부스트 변환기로, 파워 트랜지스터, 데드 타임 제어기와 게이트 드라이버, SPWM 제어기, 에러앰프, 입력전압 변동 감쇠 회로(IVVRC)로 구성된다. 부스트 변환기는 SPWM-PWM 듀얼 모드를 이용하여 경부하 효

율을 높이고, 데드 타임 제어기를 이용하여 전부하의 효율을 향상시킨다.

#### 가. SPWM-PWM 듀얼모드

부스트 변환기는 경부하의 효율 제고를 위해, 기본적으로 PWM으로 동작하며, 모드 전환 전류 이하의 경부하에서는 SPWM으로 동작하는 SPWM-PWM 듀얼모드를 가진다[9]. SPWM-PWM 제어기는 기존의 PWM 제어기에 모드 선택기와 VCO를 추가하여 저면적으로 구현이 가능하다.

#### 나. 데드 타임 제어기

데드 타임 구간에서 발생하는 바디 다이오드 전도(body diode conduction) 손실을 줄이기 위해 데드 타임 제어기를 설계한다. 데드 타임 제어기는 데드 타임을 검출하여 파워 트랜지스터의 스위칭 타이밍을 조절하는 회로이다. 그림 4(a)는 데드 타임을 검출하는 회로이고, (b)는 (a)에서 생성된 펄스를 이용하여 파워 트랜지스터의 스위칭 타이밍을 조절하기 위한 회로이다. 그림 4(c)는 데드 타임 제어기의 타이밍도를 보여준다.

#### 2. $V_{NEG}$ : 인버팅 차지펌프

음의 전압  $V_{NEG}$ 는 2-상(phase) 구조의 인버팅 차지 펌프(inverting charge pump)로 설계한다[11]. 인버팅 차지 펌프는 스위칭 트랜지스터, 전압제어 발진기(voltage controlled oscillator : VCO), 게이트 드라이버, DIM 제어기 등으로 구성된다. 2-상 구조를 사용하여 1 상에서 스위칭 신호에 따라 캐패시터를 충전하고, 2 상에서 캐패시터를 방전시켜

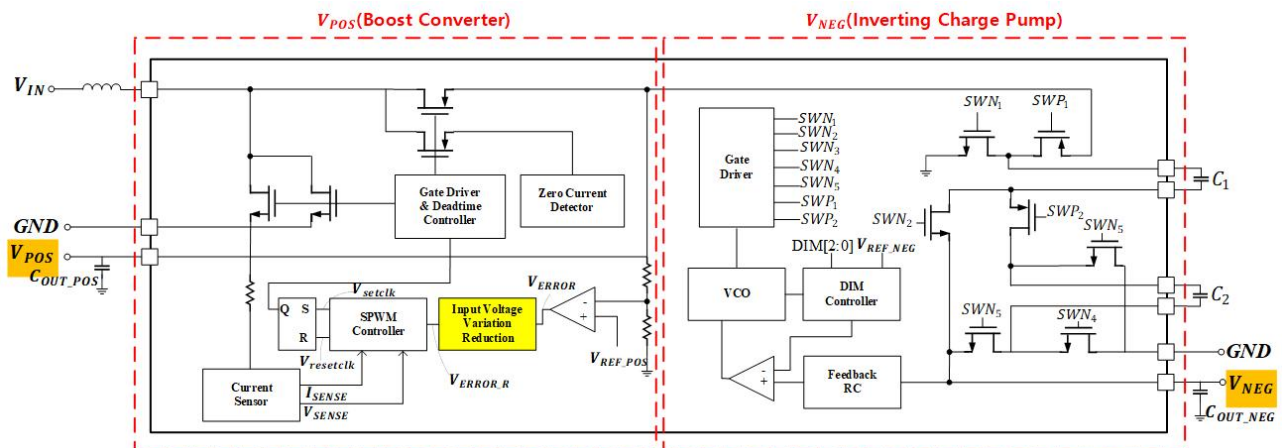


Fig. 3. Block diagram of 2-ch DC-DC converter.

그림 3. 2-채널 DC-DC 변환기 블록도

음의 전압을 출력한다. DIM 제어기를 이용해 레퍼런스 전압을 변화시켜  $-0.6\text{ V} \sim -2.2\text{ V}$ 를 가변 출력한다.

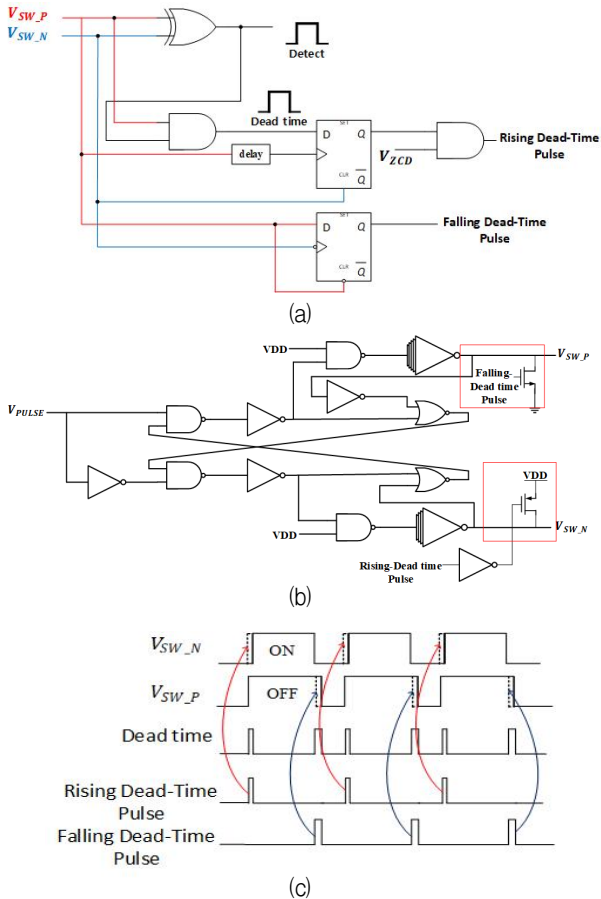


Fig. 4. (a) Dead time detector, (b) Gate driver with dead time controller, (c) Timing diagram of dead time controller.

그림 4. (a) 데드 타임 검출기, (b) 데드 타임 제어기를 갖는 게이트 드라이버, (c) 데드 타임 제어기 타이밍도

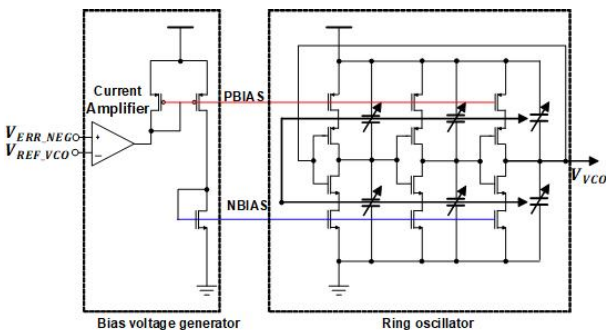


Fig. 5. Voltage controlled oscillator.

그림 5. 전압제어 발진기

그림 5은 VCO의 블록도를 보여준다. 바이어스 전압 생성 블록에서  $V_{NEG}$  채널의 에러 앰프 출력을 이용해 PBIAS와 NBIAS의 값을 조절하여 링

발진기가 부하전류에 따라 스위칭 주파수를 가변하는 PFM 방식으로 인버팅 차지펌프를 제어해, 부하전류에 따라 게이트 드라이버에 입력되는 스위칭 신호를 생략하는 PSM(pulse skipping modulation) 방식에 비해 작은 리플을 갖는다.

#### IV. 시뮬레이션 결과

III장에서 제안한 2-채널 DC-DC 변환기를  $0.18\ \mu\text{m}$  BCDMOS 공정을 이용하여 설계하였다.

그림 6는 입력전압  $3.7\text{ V}$ , 부하전류  $20\text{ mA}$ 에서 각 변환기 채널의 출력 결과를 보여준다.  $V_{POS}$   $4.6\text{ V}$ 와  $V_{NEG}$   $-2.2\text{ V}$ 의 출력전압을 보여주고, 리플은  $V_{POS}$ ,  $V_{NEG}$ 에서 각각  $2.1\text{ mV}$ ,  $5.3\text{ mV}$ 이다.  $V_{NEG}$ 의 출력 리플은 PSM 방식의 인버팅 차지 펌프의[4]  $18.3\text{ mV}$ 보다 작게 개선되었다.

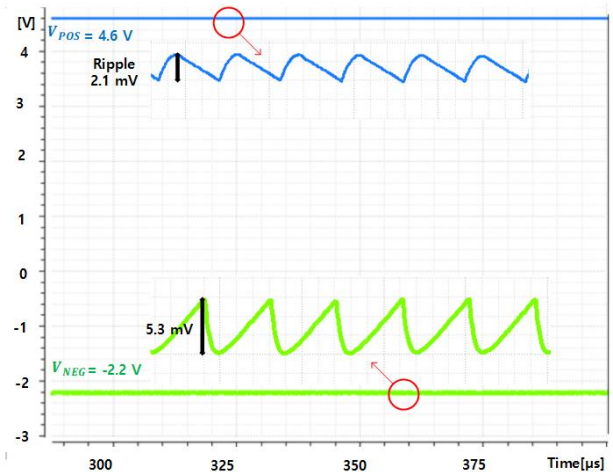


Fig. 6. Characteristics of output voltages and ripples.

그림 6. 출력 전압 및 리플 특성

그림 7는 입력 전압 변동에 따른 출력전압이다. 그림 7(a)는 입력전압 변동감쇠 회로가 없는 경우로 부스트 변환기의 출력전압으로 입력전압이  $500\text{ mV}$ 의 변동이 생길 때, 각각  $10\text{ mV}$ 의 오버슈트와 언더슈트가 발생하였다. 그림 7(b)는 입력전압 변동 감쇠 회로가 있는 경우로 오버슈트와 언더슈트가 각각  $5\text{ mV}$ ,  $2\text{ mV}$ 로 감소하여 RF 노이즈에 대한 비교적 큰 내성을 보여준다.

그림 8은 데드 타임 제어기 유무에 따른 파워 트랜지스터의 스위칭 파형을 보여준다. 데드 타임 제어기가 없는 (a)의 경우는 데드타임이  $5.5\text{ ns}$ 인 반



면, 데드타임 제어기가 있는 (b) 경우에는 데드타임이 1 ns로 데드 타임이 크게 감소됨을 볼 수 있다.

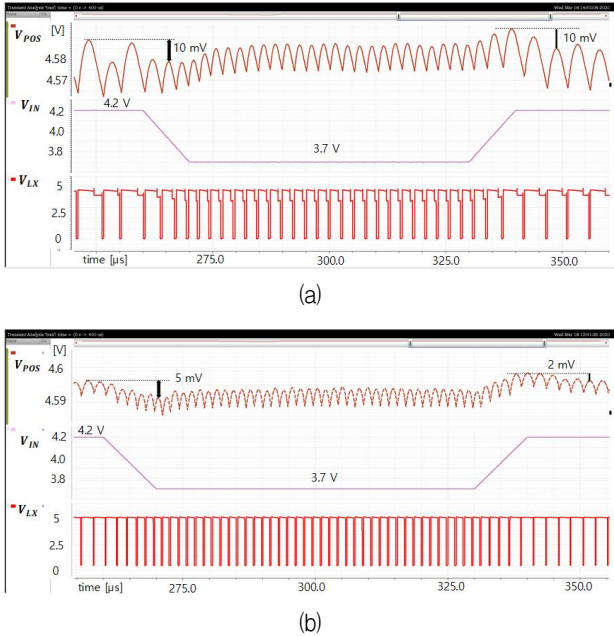


Fig. 7. Output voltage according to input voltage variation. (a) without Input voltage variation reduction circuit, (b) with Input voltage variation reduction circuit.

그림 7. 입력 전압 변동에 따른 출력전압 (a) 입력전압 변동 감쇠 회로가 없는 경우, (b) 입력전압 변동 감쇠 회로가 있는 경우

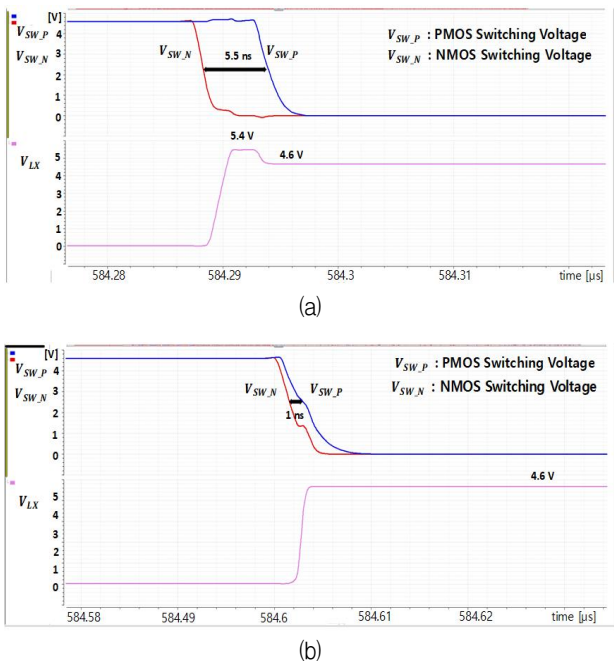


Fig. 8. Switching wave form. (a) without dead time controller, (b) with dead time controller.

그림 8. 스위칭 파형 (a) 데드 타임 제어기가 없는 경우, (b) 데드 타임 제어기가 있는 경우

그림 9는 부스트 변환기의 전력효율을 나타낸다. 입력 전압 3.7 V,  $V_{POS}$  4.6 V, 부하 전류 1 mA~100 mA에서 43%~95%의 전력효율을 나타내었다. 데드 타임 제어기를 적용하여, 최대 3%의 전력효율이 향상되었다.

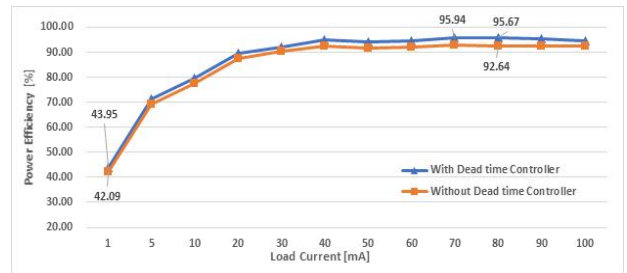


Fig. 9. Power efficiency of boost converter. 그림 9. 부스트 변환기 전력 효율

그림 10는 전체 2-채널 DC-DC 변환기의 전력효율을 나타낸다. 입력 전압 3.7 V,  $V_{POS}$  4.6 V와  $V_{NEG}$  -2.2 V에서 부하 전류 1 mA~100 mA에 대한 결과이다. 전체 전력 효율은 39%~93%를 나타내었다.

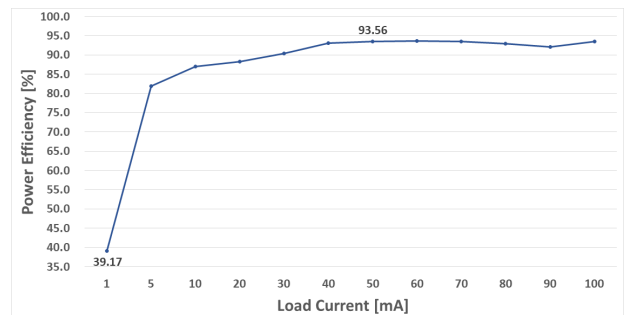


Fig. 10. Power efficiency of 2-ch DC-DC converter. 그림 10. 2-채널 DC-DC 변환기 전력 효율

## V. 결론

본 논문에서는 RF 노이즈 내성을 가진 OLED 디스플레이용 2-채널 DC-DC 변환기를 설계하였다.  $V_{POS}$ 는 RF 신호 내성을 위해 입력전압 변동 감쇠 회로를 내장하여 부스트 변환기로 설계하고  $V_{NEG}$ 는 인버팅 차지펌프로 설계하였다. 제안하는 입력 전압 변동감쇠 회로는 3개의 전류 미러로 작은 면적으로 구성 가능하였다. 0.18  $\mu\text{m}$  BCDMOS 공정으로 설계한 결과, RF 노이즈에 의한 출력전압의 오버슈트와 언더슈트가 각각 10 mV에서 5 mV와 2 mV로 감소하였다. 또한,  $V_{POS}$ 는 4.6 V,  $V_{NEG}$ 는

-0.6 V ~ -2.2 V를 출력하며, 출력 리플은  $V_{POS}$ 는 2.1 mV,  $V_{NEG}$ 는 5.3 mV의 실용적인 성능을 나타내었다. 1 mA ~ 100 mA의 부하전류에서 전력 효율은 39% ~ 93%였다.

## References

- [1] G. Dickson, "What's in store for portable displays?," *Inf. Disp.*, vol.36, no.1, pp.29-33, 2020.
- [2] G. M. Phelan, "OLED lighting hits the market," *Inf. Disp.*, vol.34, no.1, pp.10-15, 2018.
- [3] Y.-Y. Lee, S. Park, J. Park, W. Choe, and J. Kwag, "Late-News Poster: Single Package DC/DC Converter for Tablet OLED," *SID Symp. Dig. Tech. Pap.*, vol.48, no.1, pp.1449-1451, 2017. DOI: 10.1002/sdtp.11921
- [4] S. Jeon, H. Lee, and H. Choi, "Design of Highly Integrated 3-Channel DC-DC Converter Using PTWS for Wearable AMOLED," *J. IKEEE*, vol.23, no.3, pp.1061-1067, 2019. DOI: 10.7471/ikeee.2019.23.3.1061
- [5] C. S. Chae, H. P. Le, K. C. Lee, G. H. Cho, and G. H. Cho, "A single-inductor step-up DC-DC switching converter with bipolar outputs for active matrix OLED mobile display panels," *IEEE J. Solid-State Circuits*, vol.44, no.2, pp.509-524, 2009. DOI: 10.1109/JSSC.2008.2010986
- [6] ITU-T, "Immunity requirements for telecommunication equipment in close proximity use of wireless devices," ITU-T K.127, 2017.
- [7] Y. B. Lee, "GSM mobile terminal and noise suppression method for the same," US8121551B2, 2012.
- [8] Christophe Basso, *Switch-Mode Power Supplies Spice Simulations and Practical Designs*. USA, NY, New York: McGraw-Hill, 2008.
- [9] H. Y. Kim, M. H. Lee, Y. H. Shin, J. W. Kim, N. S. Kim, and H. Y. Choi, "Dual-mode inverting buck-boost converter using set-time variable PWM method," *J. Semicond. Technol. Sci.*, vol.18, no.4, pp.423-432, 2018. DOI: 10.5573/JSTS.2018.18.4.423

- [10] F. Pan, T. Samaddar, *Charge pump circuit design*. USA, NY, New York: McGraw-Hill, 2006.

## BIOGRAPHY

### Tae-Un Kim (Member)



2019 : BS degree in Electronics Engineering, Chungbuk National University.  
2019~present : MS course in Semiconductor Engineering, Chungbuk National University.

### Hak-Yun Kim (Member)



1999 : BS degree in Semiconductor Engineering, Chungbuk National University.  
2001 : MS degree in Semiconductor Engineering, Chungbuk National University.

2008 : Ph.D candidate in Semiconductor Engineering, Chungbuk National University.  
2000~2004 : Senior Research Engineer, Hynix Semiconductor Inc.  
2005~2014 : Senior Research Engineer, RIUBIT  
2015~present : Principal Research Engineer, Zinitix Co.

### Ho-Yong Choi (Member)



1980 : BS degree in Electronics Engineering, Seoul National University.  
1982 : MS degree in Electronics Engineering, KAIST  
1994 : Ph.D. degree in Electronics Engineering, Osaka University.

1985~1996 : Associate Professor in Dept. of Electronics Engineering, Pukyong National University.  
1996~present : Professor in Dept. of Electronics Engineering, Chungbuk National University.