

싱글칩 마이크로컨트롤러를 이용한 고효율 공진형 플라이백 전력변환기 High Efficiency Resonant Flyback Converter using a Single-Chip Microcontroller

정 강 루*★

Gang-Youl Jeong*★

Abstract

This paper presents a high efficiency resonant flyback converter using a single-chip microcontroller. The proposed converter primary performs the resonant switching by applying the asymmetrical pulse-width modulation (APWM) to the half-bridge power topology. And the converter secondary uses the diode flyback rectifier as its power topology and operates with the zero current switching (ZCS). Thus the proposed converter achieves high efficiency. The total structure of proposed converter is very simple because it uses a single-chip microcontroller and bootstrap circuit for its control and drive, respectively. First, this paper describes the converter operation according to each operation mode and shows its steady-state analysis. And the software control algorithm and drive circuits operating the proposed converter are explained. Then, the operation characteristics of proposed converter are shown through the experimental results of an implemented prototype based on each explanation.

요 약

본 논문에서는 싱글칩 마이크로컨트롤러를 이용한 고효율 공진형 플라이백 전력변환기를 제안한다. 제안한 전력변환기의 1차측은 하프브리지의 전력구조에 비대칭펄스폭변조(APWM : Asymmetrical Pulse-Width Modulation)을 적용하여 공진형 스위칭을 수행한다. 그리고 2차측은 다이오드 플라이백정류기 전력구조를 이용하고 영전류스위칭(ZCS : Zero Current Switching)으로 동작한다. 그리하여 제안한 컨버터는 고효율을 달성한다. 제안한 컨버터는 제어와 구동을 위하여 싱글칩 마이크로컨트롤러와 부트스트랩 회로를 각각 이용하므로 전체적 구조가 매우 간단하다. 본 논문에서는 먼저, 제안한 전력변환기의 전력회로의 동작을 동작모드 별로 설명하고 정상상태 해석을 보인다. 그리고 제안한 전력변환기를 동작시키는 소프트웨어 제어 알고리즘과 구동회로에 관하여 설명하며, 그 후 각 설명에 근거하여 제작된 프로토타입의 실험결과를 통하여 제안한 전력변환기의 동작 특성을 보인다.

Key words : single-chip microcontroller, bootstrap, half-bridge, flyback rectifier, APWM, resonant switching

* Professor, Department of Electronic Information Engineering, Soonchunhyang University

★ Corresponding author

E-mail : gangyoul@sch.ac.kr, Tel : +82-41-530-1337

※ Acknowledgment

This work was supported by the Soonchunhyang University Research Fund.

Manuscript received Aug. 31, 2020; revised Sep. 18, 2020; accepted Sep. 21, 2020.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

오늘날 산업현장에서 많이 이용되는 전통적 플라이백 전력변환기는 다출력에 유리하고 전체 부피도 작으며 비용-효과적인 장점이 있다. 하지만 이 전력변환기는 전력반도체스위치(스위치)의 하드스위칭으로 인한 높은 스위칭 손실과 높은 스위치 전압스트레스 및 높은 전자유도장해노이즈(electromagnetic interference noise) 등의 단점도 있어 고용량 응용에는 적합하지 않다. 왜냐하면, 고용량 응용의 전력변환기에서는 더 높은 전력밀도와 보다 낮은 온도특성이 요구되기 때문이다. 그래서 그동안 전통적 플라이백 전력변환기의 단점을 극복하기 위하여 공진형 소프트스위칭 기법이 적용된 다양한 전력변환기가 제안되었다[1-5]. 그러나 이러한 전력변환기들은 여러 장점에도 불구하고, 스위치의 전압스트레스가 여전히 높은 단점이 있었다.

최근 들어, 비대칭 하프브리지 방식을 적용한 공진형 전력변환기가 산업현장에서 점점 더 인기를 얻어가고 있다[6-10]. 이 방식의 전력변환기는 하프브리지 각 스위치를 비대칭펄스폭변조(APWM : Asymmetrical Pulse-Width Modulation) 방식으로 동작시키는 전력변환기이다. APWM이란 한 스위칭주기 동안 하프브리지 각 스위치의 존재함수를 S 와 $\bar{S}(=1-S)$ 가 되게 하여 각 스위치를 상보적(complementary)으로 턴온/턴오프하는 스위칭 기법이다. 통상적으로 하프브리지 각 스위치의 전이(transition) 기간 동안에는 스위치들의 암단락(arm short) 방지를 위해 짧은 시간의 데드타임(dead-time)을 두는데, APWM 방식에서는 이 시간 동안 부분공진이 일어나며 이것이 결국 스위치를 영전압에서 턴온/턴오프하게 한다. 따라서 APWM 방식의 하프브리지 전력변환기는 각 스위치에 대해 영전압스위칭(ZVS : Zero Voltage Switching)이 쉽게 구현되어 스위치의 전압스트레스가 매우 낮은 장점이 있다.

그런데 지금까지의 연구[1-10]에서는 각 전력변환기의 동작원리나 설계기법에 대하여는 어느 정도 상세한 설명이 이루어졌으나, 아쉽게도 이에 대한 실제적인 제어방식이나 구현방법이 구체적으로 제시된 경우는 별로 없었다. 뿐만 아니라, 기존 전력변환기의 제어방식들은 제어기로 상용 제어 IC를 주로 이용하기 때문에, 필수적인 그 주변 회로

등으로 인하여 제어회로가 다소 복잡한 단점이 있었다. 그러나 제어방식의 단순화 및 구동회로의 구체적 구현방법 제시는 산업현장에서의 전력변환기의 실제적 구현과 응용을 위한 기술적 측면에서 핵심적이며 바람직하다.

본 논문에서는 싱글칩 마이크로컨트롤러를 이용한 새로운 고효율 공진형 플라이백 전력변환기를 제안한다. 제안한 전력변환기의 1차측은 APWM 방식으로 동작하는 하프브리지 구조이고 2차측은 가장 간단한 다이오드 플라이백정류기 형태이다. 제안한 전력변환기는 소프트스위칭 기법을 이용하여 고효율을 달성한다. 제안한 전력변환기는 싱글칩 마이크로컨트롤러를 이용하여 소프트웨어적으로 제어기를 구현함으로써 제어회로를 간략화하고 또한 부트스트랩(bootstrap) 방식을 이용하여 스위치 구동회로를 간략화한다. 본 논문에서는, 제안한 전력변환기의 전력회로 부분의 동작은 동작모드별로 구분하여 설명하며, 제어기와 구동회로 부분은 각 부분으로 나누어 구체적으로 설명한다. 그리고 프로토타입의 실험결과를 통하여 제안한 전력변환기의 우수성과 고효율 특성을 보인다.

II. 제안한 전력변환기의 동작

1. 동작모드 분석

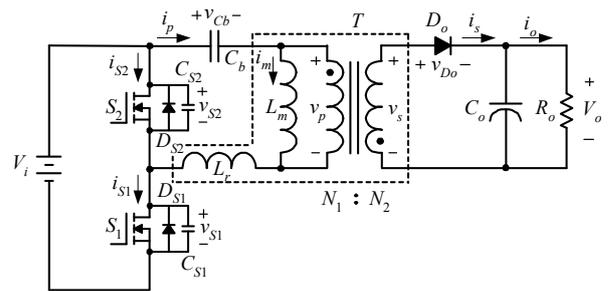


Fig. 1. The power circuit of proposed high efficiency resonant flyback power converter.

그림 1. 제안한 고효율 공진형 플라이백 전력변환기의 전력회로도

그림 1은 제안한 고효율 공진형 플라이백 전력변환기의 전력회로도를 보인다. 제안한 전력변환기의 변압기 T 는 권선비가 $n=N_1/N_2$ 인 이상적 변압기와 자화인덕턴스 L_m 및 누설인덕턴스 L_r 로 모델링된다. 여기서 L_r 은 크기가 L_m 보다 매우 작으며($L_r \ll L_m$) 공진인덕턴스로 이용된다. MOSFET 스위치

S_1 과 S_2 는 APWM 방식으로 동작하며, 블로킹커패시터 전압 v_{Cb} 는 그 커패시턴스가 매우 커서 리플 성분은 무시 가능하다고 가정한다. 따라서 v_{Cb} 의 평균전압 V_{Cb} 는 다음과 같다.

$$v_{Cb} \approx V_{Cb} = DV_i \tag{1}$$

여기서 D 는 스위치 S_1 의 턴온 듀티이고 V_i 는 직류 입력전압이다. 이때 출력커패시턴스 C_o 는 충분히 커서 출력전압 V_o 는 일정하다고 가정한다. 그림 2는 제안한 전력변환기의 주요 전압, 전류의 이론적 동작파형이다.

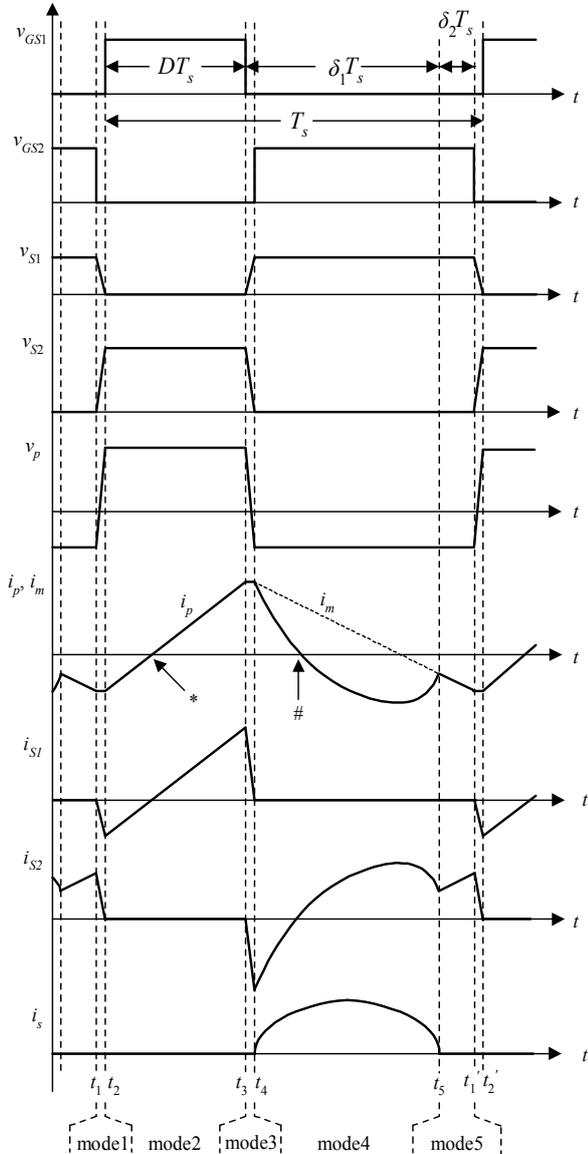


Fig. 2. Theoretical operational waveforms of the proposed power converter.

그림 2. 제안한 전력변환기의 이론적 동작파형

그림 3~7은 제안한 전력변환기의 동작모드 별 등가회로를 보인다. 제안한 전력변환기의 동작모드는, 정상상태의 한 스위칭주기 T_s 동안 스위치 S_1 과 S_2 , 그리고 각각의 역병렬 다이오드 D_{S1} 과 D_{S2} 및 2차 측 플라이백 출력다이오드 D_o 의 도통상태에 따라, 편의상 모두 5개로 구분된다. 다음은 그림 2와 각 모드 별 등가회로를 참조한 간략한 설명이다.

먼저, 제안한 전력변환기는 모드 1 전에 1차 전류 i_p 가 음(-)의 방향으로 흐르고 있고, 2차 전류 i_s 는 영(0)인 상태라고 가정한다.

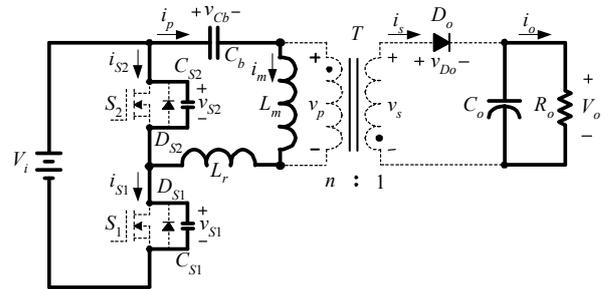


Fig. 3. Equivalent circuit of mode 1 ($t_1 \sim t_2$) of the proposed power converter.

그림 3. 제안한 전력변환기의 모드 1($t_1 \sim t_2$)의 등가회로

모드 1($t_1 \sim t_2$): 시간 $t=t_1$ 에서 스위치 S_2 가 턴오프 된다. 그러면 1차 전류 i_p 는 스위치 S_1 의 기생커패시터 C_{S1} 을 방전하고 스위치 S_2 의 기생커패시터 C_{S2} 를 충전한다. 그런데 C_{S1} 과 C_{S2} 의 각 커패시턴스는 매우 작은 값이므로 이 모드의 시간은 매우 짧다. 또한 모드 1은 각 스위치를 동시에 턴오프 하여 하프브리지 스위치들이 단락회로를 형성하지 않게 하는 데드타임 기간이다. 이 모드 동안 자화 전류 i_m 과 1차 전류 i_p 는 같고 일정하다. 또한 이 모드 전부터 턴오프 상태인 2차 출력다이오드 D_o 는 이 모드 동안 턴오프 상태를 계속 유지한다. 따라서 2차 전류 i_s 도 차단 상태가 계속된다.

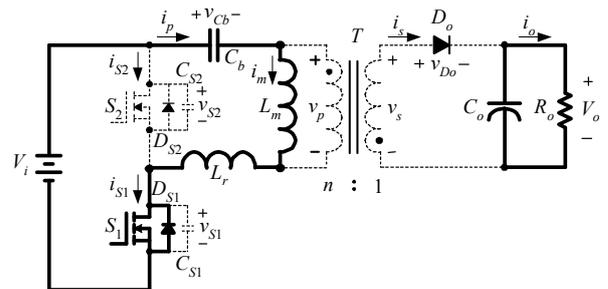


Fig. 4. Equivalent circuit of mode 2 ($t_1 \sim t_2$) of the proposed power converter.

그림 4. 제안한 전력변환기의 모드 2($t_2 \sim t_3$)의 등가회로

모드 2($t_2 \sim t_3$) : 1차 전류 i_p 가 스위치 S_1 의 기생 커패시터 C_{S1} 을 방전하여, 시간 $t=t_2$ 에서 S_1 의 양단 전압 v_{S1} 이 $v_{S1}=0$ 이 된다. 그러면 S_1 의 역병렬 다이오드 D_{S1} 은 턴온 되어 i_p 를 흘린다. 이때 S_1 의 구동 신호 v_{GS1} 을 S_1 의 게이트에 인가하여 i_p 의 전류방향이 바뀌기 전에 S_1 을 ZVS로 턴온 한다. 이 모드에서 블로킹커패시터 C_b 와 1차측 합성 직렬 인덕턴스 L_m+L_r 이 공진회로망을 형성하는데, 공진주기는 스위칭주기에 비해 매우 길다. 이때 i_p 는 입력전압 V_i 와 블로킹커패시터 전압 $v_{Cb}(=DV_i)$ 의 차에 의하여 다음 식과 같이 근사적으로 선형 증가한다.

$$i_p(t) = i_p(t_2) + \frac{(1-D)V_i}{L_m + L_r}(t - t_2) \quad (2)$$

i_p 는 또한 이 모드의 기간 중(* 시점)에 도통 방향을 바꾼다.

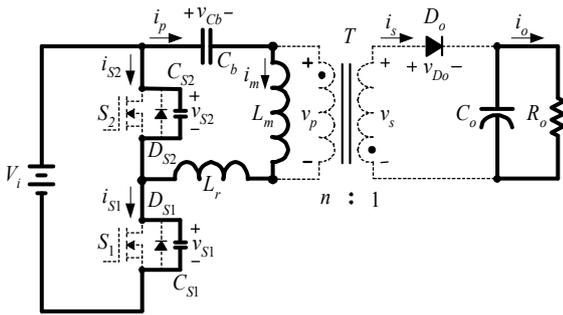


Fig. 5. Equivalent circuit of mode 3 ($t_1 \sim t_2$) of the proposed power converter.

그림 5. 제안한 전력변환기의 모드 3($t_3 \sim t_4$)의 등가회로

모드 3($t_3 \sim t_4$) : 이 모드는 시간 $t=t_3$ 에서 스위치 S_1 을 턴오프 하면서 시작된다. 이 모드는 모드 1과 유사하게, 스위치 S_1 과 S_2 가 동시에 턴오프 되는 데드타임 기간이다. 이 기간에 1차 전류 i_p 는 자화전류 i_m 과 같고 일정하며 S_1 과 S_2 의 기생커패시터 C_{S1} 과 C_{S2} 를 각각 충전하고 방전한다.

모드 4($t_4 \sim t_5$) : 시간 $t=t_4$ 에서, 1차 전류 i_p 에 의하여 스위치 S_1 과 S_2 의 기생커패시터 C_{S1} 과 C_{S2} 의 충전과 방전이 각각 완성된다. 그러면 S_1 의 전류 i_{S1} 은 차단($i_{S1}=0$)되고 S_2 의 양단전압은 $v_{S2}=0$ 이 되므로 S_2 의 역병렬 다이오드 D_{S2} 가 턴온 되어 i_p 를 흘린다($i_{S2}=i_p$). 이때, 즉 i_p 의 전류방향이 바뀌기 전에, S_2 의 구동신호 v_{GS2} 를 S_2 의 게이트에 인가함으로써

S_2 를 ZVS로 턴온 한다. 이 모드에서는 1차 전류 i_p 와 자화전류 i_m 의 차이가 변압기 2차 전류로 반영되면서($i_s=n(i_p-i_m)$) 출력다이오드 D_o 가 턴온 된다. 그러면 1차 전압 v_p 는 1차측으로 반영된 출력전압 $v_p=nV_o$ 와 같아진다. 이 모드에서 블로킹커패시터 C_b 와 누설인덕턴스 L_r 사이에 공진이 일어나고 자화인덕턴스 L_m 에 저장된 에너지는 출력단으로 전달된다. 이때 i_m 과 i_p 는 각각 다음의 식으로 주어진다.

$$i_m(t) = i_p(t_4) - \frac{nV_o}{L_m}(t - t_4) \quad (3)$$

$$i_p(t) = i_p(t_4) \cos \omega_r(t - t_4) + \frac{nV_o - DV_i}{Z_r} \sin \omega_r(t - t_4) \quad (4)$$

여기서 $\omega_r = (\sqrt{L_r C_b})^{-1}$ 과 $Z_r = \sqrt{L_r / C_b}$ 은 각각 공진 각주파수와 공진 임피던스이며, n 은 변압기의 권선비이다. i_p 는 이 모드의 기간 중(# 시점)에 도통 방향을 바꾼다. 그리고 2차 전류 i_s 가 0이 되면 이 모드는 끝이 난다.

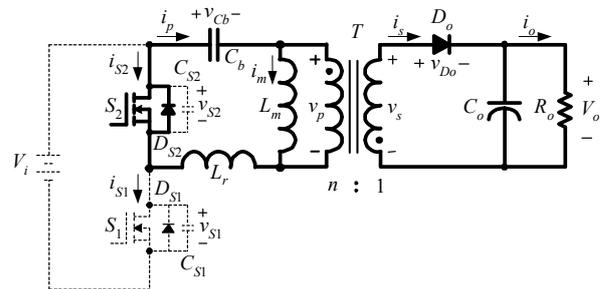


Fig. 6. Equivalent circuit of mode 4 ($t_4 \sim t_5$) of the proposed power converter.

그림 6. 제안한 전력변환기의 모드 4($t_4 \sim t_5$)의 등가회로

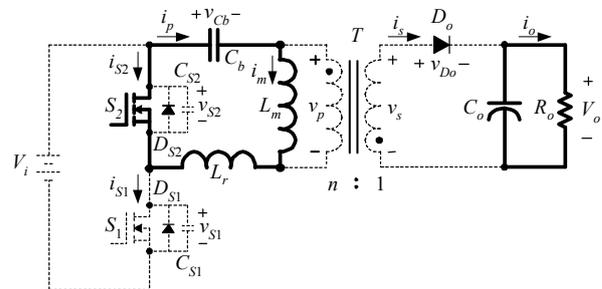


Fig. 7. Equivalent circuit of mode 5 ($t_5 \sim t_1'$) of the proposed power converter.

그림 7. 제안한 전력변환기의 모드 5($t_5 \sim t_1'$)의 등가회로

모드 5($t_5 \sim t_1'$) : 시간 $t=t_5$ 에서 2차 전류 i_s 는 0이 되어 출력다이오드 D_o 는 영전류스위칭(ZCS; Zero

Current Switching)으로 턴오프 한다. 그래서 다이오드의 역회복 문제는 생기지 않는다. 자화인덕턴스 L_m 에 저장된 에너지가 모드 4에서 2차측으로 모두 전달되므로, 1차 전류 i_p 와 자화전류 i_m 은 이 모드 기간 동안 같다.

모드 5가 끝나면 제안한 전력변환기의 한 스위칭 주기도 끝이 나고 전력변환기의 동작은 모드 1부터 다시 시작되어 정상상태의 스위칭주기가 반복된다.

2. 정상상태 해석

먼저, 그림 2~7로부터 변압기 1차측에 전압-시간 균형법칙(Volt-second balance rule)을 적용하여 다음과 같은 식을 얻는다.

$$\frac{L_m(V_i - V_{Cb})}{L_m + L_r} D = nV_o\delta_1 + \frac{L_m V_{Cb}}{L_m + L_r} \delta_2 \quad (5)$$

그러면 제안한 전력변환기의 전압전달비 V_o/V_i 는 식 (1)과 (5)에 의해 다음과 같이 얻어진다.

$$\frac{V_o}{V_i} = \frac{L_m}{L_m + L_r} \frac{D}{n} \cong \frac{D}{n} \quad (6)$$

블로킹커패시터 C_b 의 평균 1차 전류 I_p 는 전류-시간 균형 법칙(Ampere-second balance rule)에 의해 한 스위칭주기 동안 0이므로, 부하전류와 변압기의 권선비 n 에 의하여 평균 자화전류 I_m 은 다음과 같이 계산된다.

$$I_m - I_p = I_m - \int_0^{T_s} i_p dt = I_m = \frac{I_o}{n} \quad (7)$$

또한 평균 자화전류 I_m 은 그림 2로부터 또 다른 형태로 다음과 같이 표시할 수도 있다.

$$I_m = \frac{i_p(t_2) + i_p(t_4)}{2} \quad (8)$$

여기서 $t=t_2$ 와 $t=t_4$ 에서의 1차 전류 $i_p(t_2)$ 와 $i_p(t_4)$ 는 식 (6)~(8)로부터 다음과 같다.

$$i_p(t_2) = \frac{I_o}{n} - \frac{(1-D)T_s}{2L_m} nV_o \quad (9)$$

$$i_p(t_4) = \frac{I_o}{n} + \frac{(1-D)T_s}{2L_m} nV_o \quad (10)$$

그러하여 식 (6)과 (10)으로부터 모드 4의 공진전

류식 (4)는 다음과 같이 다시 쓸 수 있다.

$$i_p(t) = \left(\frac{I_o}{n} + \frac{(1-D)T_s}{2L_m} nV_o \right) \cos \omega_r(t-t_4) \quad (11)$$

그런데 스위치 S_1 은 시간 $t=t_2$ 에서의 1차 전류 $i_p(t_2)$ 가 음(-)이어야만 ZVS로 동작한다. 따라서 식 (9)로부터 다음의 관계를 얻을 수 있다.

$$\frac{2L_m}{n^2 R_o} < t_{off} \quad (12)$$

여기서 n 은 변압기의 권선비이고, $R_o=V_o/I_o$ 는 최대 출력전력시의 최소 출력저항이고, $t_{off}=(1-D_{max})T_s$ 는 최소 입력전압($V_i=V_{i,min}$)시 S_1 이 최대 온듀티($D=D_{max}$)로 동작할 때 최소 턴오프 시간이다. 또한 D_{max} 는 식 (6)으로부터 다음의 식과 같이 계산된다.

$$D_{max} \cong \frac{nV_o}{V_{i,min}} \quad (13)$$

그리고 모드 4의 동작으로부터 알 수 있듯이, S_2 는 시간 $t=t_4$ 에서의 1차 전류 $i_p(t_4)$ 가 양(+)일 때에만 ZVS로 동작한다. 또한 각 스위치의 ZVS 동작은 각 스위치 간의 데드타임이 충분해야만 가능하다. 즉 이것은 스위치의 기생커패시턴스에 충전된 에너지가 데드타임 기간 동안 i_p 에 의해서 모두 방전되어야 함을 의미한다. 따라서 S_1 과 S_2 의 ZVS 동작을 위한 최소 데드타임 조건은 다음과 같다.

$$t_{dt} > \max \left[\frac{C_S V_i}{|i_p(t_2)|}, \frac{C_S V_i}{i_p(t_4)} \right] \quad (14)$$

여기서 t_{dt} 는 각 스위치 S_1 과 S_2 간의 데드타임이고 $C_S=C_{S1}=C_{S2}$ 는 스위치의 기생커패시턴스이다.

또한 출력다이오드 D_o 가 ZCS로 동작하기 위해서는 모드 5가 반드시 존재해야 한다. 모드 5의 시간 간격은 공진주파수 ω_r 과, $\delta_2 T_s=0$ 일 때 $D=D_{max}$ 와 $i_p(t_1')=i_m(t_1')$ 인 임계조건에 의해 정해진다. 따라서 D_o 의 ZCS 동작을 위해서는 블로킹커패시터 C_b 가 다음의 조건을 만족하여야 한다.

$$\omega_r = (\sqrt{L_r C_b})^{-1} > \omega_{rb} \quad (15)$$

여기서 ω_{rb} 는 임계 공진 각주파수이며 다음의 식에 의해 결정된다.

$$\frac{2L_m}{n^2 R_o} - t_{off} = \left(\frac{2L_m}{n^2 R_o} + t_{off} \right) \cos \omega_{rb} t_{off} - \frac{2}{\omega_{rb}} \sin \omega_{rb} t_{off} \quad (16)$$

III. 제안한 전력변환기의 구현

1. 제어회로와 소프트웨어 제어 알고리즘

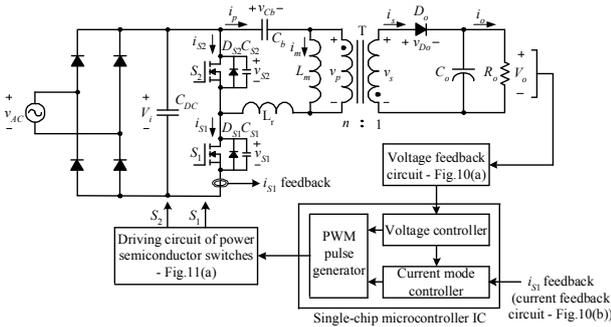


Fig. 8. The total control blockdiagram of the proposed power converter.

그림 8. 제안한 전력변환기의 전체 제어 블록다이어그램

제안한 전력변환기의 제어는 그림 8의 전체 제어 블록다이어그램에 근거하여, 간단한 피드백 회로와 함께 싱글칩 마이크로컨트롤러 상에 소프트웨어 제어 알고리즘으로 구현된다. 그림 9는 제안한 전력변환기의 제어 알고리즘을 개략적으로 보이는 순서도이다. 제안한 전력변환기의 출력전압 V_o 와 스위치 전류 i_{S1} 은 그림 10(a)와 (b)의 각 피드백 회로에 의하여 싱글칩 마이크로컨트롤러의 A/D 변환기(Analog-to-Digital converter)로 피드백 된다. 제안한 전력변환기의 제어기는 전압제어 루프와 전류제어 루프의 2개의 제어 루프로 동작한다.

제안한 전력변환기의 2개의 제어 루프 중 전압제어 루프는 긴 시간 주기를 가지고 외부 제어 루프로 동작한다. 그림 10(a)는 출력전압을 센싱하고 이것을 주제어기인 마이크로컨트롤러에 피드백하는 전압 피드백 회로이다. 여기서 V_o^+ 와 V_o^- 는 그림 8의 이차측 출력전압 V_o 의 양단이고 Z_1 은 정전압 프로그래머블 레귤레이터이다. 그림 10(a)의 회로는 출력전압 V_o 의 크기에 따라 저항 R_{DC} 와 포토커플러를 통하여 흐르는 전류의 양이 변화함으로써 포토커플러의 2차측 저항 R_{vf} 양단의 전압의 크기가 변화하도록 하여 출력전압을 피드백한다. 이 신호를 전력변환기 1차측의 마이크로컨트롤러의 A/D 변

환기 입력단자로 입력하여 마이크로컨트롤러에서 출력전압을 해당 디지털값으로 변환하고 이 디지털 피드백 출력전압값을 다음의 식과 같은 비례적분(PI; Proportional-Integral) 제어기에 적용한다.

$$V_{o,PWM} = K_p (V_o^* - V_o) + K_i \int (V_o^* - V_o) dt \quad (17)$$

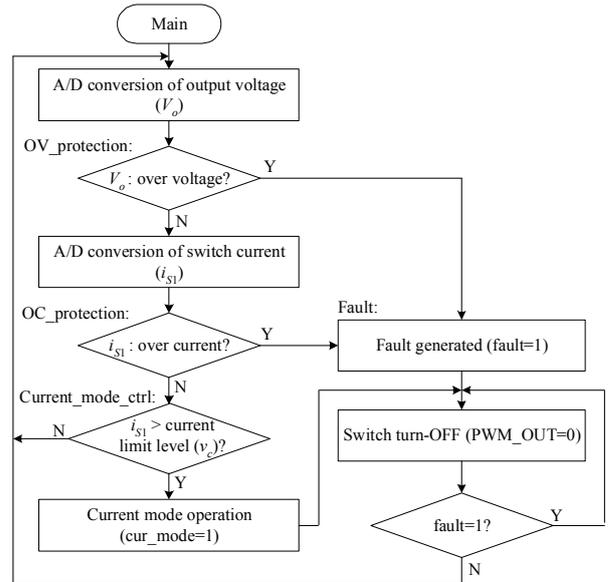
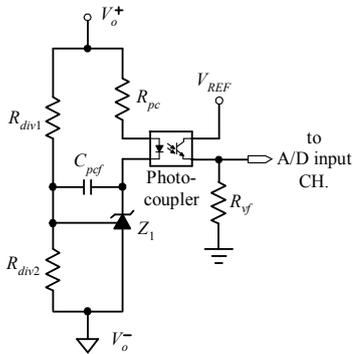


Fig. 9. The control algorithm flowchart of proposed power converter.

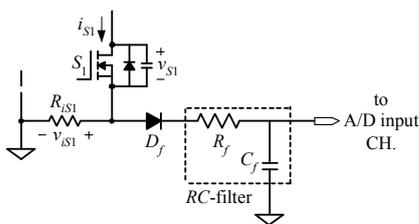
그림 9. 제안한 전력변환기의 제어 알고리즘 순서도

여기서 V_o^* 는 기준 출력전압값이고 V_o 는 피드백 출력전압값이다. 그리고 $V_{o,PWM}$ 은 기준 출력전압을 출력하기 위한 제어기의 출력전압 값이며, 이것으로 스위치 S_1 의 온듀티를 계산하고 마이크로컨트롤러가 해당 PWM 신호를 출력함으로써 출력전압을

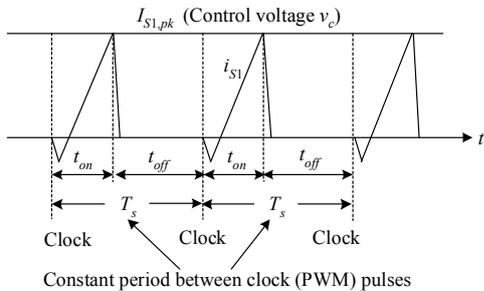
제어한다. 이렇게 출력된 PWM 신호는 다음의 III.2절에서 설명하는 구동회로를 거쳐 APWM 방식으로 전력변환기의 하프브리지 각 스위치의 게이트에 인가된다.



(a) The circuit of the output voltage feedback.
(a) 출력전압 피드백 회로



(b) The circuit of switch current feedback.
(b) 스위치 전류 피드백 회로



(c) The conceptual waveform of current mode control.
(c) 전류모드 제어의 개념 파형

Fig. 10. Each feedback circuit and the concept of current mode control.

그림 10. 각 피드백 회로와 전류모드 제어의 개념

제안한 전력변환기의 또 하나의 제어 루프는 짧은 시간 주기로 동작하며 전류모드 고정주파수 PWM 방식에 의하여 스위치 전류를 제한하는 전류제어 루프이다. 그림 10(b)는 전류제어를 위한 스위치 전류 i_{S1} 의 전류 피드백 회로를 보인다. 여기서 RC 필터(R_f-C_f)는 i_{S1} 이 저항 R_{iS1} 에 의해 스케일링 되어 전압형태(v_{iS1})로 피드백 될 때 이 피드백전압에서 스위칭 노이즈를 제거하기 위한 것이다. 그림

10(c)는 전류모드 제어방식의 개념 파형도를 보인다. 이 방식의 적용 방법은 다음과 같다.

먼저, 스위치 S_1 의 피크 제한전류($I_{S1,pk}$)의 설정이 필요한데, 이 설정값을 전류 센싱저항 R_{iS1} 의 전압값 ($v_c=2V$)으로 다음의 식과 같이 계산하여 설정한다.

$$I_{S1,pk} = \frac{v_c}{R_{iS1}} = \frac{2[V]}{R_{iS1}} \quad (18)$$

그리고 전력변환기 동작 시 스위치 S_1 의 턴온에 의해 i_{S1} 이 증가할 때 i_{S1} 을 $I_{S1,pk}$ 와 비교하여, i_{S1} 이 $I_{S1,pk}$ 보다 커지면 스위치 S_1 을 턴오프 하고 다음 스위칭주기에서 턴온할 때까지 턴오프 상태로 있도록 하며 이 동작을 PWM 스위칭주기 마다 계속 반복해 나간다.

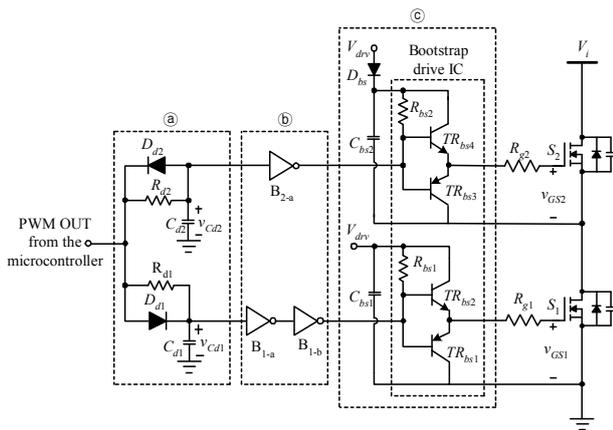
이러한 전류모드 제어를 구현하는 소프트웨어 제어 알고리즘은 먼저, 제한 전류제어 전압 v_c 를 디지털값으로 설정($v_c=2V$ 에 해당하는 A/D 변환 스케일의 상수)하고, 스위치 S_1 의 전류 i_{S1} 의 전압으로 스케일링된 A/D 변환 디지털값과 비교하여 이 값이 설정치 전압 v_c 를 넘어서면 PWM 신호를 리셋하도록 하는 것이다. 그리고 그다음 PWM 스위칭(인터럽트)주기에서 스위치를 턴온(PWM 온듀티의 재업로드)할 때까지 이 상태를 유지하며, 이러한 동작을 PWM 스위칭주기 마다 반복적으로 수행한다. 이렇게 함으로써, 전류모드 제어 기법은 스위치 전류가 과도하게 흐르지 않도록 제한하여 스위치를 과전류로부터 선제적으로 보호하면서도 타겟 출력전압을 안정적으로 출력하도록 하여 전체 시스템을 보다 안정시키는 역할을 한다.

2. 스위치 구동회로

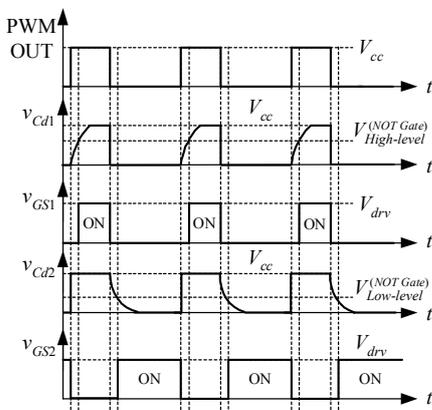
제안한 전력변환기의 스위치 구동회로는 그림 11에 보이는 간단한 구조의 부트스트랩 방식을 이용한다. 여기에서 'PWM OUT'은 그림 8의 마이크로컨트롤러에서 PWM 신호가 출력되는 PWM 출력단자이다.

그림 11(a)는 제안한 전력변환기의 구동회로의 구성을 보인다. 그림 11(a)의 ㉓ 부분은 입력되는 단일 PWM 신호를 데드타임을 생성하면서 하프브리지의 각 스위치를 위하여 두 개의 PWM 신호로 만드는 부분이다. 그리고 ㉔ 부분은 생성된 두 개의 PWM 신호를 하프브리지 각 스위치에 대해 APWM의 상보적 신호가 되도록 NOT 게이트를

삽입한 부분이다. 또한 © 부분은 부트스트랩 구동 IC와 그 주변회로로 구성되는 구동회로 부분이다. 그리고 V_{drv} 는 MOSFET 스위치의 구동전압이며 R_{g1} 과 R_{g2} 는 각 스위치의 게이트 저항이다. 부트스트랩 방식의 스위치 구동 방식은 스위칭 펄스변압기를 이용할 수 없는 곳에도 이용할 수 있으며 간단하고 구현 비용이 적은 장점도 있다. 그림 11(b)는 그림 11(a) 회로의 이론적 동작파형이다.



(a) The configuration of driving circuit.
(a) 구동회로의 구성



(b) The theoretical operation waveforms of driving circuit.
(b) 구동회로의 이론적 동작파형

Fig. 11. The switch driving circuit of the proposed power converter.

그림 11. 제안한 전력변환기의 스위치 구동회로

IV. 실험 결과

표 1은 제안한 변환기의 성능을 입증하기 위해 제작된 프로토타입 전력변환기의 설계사양과 주요 회로파라미터를 보인다. 여기서 각 주요 회로파라미터는 II절에서 설명한 동작원리에 근거하여 설계사양에 따라 설계된 것이다.

Table 1. The specifications and main circuit parameters of the prototype converter.

표 1. 프로토타입 전력변환기의 설계사양 및 주요 회로파라미터

Specifications		Main circuit parameters	
Item	Value	Item	Value
V_i	105~375V	n	7.2
V_o	5V	L_m	50 μ H
$I_{o,max}$	20A	L_r	3 μ H
$P_{o,max}$	100W	C_b	1 μ F
f_s	50kHz	S_1, S_2	375V/7.3A more class
D_{max}	0.33	D_o	56V/62A more class

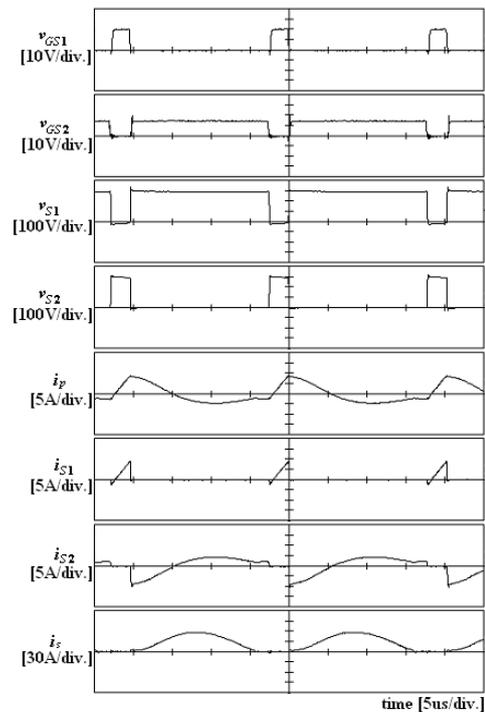


Fig. 12. Experimental waveforms of the key parts of the proposed power converter.

그림 12. 제안한 변환기의 주요 부분의 실험파형

프로토타입 전력변환기의 직류 입력전압 V_i 는 산업현장에서 흔히 사용되는 풀브리지 다이오드정류기와 이에 연결된 직류링크 커패시터를 이용하여 정현과 교류전원으로부터 얻는다(그림 8 참조). 프로토타입 전력변환기의 정격 직류 입력전압은 풀브리지 다이오드정류기의 입력전원이 $v_{AC}=220V/60Hz$ 의 상용 교류전원일 때 $V_i=311V$ 이며, 직류 입력전압의 범위는, 교류 입력전압이 $v_{AC}=75\sim 265V$ 일 때, $V_i=105\sim 375V$ 로 광범위 직류 입력전압이 가능하다.

프로토타입 전력변환기의 제어기는 III.1절의 내용을 토대로 싱글칩 8비트 마이크로컨트롤러인 PIC16C73을 이용하여 소프트웨어적으로 구현하였다. PIC16C73은 RISC(Reduced Instruction Set Computer) 아키텍처를 가진 CMOS 타입의 마이컴으로써, 비교적 빠른 속도로 동작하며, 대표적인 기능으로, 2개의 PWM 포트 및 5개의 A/D 채널 그리고 시리얼 통신 포트 등을 가지고 있어서 단순화된 제어를 구성하기에 매우 적합한 마이크로컨트롤러이다. 그리고 프로토타입 전력변환기의 구동회로는 III.2절의 내용에 따라 부트스트랩 IC인 IR2110을 이용하여 구현하였다. 이렇게 구현된 프로토타입 전력변환기로 제안한 전력변환기의 동작특성을 다음과 같이 실험하였다.

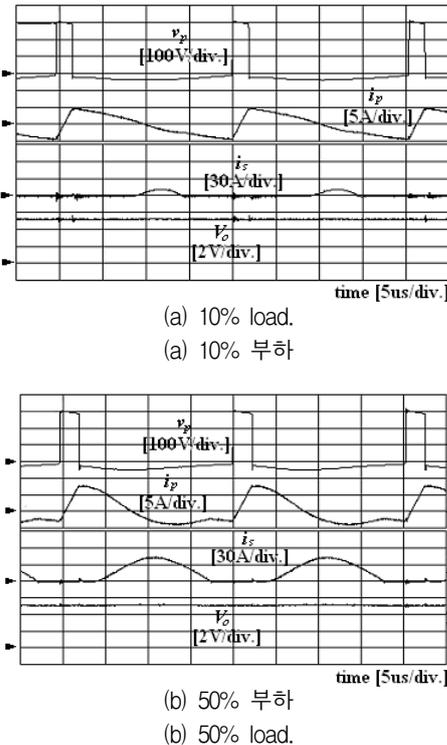


Fig. 13. Experimental waveforms of the proposed power converter under the load conditions that are smaller than the maximum output load at a rating DC input voltage.

그림 13. 정격 직류 입력전압일 때 최대 출력보다 작은 출력 부하 조건에서 동작하는 제안한 전력변환기의 실험파형

그림 12는 제안한 전력변환기의 입력전압이 정격 직류전압 $V_i=311V$ 이고 출력이 최대 출력전력 $P_o=P_{o,max}=100W$ (100% 부하 조건)일 때의 전력변환기 주요 부분의 실험파형이다. 이 실험파형은 그림 2의

제안한 전력변환기의 이론적 동작파형과 거의 일치함을 보인다.

그림 13은 입력전압이 정격 직류전압이고 최대 출력전력의 약 10%와 50% 부하 조건에서 동작하는 제안한 전력변환기의 변압기 1차 전압 v_p , 1차 전류 i_p , 2차 전류 i_s 및 출력전압 V_o 를 보인다. 그림 12와 13으로부터 제안한 전력변환기가 설계사양의 출력전력 부하조건 내에서 안정적으로 잘 동작함을 알 수 있다.

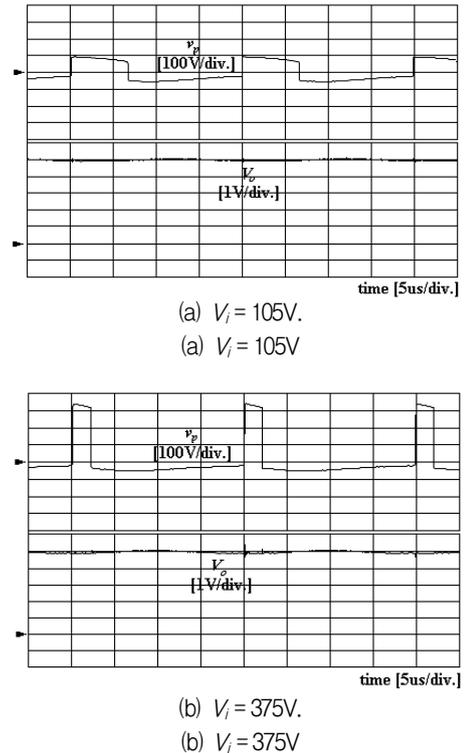


Fig. 14. Experimental waveforms of the primary voltage v_p and output voltage V_o at minimum/maximum DC input voltages under the maximum output power condition.

그림 14. 최대 출력전력일 때 최저/최고 직류 입력전압에서의 제안한 전력변환기의 1차 전압 v_p 와 출력전압 V_o 의 실험파형

그림 14는 제안한 전력변환기의 출력이 최대 출력전력이고 최저/최고 직류 입력전압으로 각각 동작할 때 제안한 전력변환기의 변압기 1차 전압 v_p 와 출력전압 V_o 를 보인다. 이로부터 제안한 전력변환기의 광범위 입력전압 특성을 확인할 수 있다.

따라서 그림 12~14로부터 제안한 전력변환기는 광범위 직류 입력전압과 다양한 출력전력에서 양호하게 동작하는 공진형 다이오드 플라이백 전력변환기임을 확인할 수 있다.

그림 15는 제안한 전력변환기의 출력이 최대 출력전력이고 입력전압이 광범위 전압 조건일 때(a)와 입력전압이 정격 직류전압이고 출력이 다양한 부하 조건일 때(b) 동작하는 제안한 전력변환기의 효율 그래프를 각각 보인다. 그래프의 각 효율은 전력변환기의 전체 시스템을 고려한 것으로, 전력변환기의 입력단과 출력단에서 바로 각각 전력을 측정하여 계산한 것이다. 또한 제안한 전력변환기의 효율을 기존 유사 전력구조의 전력변환기와 비교 해봤을 때, 정격입력 전압, 정격출력 전압/전력 조건에서 제안한 전력변환기의 효율이 약 5% 정도 향상됨을 확인할 수 있었다[11]. 이는 제어기와 구동회로를 간략화하여 전체적인 구조가 단순화됨에서 비롯된 것으로 판단된다. 따라서 제안한 전력변환기는 다양한 입출력 조건에서 효율 특성이 양호한 고효율 전력변환기임을 알 수 있다.

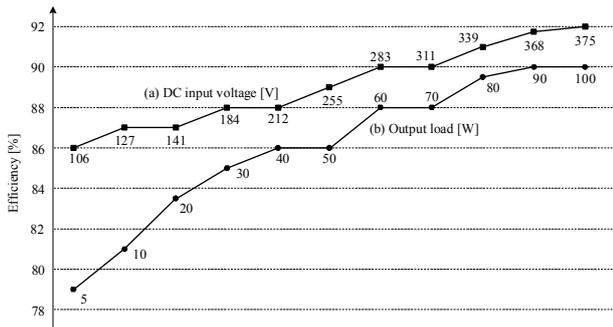


Fig. 15. The efficiency graphs of the proposed converter under the conditions of wide input voltages (a) and various output loads (b).

그림 15. 광범위 입력전압 조건(a)과 다양한 출력부하 조건(b) 하에서의 제안한 전력변환기의 효율 그래프

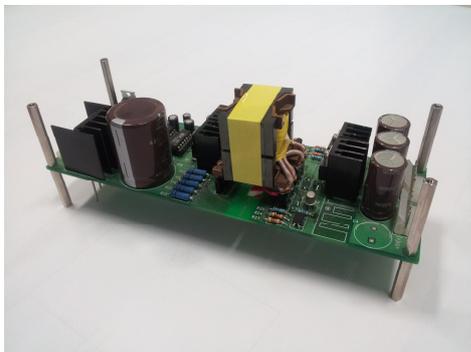


Fig. 16. The real look photo of the prototype converter.

그림 16. 프로토타입 전력변환기의 실제 모습 사진

그림 16은 본 실험을 위해 제작되고 사용된 프로토타입 전력변환기의 실제 모습을 보이는 사진이

다. 사진에서 보듯이, 제안한 전력변환기는 싱글칩 마이크로컨트롤러와 부트스트랩 구동 IC를 이용하여 제어기와 구동회로를 각각 구현함으로써 매우 간단한 구조가 됨을 확인할 수 있다.

V. 결론

본 논문에서는 싱글칩 마이크로컨트롤러를 이용한 고효율 공진형 플라이백 전력변환기를 제안하였다. 제안한 전력변환기의 1차측과 2차측의 전력 구조는 각각 하프브리지와 다이오드 플라이백정류기이다. 제안한 전력변환기는 1차측의 하프브리지 스위치를 APWM에 의해 ZVS 공진형 스위칭으로 동작시키고 2차측 다이오드 플라이백정류기를 ZCS로 동작시켜 고효율을 달성한다. 제안한 전력변환기는 제어기와 구동회로로 싱글칩 마이크로컨트롤러와 부트스트랩 방식의 구동회로를 각각 사용하기 때문에 전체 시스템이 매우 간단한 특징이 있다. 본 논문에서는 먼저, 제안한 전력변환기의 전력 회로의 동작을 각 동작모드 별로 설명하고 정상상태 해석을 보였다. 그리고 제안한 전력변환기를 동작시키는 제어 알고리즘과 그에 따른 피드백 회로 및 구동회로에 관하여 구체적으로 설명하였다. 그 다음, 각 설명에 근거하여 제작된 프로토타입 전력변환기의 실험결과를 통하여 제안한 전력변환기의 실효성과 고효율 특성을 입증하였다.

References

[1] P. Alou, O. Garcia, J. A. Cobos, J. Uceda, and M. Rascon, "Flyback with active clamp: a suitable topology for low power and very wide input voltage range applications," *IEEE Applied Power Electronics Conference*, vol.1, pp.242-248, 2002. DOI: 10.1109/APEC.2002.989254

[2] C. T. Choi, C. K. Li, and S. K. Kok, "Control of an active clamp discontinuous conduction mode flyback converter," *IEEE Power Electronics and Drive Systems Conference*, vol. 2, pp.1120-1123, 1992. DOI: 10.1109/PEDS.1999.792865

[3] I. D. Jitaru and S. Birca-Galateanu, "Small-signal characterization of the forward-flyback converters

with active clamp," *IEEE Applied Power Electronics Conference*, vol.2, pp.626-632, 1998.

DOI: 10.1109/APEC.1998.653965

[4] R. Watson, F. C. Lee, and G. C. Hua, "Utilization of an active-clamp circuit to achieve soft switching in flyback converters," *IEEE Trans. on Power Elec.*, vol.11, no.1, pp.162-169, 1996.

DOI: 10.1109/63.484429

[5] Y. Hakoda, T. Ninomiya, M. Shoyama, and T. Hashimoto, "Effect of clamp capacitor on the stability of active-clamp dc-dc converters," *IEEE Power Electronics Specialists Conference*, pp. 355-361, 1998. DOI: 10.1109/PESC.1998.701923

[6] S. S. Lee, S. K. Han, and G. W. Moon, "A new high efficiency half bridge converter with improved ZVS performance," *Jour. of Power Elec.*, vol.6 no.3, pp.187-194, 2006.

[7] S. S. Lee, S. W. Choi, and G. W. Moon, "High efficiency active clamp forward converter with synchronous switch controlled ZVS operation," *Jour. of Power Elec.*, vol.6, no.2, pp.131-138, 2006.

[8] X. Xu, A. M. Khambadkone, and R. Oruganti, "An asymmetrical half bridge flyback converter with zero-voltage and zero-current switching," *IEEE Industrial Electronics Conference*, vol.1 pp.767-772, 2004.

DOI: 10.1109/IECON.2004.1433411

[9] T. M. Chen and C. L. Chen, "Analysis and design of asymmetrical half bridge flyback converter," *IEE Proc.-Electr. Power Appl.*, vol.149, no.6, pp. 433-440, 2002. DOI: 10.1049/ip-epa:20020525

[10] D. H. Seo, O. J. Lee, and J. S. Park, "Asymmetrical PWM flyback converter," *IEEE Power Electronics Specialists Conference*, pp.848-852, 2000. DOI: 10.1109/PESC.2000.879925

[11] D. H. Yoo, J. M. Lee, and G. Y. Jeong, "Asymmetrical Half-bridge Flyback Converter with Universal Input Voltage Range," *2007 Power Electronics Autumn Conference*, pp.124-126, 2007.

BIOGRAPHY

Gang-Youl Jeong (Member)



1997 : B.S. degree in Electrical Engineering, Yeungnam University.

1999 : M.S. degree in Electronic & Electrical Engineering, POSTECH.

2002 : Ph.D. degree in Electronic & Electrical Engineering, POSTECH

2003~Present : Professor in Department of Electronic Information Engineering, Soonchunhyang University.