

단일 입력 SAR ADC를 이용한 AMOLED 픽셀 문턱 전압 감지 회로

A Threshold-voltage Sensing Circuit using Single-ended SAR ADC for AMOLED Pixel

손 지 수*, 장 영 찬**★

Jisu Son* and Young-Chan Jang**★

Abstract

A threshold-voltage sensing circuit is proposed to compensate for pixel aging in active matrix organic light-emitting diodes. The proposed threshold-voltage sensing circuit consists of sample-hold (S/H) circuits and a single-ended successive approximation register (SAR) analog-to-digital converter (ADC) with a resolution of 10 bits. To remove a scale down converter of each S/H circuit and a voltage gain amplifier with a signal-to-differential converter, the middle reference voltage calibration and input range calibration for the single-ended SAR ADC are performed in the capacitor digital-to-analog converter and reference driver. The proposed threshold-voltage sensing circuit is designed by using a 180-nm CMOS process with a supply voltage of 1.8 V. The ENOB and power consumption of the single-ended SAR ADC are 9.425 bit and 2.83 mW, respectively.

요 약

능동형 유기 발광 다이오드의 픽셀 노화를 보상하기 위한 문턱 전압 감지 회로가 제안된다. 제안된 문턱 전압 감지 회로는 샘플-홀드 회로와 10비트의 해상도를 가지는 단일 입력 축차 근사형 아날로그-디지털 변환기로 구성된다. 각 샘플-홀드 회로의 스케일 다운 변환기와 단일-차동 변환기를 가지는 가변 이득 증폭기를 제거하기 위해 단일 입력 축차 근사형 아날로그-디지털 변환기를 위한 중간 기준 전압 보정과 입력 범위 보정이 수행된다. 제안된 문턱 전압 감지 회로는 1.8V 공급 전압의 180nm CMOS 공정을 사용하여 설계된다. 단일 입력 축차 근사형 아날로그-디지털 변환기로의 유효 비트와 전력 소모는 각각 9.425비트와 2.83mW이다.

Key words : successive approximation register, analog-to-digital converter, sample-hold circuit, reference calibration, input range calibration

* Silicon Works Inc., Daejeon, Korea

** School of Electronic Engineering, Kumoh National Institute of Technology, Korea

★ Corresponding author

E-mail : ycjang@kumoh.ac.kr, Tel : +82-54-478-7434

※ Acknowledgment

• This research was supported by Kumoh National Institute of Technology (2018-104-137).

• Authors are thankful to the IC Design Education Center, Korea, for supporting EDA softwares.

Manuscript received Aug. 13, 2020; revised Sep. 9, 2020; accepted Sep. 15, 2020.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

최근 능동형 유기 발광 다이오드(AMOLED : active matrix organic light-emitting diode)를 사용하는 디스플레이 모듈이 모바일 및 텔레비전의 응용 분야에 널리 사용되고 있다[1]. 백라이트 유닛(BLU : backlight unit)을 필요로 하는 액정 디스플레이(LCD : liquid crystal display)와 달리, AMOLED 디스플레이는 발광 재료로서 전기를 인가함으로써 자체 발광 유기 재료를 사용하기 때문에 매우 얇게 제조될 수 있다. 그러나, AMOLED에 픽셀의 노화(aging) 현상으로 인해 각 픽셀의 문턱 전압이 변하게 된다 [2]. 이로 인해 AMOLED의 각 픽셀에 동일한 구동 전류가 공급되더라도 픽셀의 사용 시간이 경과할 수록 컬러 페이딩 및 번인 현상으로 인해 디스플레이 특성이 변하는 문제가 발생할 수 있다. 따라서, 사용 시간에 관계없이 AMOLED의 일정한 화질의 특성을 가지기 위해 각 픽셀의 문턱 전압을 감지하고 이의 변화를 보상하는 회로가 요구된다[3].

그림 1은 종래 문헌 [3]에 보고된 AMOLED 픽셀의 문턱 전압을 감지하는 회로의 블록 다이어그램이다. AMOLED 픽셀의 문턱 전압을 감지하는 회로는 기본적으로 다중 채널 픽셀 어레이를 위한 스케일 다운 변환기를 가진 샘플-홀드(S/H : sample-hold) 회로와 차동 아날로그-디지털 변환기(ADC : analog-to-digital converter)로 구성된다. 추가적으로 단일-차동 변환기(SDC : single-to-differential converter)를 포함한 가변 이득 증폭기(VGA : variable gain amplifier)가 단일 입력 신호를 차동 신호로 변환하고 ADC의 입력 신호 범위를 제어하기 위해 S/H 회로와 ADC 사이에 사용된다. AMOLED 디스플레이 모듈은 일반적으로 6V 및 12V와 같이 높은 구동 전압을 사용한다. AMOLED 픽셀의 문턱 전압 감지 회로를 저전압을 이용하는 회로로 구현하기 위해 S/H 회로는 스케일 다운 변환을 수행한다. S/H 회로에 샘플된 각 채널 전압에 대한 스케일 다운 변환은 기본 샘플 및 홀드 동작을 위한 회로에 추가 커패시터 및 기준 전압을 사용하여 커패시터 전하 분배를 통해 수행된다. 이 방식은 수십 개 이상의 AMOLED 픽셀의 문턱 전압 감지 및 보상 회로가 사용되는 대형 텔레비전 응용을 위한 AMOLED 디스플레이에서는 S/H 회로로 인한 면적 및 전력 소비가 증가된다. 한편, AMOLED 픽셀

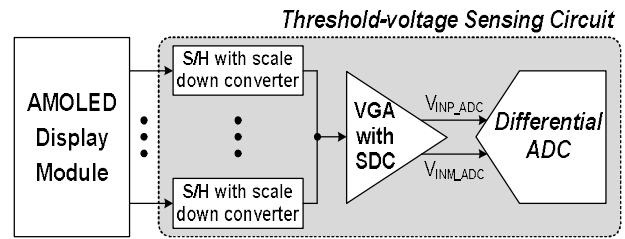


Fig. 1. Conceptual block diagram of conventional threshold-voltage sensing circuit for pixel of AMOLED display.
그림 1. AMOLED 디스플레이의 픽셀을 위한 기존의 문턱 전압 감지 회로의 개념도

의 문턱 전압 감지 회로의 성능을 향상시키기 위해 SDC를 포함하는 VGA는 단일 입력 신호로부터 차동 신호를 생성하면서 신호의 크기를 조정함으로써 차동 ADC의 dynamic range 특성을 최적화한다. 그러나, ADC의 입력 특성에 따른 SDC를 포함한 VGA의 선형성 및 동적 특성을 위한 설계는 AMOLED 픽셀의 문턱 전압 감지 회로의 면적과 전력 소모를 증가시킬 수 있다.

본 논문에서는 단일 입력 축차 근사형 레지스터(SAR : successive approximation register) ADC를 사용하는 AMOLED 픽셀의 문턱 전압을 감지하는 회로가 제안된다[4]. 제안하는 AMOLED 픽셀의 문턱 전압 감지 회로는 스케일 다운 변환 동작을 S/H 회로와 단일 입력 SAR ADC가 함께 수행함으로써 S/H 회로의 복잡성을 줄인다. 또한, 단일 입력 SAR ADC의 중간 기준 전압과 입력 범위를 보정함으로써 SDC를 포함하는 VGA를 제거한다. 이를 통해 AMOLED 픽셀의 문턱 전압 감지 회로의 복잡성 및 면적과 전력 소모를 줄인다. 본 논문의 II장에서는 제안된 단일 입력 SAR ADC를 사용하는 AMOLED 픽셀의 문턱 전압 감지 회로를 설명한다. 또한, 시뮬레이션 결과를 통해 제안한 AMOLED 픽셀의 문턱 전압 감지 회로의 특성을 분석한다. 그리고 III장의 결론을 통해 본 논문을 정리한다.

II. AMOLED 픽셀의 문턱 전압 감지 회로

그림 2는 AMOLED 디스플레이를 위한 픽셀의 문턱 전압을 감지하기 위한 회로의 블록도이다. 대형 텔레비전의 경우 그림 2의 AMOLED 픽셀의 문턱 전압 감지 회로가 수십 개 이상 사용된다. 기존의 문턱 전압 감지 회로와 달리 스케일 다운 변환기 및 SDC를 포함한 VGA가 제거되어 간단한

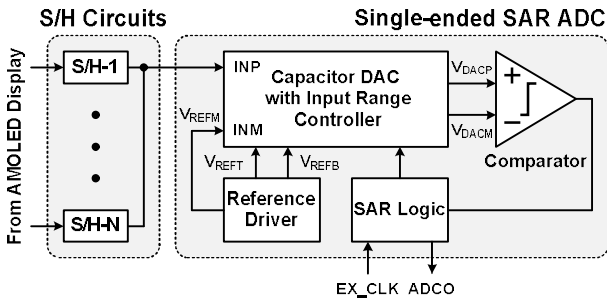


Fig. 2. Block diagram of proposed threshold-voltage sensing circuit for pixel of AMOLED display.

그림 2. AMOLED 디스플레이의 픽셀을 위한 제안하는 문턱 전압 감지 회로의 블록도

S/H 회로와 10-비트 단일 입력 SAR ADC로 구성된다. AMOLED 디스플레이 모듈의 N-채널로부터 픽셀의 문턱 전압을 감지하기 위해 N개의 S/H 회로가 첫 단계에 위치한다. N개의 S/H 회로에 저장된 아날로그 전압은 단일 입력 SAR ADC를 통해 시간 분할되어 순차적으로 디지털 신호로 변환된다. N개의 S/H 회로 다음에 위치한 단일 입력 SAR ADC의 커패시터 기반 디지털-아날로그 변환기 (CDAC : capacitor digital-to-analog converter)를 스케일-다운 변환에 이용함으로써 기존 S/H 회로의 스케일-다운 변환을 위한 추가적인 커패시터를 제거한다. 또한, 입력 전압 범위를 제어할 수 있는 단일 입력 SAR ADC를 이용함으로써 SDC를 포함하는 VGA를 제거한다. 이를 위해 단일 입력 SAR ADC는 CDAC, 비교기, SAR 로직, 그리고 Reference Driver로 구성된다.

1. S/H 회로

그림 3은 기존 AMOLED 픽셀의 문턱 전압 감지 회로에서 보정을 위한 회로는 제외된 기본 동작을 위한 S/H의 회로도도를 보여준다. 샘플링 커패시터 (Cs), 전하 공유를 위한 커패시터(Ccs), 두 개의 기준 전압(VREF1, VREF2), 그리고 각 신호 연결을 결정하는 아날로그 스위치들로 구성된다. 먼저, AMOLED 픽셀의 문턱 전압 감지를 위해 VTIN으로 3V~6V의 전압 범위(ΔV)로 아날로그 전압이 입력될 때 S/H의 출력 전압의 범위를 ΔV/3, 즉 1V의 범위로 출력하기 위한 동작을 살펴본다. 이를 위해 VREF2를 입력되는 전압의 최소값인 3V로 설정하여 입력 전압의 샘플 과정에서 입력 전압의 절대값을 줄인다. S/H의 출력 전압이 SDC를 포함하는 VGA에 공급

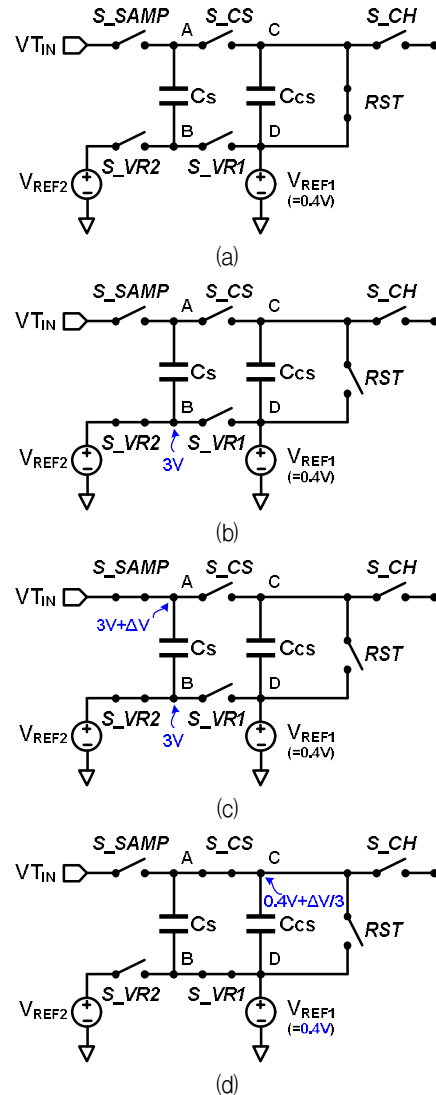


Fig. 3. Circuit diagram of S/H circuit for threshold-voltage sensing circuit of pixel in AMOLED display (a) Ccs reset (b) VREF2 supply (c) input sample (d) scale-down conversion.

그림 3. 기존의 AMOLED 픽셀의 문턱 전압 감지 회로를 위한 S/H의 간략한 회로도 (a) Ccs 리셋 (b) VREF2 공급 (c) 입력 샘플 (d) 스케일 다운 변환

되는데, VGA에 사용되는 OP amplifier의 입력 전압 범위의 최소값으로 VREF1의 값을 결정할 수 있다. 본 설명에서는 VREF1의 값을 0.4V로 설정한다. 또한, S/H의 입력 전압 범위를 1/3로 스케일 다운하여 출력하기 위해 Cs와 Ccs의 커패시턴스 값의 비율을 1:2로 설정한다. 동작의 첫 번째 과정으로 그림 3(a)에 나타난 바와 같이 Ccs의 잔류 전압을 제거하기 위해 리셋 과정을 진행한다. 이후 그림 3(b)의 동작과 같이 스위치 S_VR2를 턴-온시켜 샘플링 커패시터 Cs의 하판 노드(B 노드)가 VREF2의

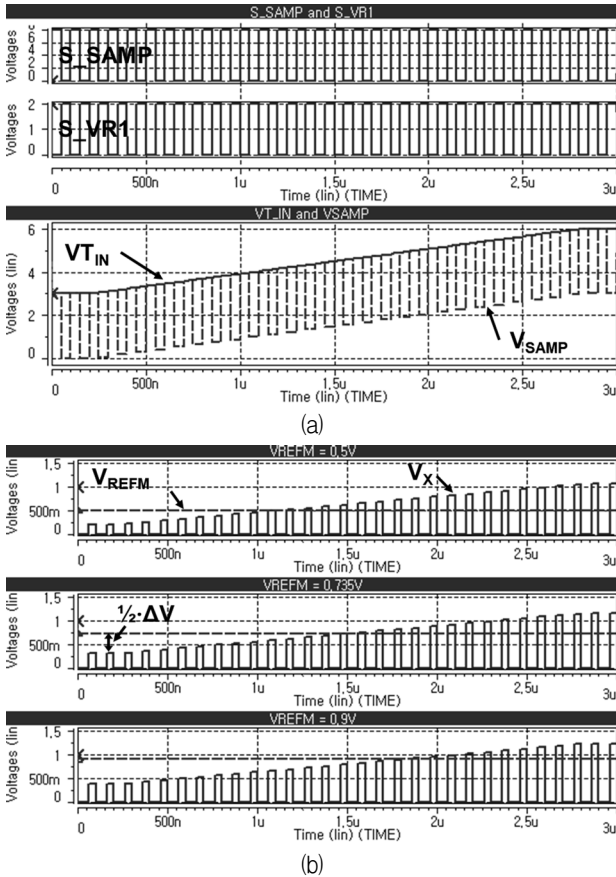


Fig. 6. Simulation results of (a) S/H operation (b) scale down conversion.
 그림 6. 시뮬레이션 결과 (a) S/H 동작 (b) 스케일 다운 변환

그리고 C_{LINE} 의 값에 영향을 받아 수식 (1)과 같이 결정된다.

$$V_X = \frac{C_S \cdot V_{SAMP} + C_{DACP} \parallel (C_{DACM} + C_{VCM}) \cdot V_{REFM} \cdot \frac{C_{DACM}}{C_{DACM} + C_{VCM}}}{C_S + C_{LINE} + C_{DACP} \parallel (C_{DACM} + C_{VCM})} \quad (1)$$

그림 6(a)는 제안된 AMOLED 픽셀의 문턱 전압 감지 회로 중 S/H 회로의 시뮬레이션 결과를 보여 준다. V_{TIN} 의 입력 신호가 3V~6V이고 V_{REF} 의 값이 3V인 경우 S/H 회로는 0V~3V로 V_{REF} 전압만큼 절대값을 줄인 V_{SAMP} 의 신호를 출력한다. 그림 6(b)는 그림 5(b)에 나타낸 S/H 회로와 단일 입력 SAR ADC 내부의 CDAC의 입력 커패시터에 의해 수행되는 스케일 다운 변환에 대한 시뮬레이션 결과를 보여준다. 여기서 C_S , C_{LINE} , C_{DACP} , C_{DACM} , 그리고 C_{VCM} 의 값은 각각 1pF, 1pF, 3.024pF, 3.024pF, 그리고 0.1pF이며, 그림 6(a)의 경우와 동일하게 3V~6V의 V_{TIN} 신호가 공급된다. 수식 (1)에 나타

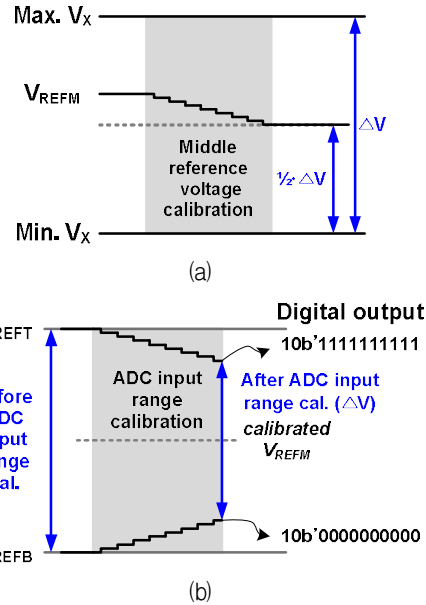


Fig. 7. Conceptual diagram of calibrations for SAR ADC (a) V_{REFM} calibration (b) input range calibration.
 그림 7. SAR ADC를 위한 보정 기법들의 개념도 (a) V_{REFM} 보정 (b) 입력 범위 보정

난 바와 같이 V_{REFM} 의 값이 각각 0.5V, 0.735V, 그리고 0.9V로 변환에 따라 V_X 값의 출력 범위가 변하여 출력된다. V_{REFM} 의 값이 0.735V인 경우 V_X 의 최대값과 최소값은 각각 1.159V와 0.311V로 결정되어 V_X 의 출력 중간 값과 V_{REFM} 의 값이 동일해진다.

문턱 전압 감지 회로의 입력 신호에 대해 단일 입력 SAR ADC의 특성을 최적화하기 위해 SAR ADC의 단일 입력 SAR ADC의 negative 입력 신호로 사용되는 중간 기준 전압 V_{REFM} 은 V_X 최대 가변 범위의 중간 전압으로 결정되어야 한다. 또한, 전하 공유를 통해 스케일 다운 변환된 신호에 대해 SAR ADC의 dynamic range를 최대화하기 위해 SAR ADC의 입력 범위가 제어되어야 한다. 그림 7(a)는 단일 입력 SAR ADC의 negative 입력 신호 V_{REFM} 의 전압을 보정하는 개념도이다. V_{REFM} 전압 보정 과정으로 먼저 그림 4의 S_RST 스위치를 이용하여 보정 커패시터 C_{CAL} 의 잔여 전하를 방전시킨다. 이후 S_CAL1과 S_VR1을 턴-온하여 C_S 의 양단에 V_{REF} 전압을 샘플한다. 이후 S_CAL1를 턴-오프하고 S_CAL2를 턴-온함으로 C_S 와 동일한 커패시턴스를 가지는 C_{CAL} 과의 전하 공유를 통해 샘플된 전압은 절반으로 스케일링 다운된다. S_CAL2가 턴-오프되고, 절반으로 스케일 다운된 전압(V_{SAMP})은 S_CH를 통해 단일 입력 SAR ADC의 입력단

커패시터와 전하 공유되어 V_X 가 된다. 전하 공유된 전압 V_X 과 V_{REFM} 을 이용하여 단일 입력 SAR ADC 변환을 진행한다. 단일 입력 SAR ADC의 출력 10비트가 $10b'1000000000$ 또는 $10b'0111111111$, 즉 중간 디지털 코드가 출력되도록 Reference Driver에서 V_{REFM} 가 보정된다.

전하 공유를 통해 스케일 다운 변환된 신호에 대해 단일 입력 SAR ADC의 dynamic range를 최대화하기 위해 입력 범위를 보정한다. 그림 7(b)는 단일 입력 SAR ADC의 아날로그 입력 전압 범위의 보정을 위한 개념도이다. 입력 범위 보정은 전하 공유된 문턱 전압의 범위와 단일 입력 SAR ADC의 입력 범위를 일치시킨다. 이를 위해 먼저 S_VR1과 S_CAL1을 턴-온하여 C_S 에 V_{REF} 전압을 샘플링한다. 샘플링된 전압은 S_CH를 통해 단일 입력 SAR ADC의 입력으로 전하 공유되어 공급된다. 단일 입력 SAR ADC에서는 전하 공유된 전압(V_X)과 이미 보정된 V_{REFM} 을 입력 신호로 하여 아날로그-디지털 변환을 통해 디지털 코드를 출력한다. SAR ADC의 입력 범위와 V_X 의 가변 범위가 동일할 때 단일 입력 SAR ADC는 디지털 코드 $10b'1111111111$ 을 출력한다. 본 논문에서는 CDAC 공급되는 기준 전압 V_{REFT} 과 V_{REFB} 의 전압을 조정함으로써 아날로그 입력 범위를 보정한다. 아날로그 입력 범위 보정에서 ADC의 출력 코드가 $10b'1111111111$ 이 아닐 경우, Reference Driver에서 두 기준 전압을 단일 입력 SAR ADC가 $10b'1111111111$ 을 출력하게 함으로 입력 범위 보정을 수행한다.

2. 단일 입력 SAR ADC

그림 8(a)는 제안하는 AMOLED 픽셀의 문턱 전압 감지 회로에 사용되는 20MS/s 10비트 단일 입력 SAR ADC의 블록도를 보여준다. 전원 노이즈를 포함한 각종 노이즈에 안정적인 ADC의 동작을 위해 차동 구조를 가진다. Positive 입력 단자로 S/H의 출력 신호가 인가되며, negative 입력 단자로 DC 기준 전압인 V_{REFM} 이 공급되어 단일 입력 SAR ADC로 동작한다. 20MS/s의 샘플링 속도를 구현하기 위해서 그림 8(b)에 보인 바와 같이 비동기 SAR ADC의 구조로 동작한다. 비동기 SAR ADC의 동작은 SAR Logic 블록에서 비교기 동작의 완료와 새로운 시작을 위한 valid와 clkc의 신호를 수신 및 생성함으로써 수행된다. CDAC는 V_{CM} 기

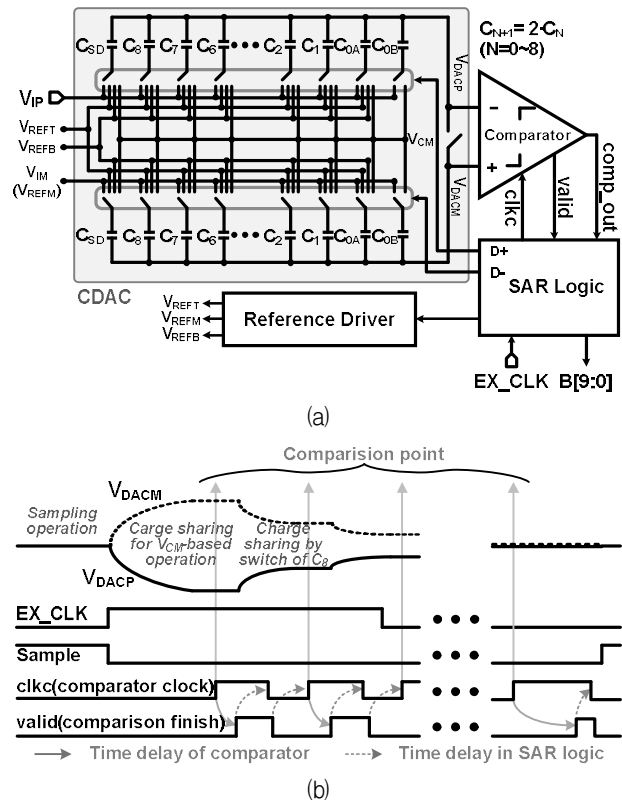


Fig. 8. Single-ended SAR ADC for threshold-voltage sensing circuit of AMOLED pixel (a) block diagram (b) timing diagram.

그림 8. AMOLED 픽셀의 문턱 전압 감지를 위한 단일 입력 SAR ADC (a) 블록도 (b) 타이밍도

반 DAC 스위칭 방식을 이용함으로써 사용된 전체의 커패시터 크기를 절반으로 줄인다[5]. 설계된 CDAC에 사용된 C_0 의 값은 2fF이다. Reference Driver에서 V_{REFT} 과 V_{REFB} 를 공급하고 단일 입력 SAR ADC의 negative 입력 신호를 위해 S/H의 출력 전압 V_X 의 가변 범위의 중간 전압을 가지는 V_{REFM} 을 생성한다. 또한, 2pF의 C_{SD} 는 각 픽셀로부터 샘플된 신호의 스케일 다운 변환을 위해 CDAC에 추가된다.

그림 9는 단일 입력 SAR ADC에 사용된 Reference Driver의 블록도이다[6]. 그림 7(a)에서 설명한 V_{REFM} 의 변경은 Reference Driver의 Bandgap Reference 회로의 출력 전압을 조정함으로써 수행된다. 일반적으로 차동 입력 ADC를 단일 입력 ADC로 사용하면 절반의 입력 범위만 사용하므로 ADC의 dynamic range가 절반으로 줄어들어 1비트 해상도가 감소한다. 해상도의 감소 없이 차동 입력 ADC를 단일 입력으로 사용하기 위해서 V_{REFT} 과 V_{REFB} 가 그림 7(b)의 방법에 의해 제어되는데, 그림 9의 R_{CAL} 의 값의 제어로 수행된다. 그림 10은 Reference Driver

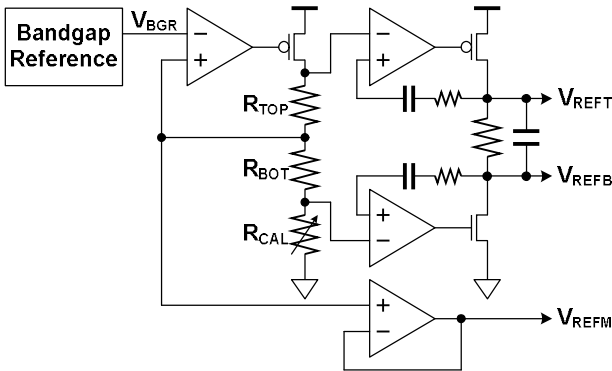


Fig. 9. Block diagram of Reference Driver.
그림 9. Reference Driver의 블록도

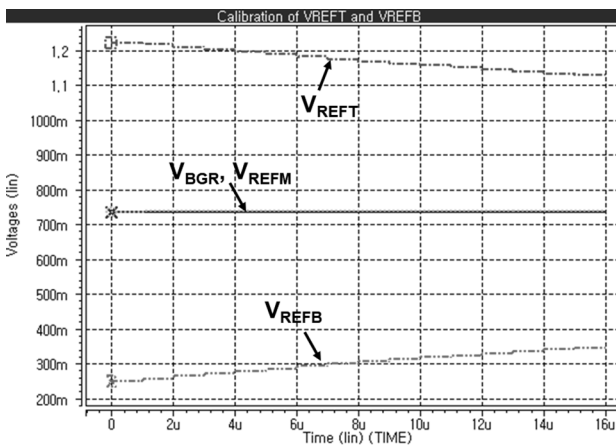
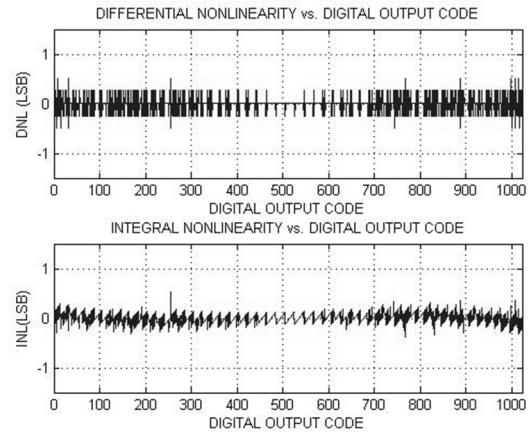


Fig. 10. Simulation results of Reference Driver.
그림 10. Reference Driver의 시뮬레이션 결과

의 시뮬레이션 결과를 보여준다. R_{TOP} , R_{BOT} , 그리고 V_{BGR} 의 값이 각각 $10k\Omega$, $10k\Omega$, 그리고 $0.735V$ 인 경우 시뮬레이션이 수행되었다. R_{CAL} 의 값을 $5k\Omega$ 에서 $8.75k\Omega$ 로 제어할 때 V_{REFT} 와 V_{REFB} 의 값이 각각 $248.3mV$ 에서 $346.0mV$ 그리고 $1.222V$ 에서 $1.128V$ 로 가변된다.

그림 11은 설계된 단일 입력 SAR ADC의 시뮬레이션 결과를 보여준다. 샘플링 주파수가 $20MHz$ 일 때, 그림 11(a)와 같이 설계된 단일 입력 SAR ADC는 $+0.518/-0.494$ 비트의 differential non-linearity (DNL)과 $+0.534/-0.384$ 비트의 integral non-linearity (INL)의 정적 특성을 가진다. 그림 11(b)는 단일 입력 SAR ADC의 입력 신호의 주파수가 $8.7 MHz$ 의 경우 SAR ADC의 출력의 전력 스펙트럼을 보여준다. 신호 대 잡음-왜곡비(SNDR : signal-to-noise-plus-distortion ratio)와 유효 비트 수(ENOB : effective number of bits)는 각각 $58.50 dB$ 와 9.425 비트이다.

표 1은 기존의 문턱 전압 감지 회로와 제안하는 문턱 전압 감지 회로의 구성에 대한 비교표이다. 기존

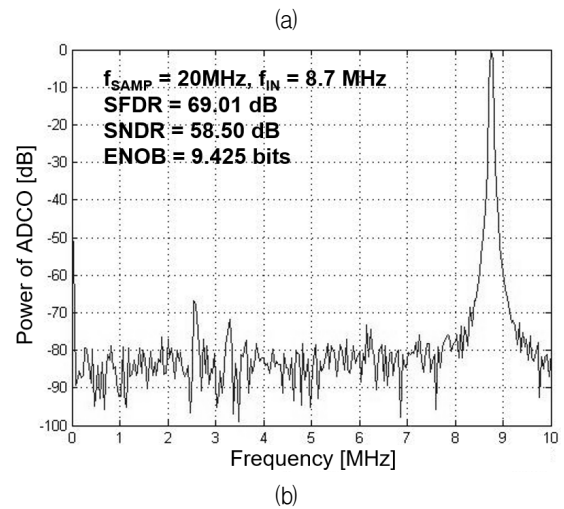


Fig. 11. Simulation results of single-ended SAR ADC
(a) static performance (b) dynamic performance.

그림 11. 단일 입력 SAR ADC의 시뮬레이션 결과
(a) 정적 특성 (b) 동적 특성

의 문턱 전압 감지 회로와 달리 제안하는 문턱 전압 감지 회로는 각 S/H의 스케일 다운 변환을 위한 추가적인 커패시터가 제거되었다. 또한 단일 입력 SAR ADC에서 중간 기준 전압 보정과 입력 범위 보정을 수행하므로 SDC를 포함한 VGA를 제거하였다.

Table 1. Configuration comparison of threshold voltage sensing circuit.

표 1. 문턱 전압 감지 회로의 구성 비교

Items	Reference[3]	This work
Required reference	2 level	1 level
Capacitor for scale down conversion in S/H circuit	w/	w/o
VGA	w/	w/o
SDC	w/	w/o
Architecture of ADC	Differential arch.	Single-ended arch.

III. 결론

본 논문에서는 능동형 유기 발광 다이오드의 픽셀 노화를 보상하기 위한 10비트 단일 입력 SAR ADC를 사용하는 문턱 전압 감지 회로가 1.8V 공급 전압의 180nm CMOS 공정에서 설계되었다. 단일 입력 축차 근사형 아날로그-디지털 변환기를 위한 중간 기준 전압 보정과 입력 범위 보정을 통해 기존 회로에서 사용된 각 샘플-홀드 회로의 스케일 다운 변환기와 단일-차동 변환기를 가지는 가변 이득 증폭기를 제거하였다. 설계된 단일 입력 축차 근사형 아날로그-디지털 변환기로의 유효 비트와 전력 소모는 각각 9.425비트와 2.83mW이다.

References

- [1] A. Nathan, A. Kumar, K. Sakariya, P. Servati, S. Sambandan, and D. Striakhilev, "Amorphous silicon thin film transistor circuit integration for organic LED displays on glass and plastic," *IEEE J. Solid-State Circuits*, vol.39, no.9, pp. 1477-1486, 2004. DOI: 10.1109/JSSC.2004.829373
- [2] H.-J. In and O.-K. Kwon, "External compensation of nonuniform electrical characteristics of thin-film transistors and degradation of OLED devices in AMOLED displays," *IEEE Electron. Device Lett.*, vol.30, no.4, pp.377-379, 2009. DOI: 10.1109/LED.2009.2014885
- [3] J.-H. Kim, H.-W. Lee, K.-J. Min, and Y.-J. Son, "Threshold voltage sensing circuit of organic light-emitting diode display device," US Patent 9,620,053 B2, 2017.
- [4] J. S. Son, Jang, Young-chan, "A Threshold-Voltage Sensing Circuit using Single-ended SAR ADC for AMOLED Pixel," *The Institute of Electronics and Information Engineers Conference*, pp.4-6, 2016.
- [5] Y. Zhu, C. H. Chan, and U. F. Chio "A 10-bit 100-MS/s Reference-Free SAR ADC in 90 nm CMOS," *IEEE J. Solid-State Circuits*, vol.45, no.6, pp.1111-1121, 2010. DOI: 10.1109/JSSC.2010.2048498
- [6] J. Son, H.-Y. Lee, Y.-W. Kim, Y.-C. Jang, "A 10-bit 10-MS/s SAR ADC with a Reference Driver," *J. Korea Inst. Inf. Commun. Eng.*, vol. 20, no.12, pp. 2317-2325, 2016. DOI: 10.6109/jkiice.2016.20.12.2317

BIOGRAPHY

Young-Chan Jang (Member)



2015 : BS degree in School of Electronic Engineering, Kumoh National Institute of Technology.
2017 : MS degree in Department of Electronic Engineering, Graduate School, Kumoh National Institute of Technology.

2007~2020 : Engineer, Silicon Works Inc., Daejeon, Korea

Young-Chan Jang (Member)



1999 : BS degree in School of Electrical Engineering, Kyungpook National University.
2001 : MS degree in Department of Electronic Engineering, Pohang University of Science and Technology.

2005 : Ph. D. degree in Department of Electronic Engineering, POSTECH.

2005~2009 : Senior Engineer, Memory Division, Samsung Electronics.

2009~2020 : Professor, School of Electronic Engineering, Kumoh National Institute of Technology