

## Langmuir-Blodgett 법을 이용한 P(VDF-TrFE) 박막 트랜지스터

김광호<sup>\*†</sup>

<sup>\*†</sup> 청주대학교 에너지 · 광기술융합학부

## P(VDF-TrFE) Thin Film Transistors using Langmuir-Blodgett Method

Kwang-Ho Kim<sup>\*†</sup>

<sup>\*†</sup> Division of Energy & Optical Technology Convergence, Cheongju University

### ABSTRACT

The author demonstrated organic ferroelectric thin-film transistors with ferroelectric materials of P(VDF-TrFE) and an amorphous oxide semiconducting In-Ga-Zn-O channel on the silicon substrates. The organic ferroelectric layers were deposited on an oxide semiconductor layer by Langmuir-Blodgett method and then annealed at 128 °C for 30min. The carrier mobility and current on/off ratio of the memory transistors showed 9 cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup> and 6 orders of magnitude, respectively. We can conclude from the obtained results that proposed memory transistors were quite suitable to realize flexible and wearable electronic applications.

**Key Words :** Langmuir-Blodgett, Nonvolatile Memory, Organic Ferroelectric, P(VDF-TrFE), Thin Film Transistor

### 1. 서 론

휴대성 및 운반성이 극대화된 웨어러블 전자기기에 대한 수요의 증가로 인하여 더 높은 디자인 자유도 구현이 가능한 유연한 전자소자에 대한 필요성이 확대되고 있다 [1-3]. 기존의 단단한(rigid) 기판을 벗어나 자유로운 변형에서도 원활하게 동작하는 플렉서블 전자소자에 대한 사회적 요구가 증가하고 있다[4-5]. 플렉서블 디바이스 구현을 위해서는 유연한 기판과 소재, 신개념 공정을 기반으로 전자소자에 유연성을 추가로 부여하는 기술의 개발이 필수적이다. 이러한 새로운 형태의 웨어러블 전자기기에서도 정보 처리, 센싱, 네트워킹 및 이미지 처리와 같은 기능을 수행하기 위한 다양한 장치가 필요하다.

특히 휴대용 전자기기의 특성상 부피가 큰 대용량배터

리의 사용이 제한을 받기 때문에 가벼우면서도 고용량 출력이 가능한 휴대용 배터리에 대한 시장의 요구가 증대하고 있으나 배터리 기술 개발의 어려움으로 인하여 확실한 해결책이 제시되지 못하고 있다. 한편 전력 소모를 감소시키기 위한 일환으로 전원이 꺼진 상태에서도 데이터를 안정적으로 보존할 수 있는 비휘발성 메모리에 대한 필요성도 증가하고 있다. 지금까지 플렉서블 전자소자에 적용하기 위한 다양한 형태의 비휘발성 메모리 소자에 대한 연구가 이루어졌다[6-8]. 그 중에서도 유기물 재료인 P(VDF-TrFE) 70:30을 트랜지스터의 게이트 절연막으로 사용하는 단일 트랜지스터형 강유전체 메모리 소자에 대한 연구가 다양하게 이루어지고 있다.[9-14] 본 논문에서는 절연물로서 기존에 일반적으로 사용되어지는 스픈 코팅법(Spin coating method)이 아닌 LB법(Langmuir-Blodgett method)[15-17]을 이용하여 유기물 강유전체 메모리 트랜지스터를 구현하였으며, LB법을 이용하여 구현한 강유전

<sup>†</sup>E-mail: khkim@cju.ac.kr

체 메모리 트랜지스터의 제작 및 특성에 대하여 보고하고자 한다.

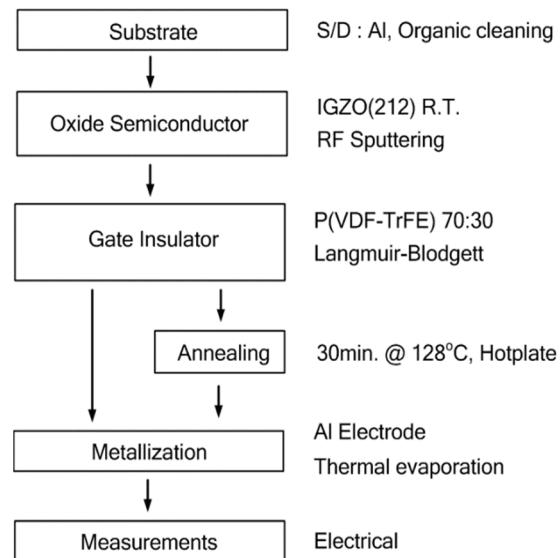
## 2. 실험방법

### 2.1 유기물 강유전체 커패시터의 제작

금속/강유전체/금속 구조를 갖는 유기물 강유전체 메모리 커패시터를 제작하기 위하여 100 nm의 실리콘 산화막 ( $\text{SiO}_2$ )이 형성된 기판 위에 열적증착(thermal evaporation) 방법을 사용하여 하부전극으로 Al을 증착하였다. 이 때 형성된 Al 전극의 두께는 약 200 nm이다. 하부전극 위에 LB법을 이용하여 P(VDF-TrFE) 70:30 유기물 강유전체 박막을 형성하였다. LB법을 이용한 초박막 형성시에는 주변 환경의 영향이 크게 작용하는데, 모노레이어(monolayer)를 형성할 때 수면 상에 미세먼지들의 영향으로 박막을 기판에 전사할 때 기판에 먼지가 함께 부착되는 문제와 모노레이어 형성 시 주변의 온도에 따라 모노레이어가 형성되지 않는 문제 등이 대표적이다. 본 연구에서는 공정중에 발생하는 먼지의 영향을 줄이기 위하여 trough의 주변에 먼지 차단막을 설치하였으며, 솔벤트 용액을 수면 위에 떨어뜨리기 전에 먼지 흡입기로 최대한 제거하여 기판으로의 먼지의 전이를 방지하였다. P(VDF-TrFE) 70:30을 dimethyl sulfoxide(DMSO)에 0.05 wt%로 녹여 LB 실험을 진행하였다. 기판과 수면을 평행하게 조절하여 막을 전이하는 수평전이 방법을 이용하여 10층의 P(VDF-TrFE) 박막을 전이하였으며, 형성된 LB박막은 핫플레이트를 이용하여 128 °C에서 30분간 열처리를 진행하였다. 열처리 후의 박막의 두께 확인 결과 약 30 nm였다. 마지막으로 강유전체 커패시터를 완성하기 위하여 LB 박막의 상부에 직경 200  $\mu\text{m}$  크기의 메탈 shadow mask를 이용하여 Al 전극을 형성하였다.

### 2.2 유기물 강유전체 트랜지스터의 제작

Fig 1은  $\text{SiO}_2/\text{Si}$  기판 위에 제작한 유기물 강유전체 박막 트랜지스터의 제작 순서도를 보인것이다. 본 연구에서는 100 nm의 실리콘 산화막( $\text{SiO}_2$ )이 형성된 실리콘 기판을 기판 재료로 사용하였으며 유기 세정법으로 기판을 세정 후 첫 번째 메탈 shadow mask를 이용하여 트랜지스터의 소오스드레인 영역을 형성시켰으며, S/D (source/drain) 영역은 알루미늄을 열적 증착기를 이용하여 200 nm 두께로 형성하였다. 형성된 S/D 영역 위에 두 번째 메탈 shadow mask를 이용하여 반도체층을 형성시켰다. 반도체층 재료로는 indium gallium zinc oxide ( $\text{In-Ga-Zn} = 2:1:2$  atomic ratio)를 사용하였으며, 스퍼터링 방법을 이용하여 형성하였다[18-19].



**Fig. 1.** Fabrication flowchart of the P(VDF-TrFE) thin film transistors fabricated on  $\text{SiO}_2/\text{Si}$  substrate.

반도체층 형성이 완료된 후 게이트 절연막으로는 P(VDF-TrFE) 박막을 커패시터 제작과 마찬가지로 LB법을 이용하여 10층을 형성시켰으며, 형성된 LB박막은 핫플레이트를 이용하여 128 °C에서 30분간 열처리를 진행하였다. 마지막으로 세 번째 메탈 shadow mask를 이용하여 게이트 전극으로 알루미늄을 형성하였다. 알루미늄 게이트 전극의 두께는 약 150 nm이다. 게이트 전극의 형성으로 완성된 박막 트랜지스터는 산소 플라즈마 처리 ( $\text{O}_2$  plasma, 50 W, 1 min)를 통하여 게이트 절연막을 제외한 S/D 영역 상의 P(VDF-TrFE) 박막을 제거하였다. 이때 게이트 전극으로 사용된 알루미늄은 hard mask와 같이 게이트 전극 아래의 게이트 절연막을 보호해 준다[20].

## 3. 결과 및 고찰

Fig 2에 상술한 방법으로 제작된 유기물 강유전체 박막 트랜지스터의 단면도와 실제 제작된 사진을 보였다.

Fig 3은  $\text{SiO}_2/\text{Si}$  기판 상에 제작한 유기물 강유전체 메모리 커패시터의 인가 전압에 따른 커패시턴스의 변화를 확인하기 위한 용량-전압(C-V) 특성 그래프를 나타낸 것이다. 유기물 강유전체 재료의 강유전성을 확인하기 위해 금속 기판을 사용한 MFM 소자를 제작하여 특성을 평가하였다. 특성 평가에는 HP4192A Impedance analyzer를 사용하였으며, 상온에서 1 MHz 주파수에서 20mV/s의 속도로 천천히 측정하였다. 그림에서 확인할 수 있듯이 P(VDF-

TrFE) 박막의 강유전성에 의한 butterfly shape 를 갖는 쌍봉 특성이 나타남을 확인할 수 있으며, 인가 전압이 증가해도 커패시턴스 값의 차이만 발생할 뿐 동일한 모양이 유지됨을 확인할 수 있다. 용량-전압 특성 그래프로부터 산출한 비유전율은 약 10이였으며, 이는 스핀 코팅법에 의해 보고된 결과와 유사한 값이다[11].

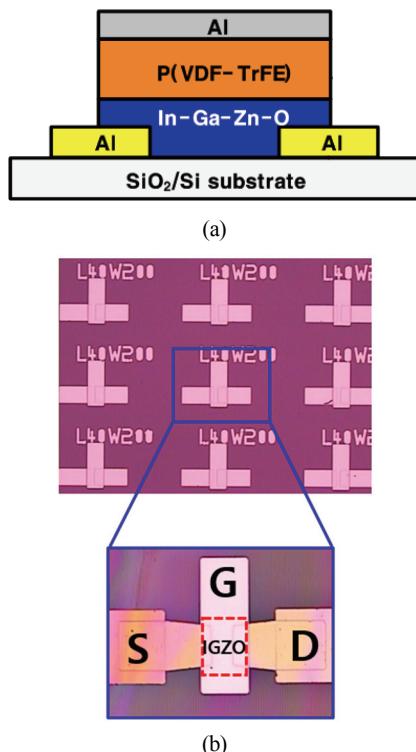


Fig. 2. (a) Shematic cross-sectional diagram and (b) photographs of fabricated TFTs on SiO<sub>2</sub>/Si substrate.

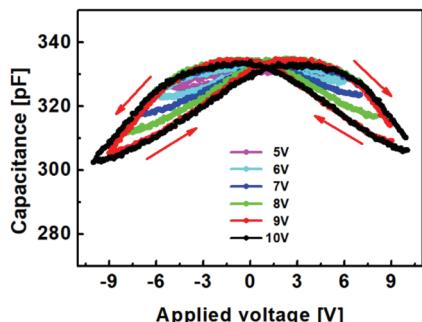


Fig. 3. Capacitance-voltage characteristics of the MFM capacitor fabricated on SiO<sub>2</sub>/Si substrate.

Fig. 4는 Fig. 2의 구조를 갖는 유기물 강유전체 박막 트랜지스터의 전기적 특성을 보인 것이다. 트랜지스터 특성 평가는 B1500A Semiconductor device analyzer(Keysight Technologies)를 사용하였으며, 상온 암실에서 측정하였다. 제작된 트랜지스터 channel의 길이와 폭은 각각 40 μm과 200 μm 이다. 게이트 절연막의 두께는 30 nm이다. Fig. 4(a)는 제작한 박막 트랜지스터의 gate 전압 인가에 따른 drain 전류의 변화인  $I_D$ - $V_G$  특성과 gate 전압 인가에 따른 gate 누설전류의 변화를 함께 나타낸 것이다. 일정한 drain 전압 인가 시, gate 전압 증가에 따라 drain 전류가 “OFF” 상태에서 “ON” 상태로 변화되는 것이 관측되고 있으며, P(VDF-TrFE) 박막의 강유전성에 의한 게이트 전압의 이동 폭인 메모리 윈도우(memory window)가 약 3 V임을 확인할 수 있다. 그래프로부터 계산된 이동도는  $9 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  였으며,  $I_{on}/I_{off}$  비는  $10^6$  이었다. 게이트 누설전류는  $10^{-10} \text{ A}$  이하로 LB법을 이용하여 형성시킨 30 nm의 얇은 박막에서도 우수한 누설전류 특성이 나타남을 알 수 있다.

Fig. 4(b)는 drain 전압 인가에 따른 drain 전류의 변화인  $I_D$ - $V_D$  특성을 보인 것이다. 그래프로부터 gate 전압 증가에 따라 drain 전류가 증가함을 알 수 있으며, 이는 전형적인 트랜지스터의 동작 특성임을 알 수 있다.

Fig. 4(c)는 제작된 유기물 강유전체 박막 트랜지스터의 신뢰성을 확인하기 위한 것으로,  $I_D$ - $V_G$  특성을 반복적으로 실시하여 특성 변화를 관찰하기 위한 것이다. 그래프에서 보이는 것과 같이 10회에 걸친 반복 평가에도 동일한 특성 곡선이 유지되는 것을 알 수 있다. 비록 10회까지의 반복 특성이 확인되었지만, 이는 LB법에 의해 제작된 트랜지스터의 경우에도 안정적인 동작 특성이 유지됨을 의미한다.

Fig. 5(a)는 gate 전압을 -10 V에 고정시키고 양의 방향으로만 인가전압을 증가시키면서 메모리 윈도우 폭의 변화를 측정한 것이다. 그래프에서 보이는 것과 같이 게이트 전압을 -10 V부터 0 V까지 변화시키면서 측정한 결과에서는 강유전체의 분극반전에 필요한 충분한 전압이 인가되지 않아 메모리 윈도우가 거의 관측되지 않지만, 게이트 전압을 -10 V로 고정시킨 상태에서 1 V에서 6 V까지 증가시킴에 따라 메모리 윈도우가 음(-)의 방향으로 증가함을 확인할 수 있다. 이는 P(VDF-TrFE)의 강유전성에 기인하는 것으로 제작된 트랜지스터가 메모리 동작이 이루어짐을 증명하는 결과이다.

Fig. 5(b)는 반대로 gate 전압을 6 V에 고정시키고 음의 방향으로만 인가전압을 감소시키면서 메모리 윈도우 폭의 변화를 측정한 것이다. 그래프에서 보이는 것과 같이 게이트 전압을 6 V부터 -4 V까지 변화시키면서 측정한 결과에서는 오프 전류를 프로그래밍 하기위한 음의 전압이

충분하지 않아 오프 작동을 수행 할 수 없어 메모리 윈도우가 거의 관측되고 있지 않지만, 게이트 전압이 -5 V부터 -10 V로 감소함에 따라 메모리 윈도우가 양(+)의 방향으로 증가함을 확인할 수 있다. 이는 P(VDF-TrFE)의 강유전성에 기인하는 것으로 제작된 트랜지스터가 메모리 동작이 이루어짐을 증명하는 결과이다.

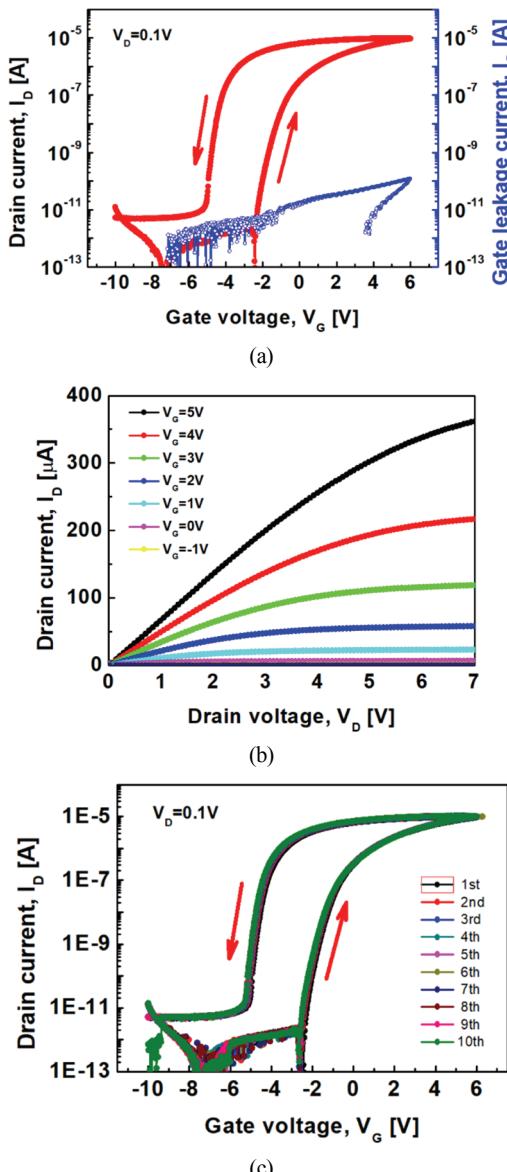


Fig. 4. Electrical properties of TFTs fabricated on  $\text{SiO}_2/\text{Si}$  substrate. (a)  $I_D$ - $V_G$ , (b)  $I_D$ - $V_D$  curves. (c)  $I_D$ - $V_G$  characteristics curves from 1<sup>st</sup> to 10<sup>th</sup> sweeps in  $V_G$  ( $V_D=0.1\text{V}$ ).

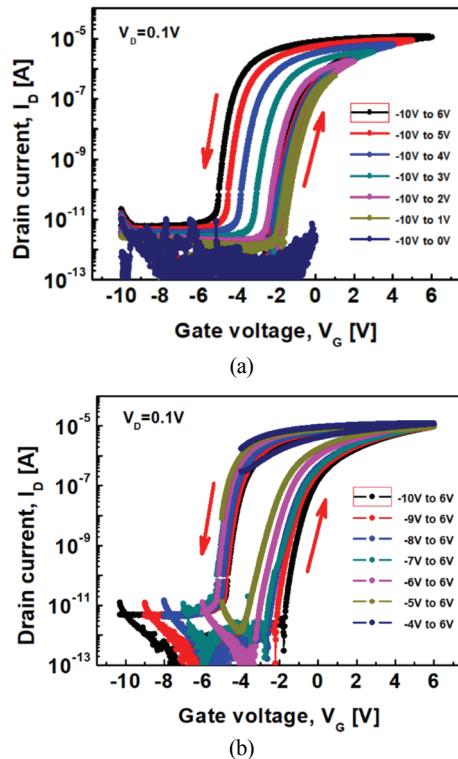


Fig. 5. Sets of  $I_D$ - $V_G$  curves for the fabricated P(VDF-TrFE) memory transistor. (a)  $I_D$ - $V_G$  curve variations when the positive side of the gate voltage ( $V_G$ ) sweep range is increased from 0 to 6 V while maintaining the negative side at -10 V. (b)  $I_D$ - $V_G$  curve variations when the negative side of the gate voltage ( $V_G$ ) sweep range is decreased from -4 to -10 V while maintaining the positive side at 6 V.

#### 4. 결 론

유기물 강유전체 물질인 P(VDF-TrFE) 70:30 박막을 LB법으로 형성하고, 산화물 반도체 재료인 IGZO를 반도체 층으로 사용하는 강유전체 메모리트랜지스터를 제작하고 전기적 특성을 확인하였다. MFM 구조를 갖는 커패시터를 제작한 결과, P(VDF-TrFE) 박막의 강유전성에 기인하는 쌍봉특성이 확인되었으며, 비유전율은 약 10이었다. 동일한 박막을 사용하여 제작한 강유전체 박막 트랜지스터에서는 강유전성에 기인하는 약 3 V의 메모리 윈도우가 관찰되었으며, 10회에 걸친 반복 측정에서도 동일한 특성이 유지되었다. 이는 LB법으로 형성시킨 얇은 박막에서도 트랜지스터가 정상적으로 동작함을 의미하는 것이며, 향후 두께 최적화가 이루어진다면 보다 저전압 동작이 가능할 것으로 예상된다.

## 감사의 글

이 논문은 2018학년도(2018.09.01~2019.08.31) 청주대학교  
가 지원하는 해외파견(연구년)으로 연구되었음.

## 참고문헌

- M. Mardonova and Y. Choi, "Review of Wearable Device Technology and Its Applications to the Mining Industry," *Energies*, Vol. 11, 547, 2018.
- F. de Arriba-Pérez, M. Caeiro-Rodríguez, and J. M. Santos-Gago, "Collection and Processing of Data from Wrist Wearable Devices in Heterogeneous and Multiple-User Scenarios," *Sensors*, Vol. 16, 1538, 2016.
- D.-H. Kim, N. Lu, R. Ma, Y.-S. Kim, R.-H. Kim, S. Wang, J. Wu, S. M. Won, H. Tao, A. Islam, K. J. Yu, T. Kim, R. Chowdhury, M. Ying, L. Xu, M. Li, H.-J. Chung, H. Keum, M. McCormick, P. Liu, Y.-W. Zhang, F. G. Omenetto, Y. Huang, T. Coleman, and J. A. Rogers, "Epidermal Electronics," *Science*, Vol. 333, pp. 838-843, 2011.
- M. Amjadi, S. Sheykhanian, B. J. Nelson, and M. Sitti, "Recent Advances in Wearable Transdermal Delivery Systems," *Adv. Mater.*, Vol. 30, 1704530, 2018.
- D. Chen and Q. Pei, "Electronic Muscles and Skins: A Review of Soft Sensors and Actuators," *Chem. Rev.*, Vol. 117, pp. 11239-11268, 2017.
- C.-H. Cheng, F.-S. Yeh, and A. Chin, "Low-power high-performance nonvolatile memory on a flexible substrate with excellent endurance," *Adv. Mater.*, Vol. 23, pp. 902-905, 2011.
- Y. Ji, B. Cho, S. Song, T.-W. Kim, M. Choe, Y.H. Khang, and T. Lee, "Stable switching characteristics of organic nonvolatile memory on a bent flexible substrate," *Adv. Mater.*, Vol. 22, pp. 3071-3075, 2010.
- S. Das, J. Appenzeller, FETRAM. "An organic ferroelectric material based novel random access memory cell," *Nano Lett.*, Vol. 11, pp. 4003-4007, 2011.
- S.-M. Yoon, S.-H. Yang, S.-W. Jung, C.-W. Byun, S.-H.K. Park, C.-S. Hwang, G.-G. Lee, E. Tokumitsu, and H. Ishiwara, "Impact of interface controlling layer of Al<sub>2</sub>O<sub>3</sub> for improving the retention behaviors of In-Ga-Zn oxide-based ferroelectric memory transistor," *Appl. Phys. Lett.*, Vol. 96, 232903, 2010.
- J.Y. Bak, S.W. Jung, and S.M. Yoon, "Nonvolatile memory performance improvements for solution-processed thin-film transistors with composition-modified In-Zn-Ti-O active channel and ferroelectric copolymer gate insulator," *Org. Electron.*, Vol. 14, pp. 2148-2157, 2013.
- S.-W. Jung, J.-S. Choi, J. B. Koo, C. W. Park, B. S. Na, J.-Y. Oh, S. C. Lim, S. S. Lee, H. Y. Chu, and S.-M. Yoon, "Flexible nonvolatile organic ferroelectric memory transistors fabricated on polydimethylsiloxane elastomer," *Org. Electron.*, Vol. 16, pp. 46-53, 2015.
- S.-W. Jung, J.-K. Lee, Y. S. Kim, S.-M. Yoon, I.-K. You, B.-G. Yu, and Y.-Y. Noh, "Top-gate ferroelectric thin-film-transistors with P(VDF-TrFE) copolymer," *Curr. Appl. Phys.*, Vol. 10, pp. e58-e61, 2010.
- S.-W. Jung, B. S. Na, K.-J. Baeg, M. Kim, S.-M. Yoon, J. Kim, D.-Y. Kim, and I.-K. You, "Nonvolatile ferroelectric P(VDF-TrFE) memory transistors based on inkjet-printed organic semiconductor," *ETRI J.*, Vol. 35, pp. 734-737, 2013.
- S.-W. Jung, J. B. Koo, C. W. Park, B. S. Na, N.-M. Park, J.-Y. Oh, Y. G. Moon, S. S. Lee, and K.-W. Koo, "Nonvolatile organic ferroelectric memory transistors fabricated using rigid polyimide islands on an elastomer substrate," *J Mater. Chem. C*, Vol. 4, pp. 4485-4490, 2016.
- T. J. Reece, S. Ducharme, A. V. Sorokin, and M. Poulsen, "Nonvolatile memory element based on a ferroelectric polymer Langmuir-Blodgett film," *Appl. Phys. Lett.*, Vol. 82, pp. 142-144, 2003.
- S. Ducharme, T. J. Reece, C. M. Othon, and R. K. Rannow, "Ferroelectric polymer Langmuir-Blodgett films for nonvolatile memory applications," *IEEE Trans. Device Mater. Reliab.*, Vol. 5, No. 4, pp. 720-735, 2005.
- A. Gerber, H. Kohlstedt, M. Fitsilis, R. Waser, T. J. Reece, S. Ducharme, and E. Rije, "Low-voltage operation of metal-ferroelectric-insulator-semiconductor diodes incorporating a ferroelectric polyvinylidene fluoride copolymer Langmuir-Blodgett film," *J Appl. Phys.*, Vol. 100, 024110, 2006.
- Y. J. Kim, J. K. Jeong, J. H. Park, J. B. Jun, and G. W. Lee, "Study on Electrical Characteristic Improvement of PVP-IZO TFT Prepared by Solution Process Using UV-O<sub>3</sub> Treatment," *Journal of the Semiconductor & Display Technology*, Vol. 16, No. 2, pp. 66-69, 2017.
- J. H. Park, J. K. Jeong, and Y. J. Kim, "Electrical Characteristic Analysis of IGZO TFT with Poly (4-vinylphenol) Gate Insulator according to Annealing Temperature," *Journal of the Semiconductor & Display Technology*, Vol. 16, No. 1, pp. 97-101, 2017.
- J.-S. Choi, C.W. Park, B.S. Na, S.C. Lim, S.S. Lee, K.-I. Cho, H.Y. Chu, J.B. Koo, S.-W. Jung, and S.-M. Yoon, "Stretchable organic thin-film transistors fabricated on wavy-dimensional elastomer substrates using stiff-Island structures," *IEEE Electron Dev. Lett.*, Vol. 35, pp. 762-764, 2014.

접수일: 2020년 6월 15일, 심사일: 2020년 6월 20일,  
제재확정일: 2020년 6월 22일