

# Super-Junction MOSFET의 특성을 이용한 전력변환회로 설계

Wide-Band-Gap(WBG) 반도체 소자는 빠르게 발전하고 있으며, SiC(Silicon Carbide) FET(Field-Effect-Transistor)는 이미 안정화 단계에 접어들어 대용량 및 고전압 분야에 널리 적용되고 있다. 또한, GaN(Gallium Nitride) FET는 양산화 검증 단계로 시장에서의 검증이 필요하지만, Totem-pole PFC 컨버터 및 고주파 LLC 컨버터 등에 적용 검토 중이다. 한편, 20년전 출시되어 오랫동안 시장에서 적용되고 검증된 Silicon(Si) 반도체 기반의 Super-Junction(SJ) MOSFET은 최적화 설계 및 반도체 공정 기술의 발달에 따라 지속적으로 발전하고 있으며, WBG 반도체 소자인 SiC/GaN FET와 경쟁하며, 전기자동차를 비롯한 새로운 시장 확대에 노력하고 있다.

## 1. 반도체 소자의 특성 비교

Si/SiC/GaN 반도체를 전기물성적으로 비교할 경우, WBG 반도체는 Si 반도체에 비하여 월등한 특성을 갖는다. Electric Bandgap 및 Electric Field 특성이 우수하여 높은 정격 전압을 위한 스위칭 반도체 소자에 적합하며, SiC 반도체는 우수한 Thermal Conductivity 특성으로 발열에 의한 성능 저하가 적으며, GaN 반도체는 우수한 Electron Velocity 특성으로 빠른 스위칭이 가능하다.

그러나 시판중인 각 FET들의 특성을 비교하면 WBG 기반의 SiC/GaN FET에 비하여 Si FET는 역회복 특성이 나빠

Totem-pole PFC 컨버터에, 그리고  $Q_g$ 가 커 고주파 LLC 컨버터에 적합하지 않지만, VF 특성은 우수하며,  $E_{oss}$ 와  $R_{ds(on)}$  특성은 동등 수준이다.

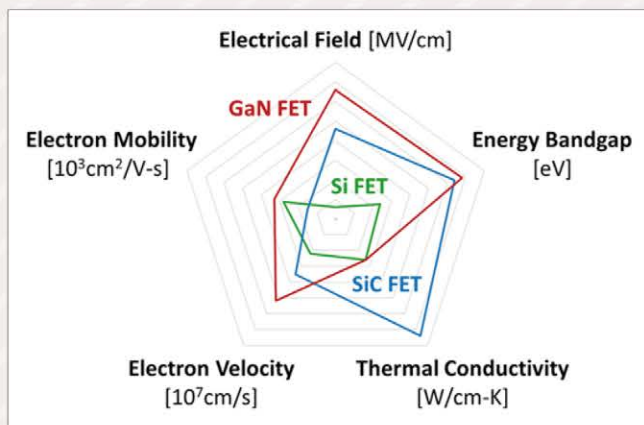


그림 1 Si/SiC/GaN 반도체의 전기물성적 특성

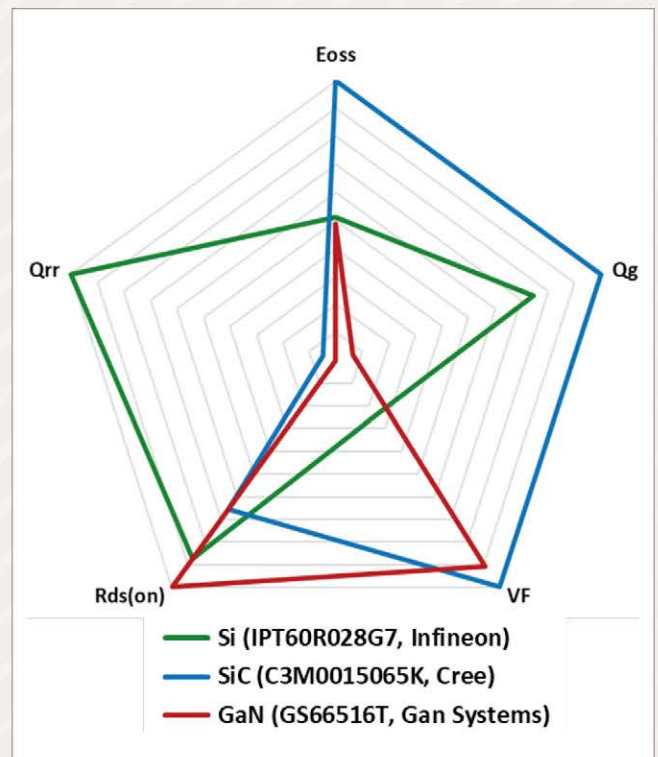


그림 2 최신 Si/SiC/GaN FET의 주요 특성 비교

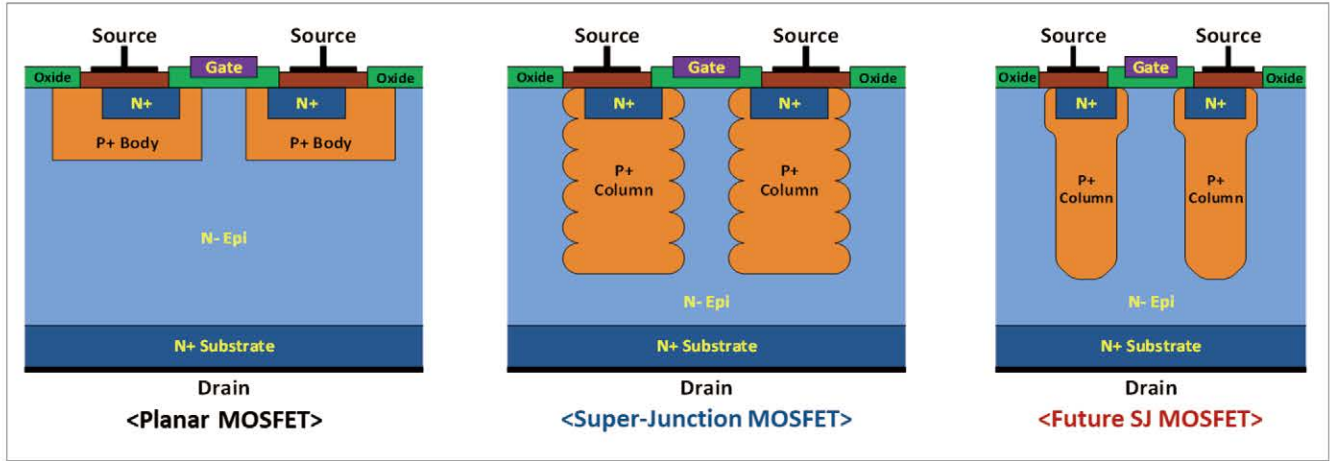


그림 3 Planar MOSFET 및 SJ MOSFET의 구조 비교

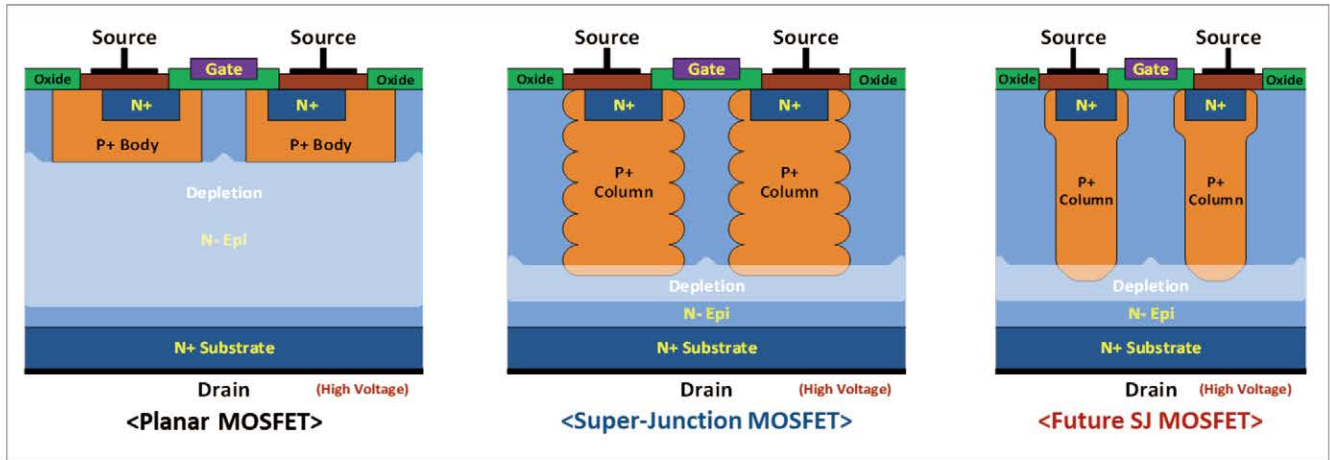


그림 4 High  $V_{DS}$  조건에서 형성된 Planar MOSFET 및 SJ MOSFET의 Depletion 영역 비교

## 2. SJ MOSFET의 발전 방향 및 특징

Power MOSFET는 높은 전압/전류를 견디기 용이하도록 Lateral 구조보다는 Planar 구조를 채택하게 되었다. Planar MOSFET에서 정격 전압을 높이기 위하여, 그림 3에서와 같이, N-Epi 영역의 길이를 키워야 하고, 이는 MOSFET의  $R_{ds(on)}$ 을 증가시키게 된다. 실제 Power MOSFET 구현 시 3차원으로 병렬 연결되는 단위 Cell의 수를 증가시킴으로써  $R_{ds(on)}$ 을 저감할 수 있지만, Chip 사이즈 증가, 가격 상승, 기생 Capacitance 증가 등 부작용이 따르게 된다. 이러한 Planar MOSFET의 단점을 해결하기 위하여 SJ MOSFET이 개발되었다.

그림 3과 같이 SJ MOSFET은 P+ Body 영역의 깊이를 증가시킴으로써, N-Epi 영역에서 Drain-Source 전압이 분산되는 효과와 함께, P+ Body와 N-Epi가 형성하는 반도체 접합부의 면적 증가로  $R_{ds(on)}$ 이 감소하는 효과를 얻을 수 있다. Planar MOSFET에 비하여 SJ MOSFET은 단위 Cell의  $R_{ds(on)}$ 이 감소하므로, Discrete Power MOSFET 기준으로 동일한  $R_{ds(on)}$ 을 얻기 위한 병렬 Cell 수를 저감할 수 있다. 그림 4과 같이 High

$V_{DS}$  인가 시, SJ MOSFET의 Depletion 영역이 좁아짐에 따라, 단위 Cell의  $C_{oss}$ 값은 증가하지만, 병렬 연결되는 Cell 수가 저감되어 Planar MOSFET 대비 작은  $C_{oss}$ 값을 갖게 된다.

그리고 동일한 효과에 따라 SJ MOSFET의  $Q_g$  또한 저감 가능하다. 결과적으로, SJ MOSFET 기술은 단위 Cell의  $R_{ds(on)}$ 을 줄여서 Chip 사이즈 저감을 통한 Discrete Power MOSFET

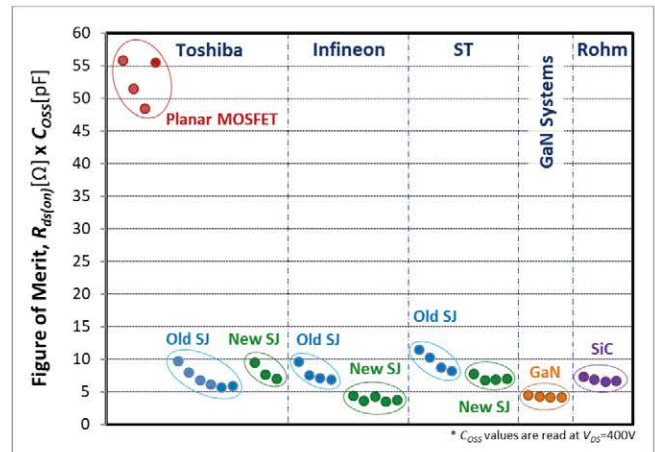


그림 5 최신 Si/SiC/GaN FET의  $R_{ds(on)} \times C_{oss}$  FoM

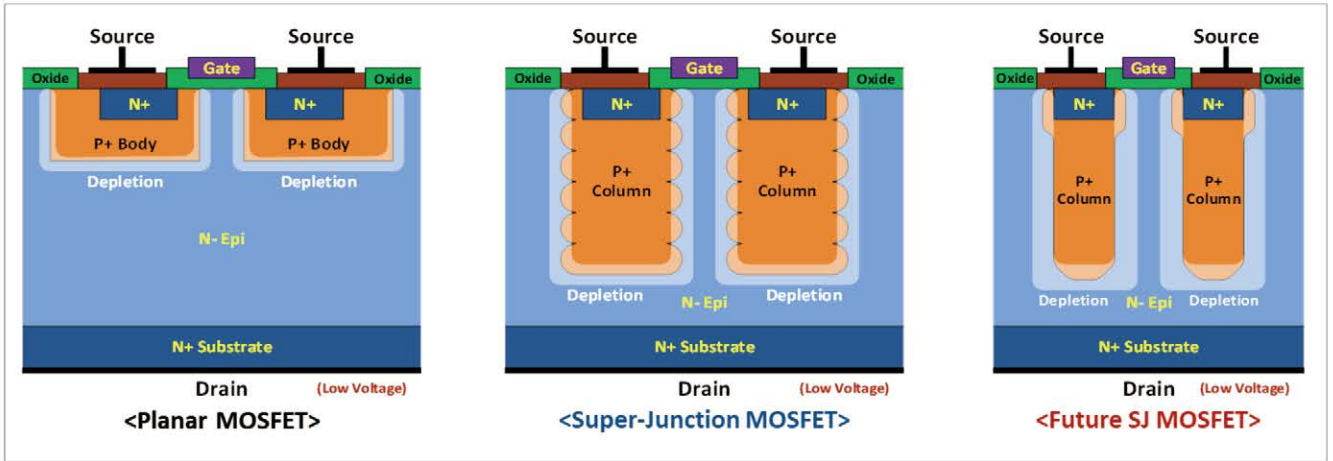


그림 6 Low  $V_{DS}$  조건에서 형성된 Planar MOSFET 및 SJ MOSFET의 Depletion 영역 비교

가격 저감이 가능하며, 그림 5에 나타난 바와 같이, Planar MOSFET 대비  $R_{ds(on)} \times C_{oss}$  및  $R_{ds(on)} \times Q_g$ 의 FoM(Figure of Merit) 향상을 이룰 수 있다.

향후 반도체 공정 기술의 발전에 따라 SJ MOSFET의 P+ Body 영역은 조금 더 깊고 좁게 형성되어, 단위 Cell의  $R_{ds(on)}$ 은 더욱 감소하고, Chip 사이즈 저감을 통한 가격 저감뿐만 아니라,  $C_{oss}$  및  $Q_g$ 을 저감해서 전력변환시스템의 효율 향상에 기여할 수 있다. 한편, 그림 5과 같이 Low  $V_{DS}$  인가 시, P+

Body와 N- Epi의 접합면을 따라 Depletion 영역이 형성됨에 따라, High  $V_{DS}$  대비 단위 Cell의  $C_{oss}$  값은 비선형적으로 증가하는 특성을 갖는다. 그림에도 불구하고, 최신 SJ MOSFET은 (High  $V_{DS}$  조건에서) GaN FET보다 작은  $C_{oss}$ 를 가지며, 기존 세대 대비 57% 수준의  $E_{oss}$ 를 갖는다.

### 3. Bridge Converter에서의 SJ MOSFET

일반적으로, 그림 8과 같이, 데이터시트에 포함되는  $E_{oss}$ 는 Flyback 컨버터와 같이 단일 스위칭 소자로 사용되는 경우의 스위칭 시의  $C_{oss}$  총 · 방전 손실을 나타낸다. 그러나, LLC 공진형 컨버터를 비롯하여 그림 9와 같은 Bridge 타입의 High-side와 Low-side 스위치 구조를 갖는 경우에는  $E_{oss}$  특성이 다른 양상을 갖게 된다.

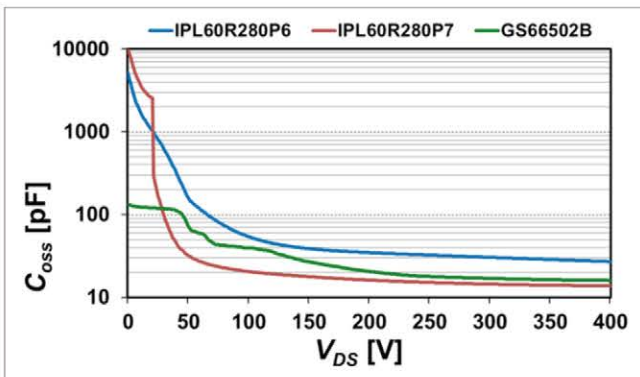


그림 7 SJ MOSFET의 비선형적  $C_{oss}$  특성

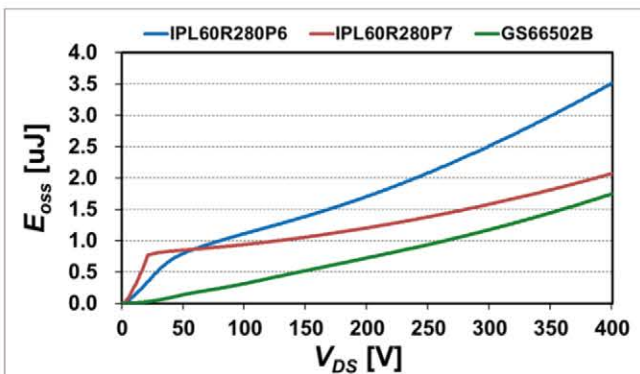


그림 8 SJ MOSFET의  $E_{oss}$  특성

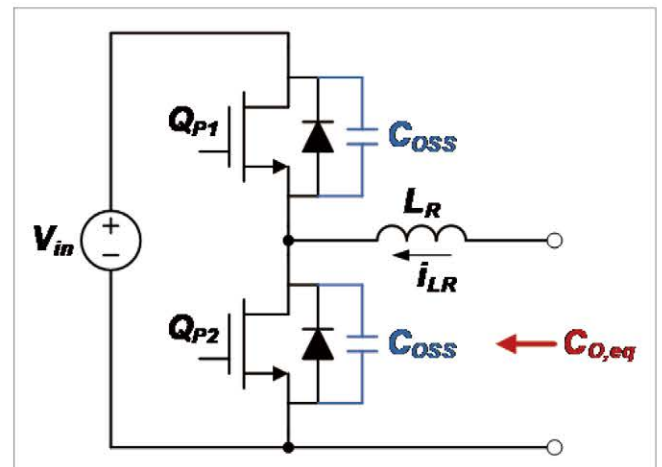


그림 9 Bridge 타입의 High-side와 Low-side 구조

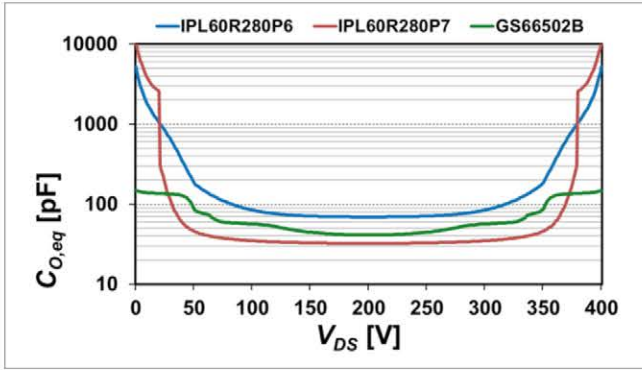


그림 10 Bridge 타입에서 SJ MOSFET의  $C_{O,eq}$  특성

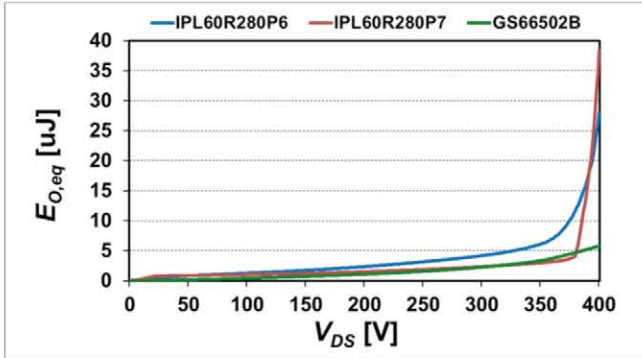


그림 11 Bridge 타입에서 SJ MOSFET의  $E_{O,eq}$  특성

즉, 영전압 스위칭 또는 하드 스위칭에 의해 두 스위치의  $V_{DS}$  전압의 합은 항상 입력 전압  $V_{in}$ 이므로, 위쪽 스위치의  $V_{DS}$  전압이 감소하면 아래쪽 스위치의  $V_{DS}$  전압은 증가한다. 따라서 그림 9에서 아래쪽 스위치에서 바라본 등가 출력 커패시턴스  $C_{O,eq}$ 는 그림 10과 같이  $V_{DS}$  전압이 400V 부근뿐만 아니라 0V 부근에서도 매우 큰  $C_{O,eq}$  값을 갖게 된다. 이로부터,  $C_{O,eq}$ 의 충전/방전에 의한 스위칭 에너지는 그림 11과 같다. 따라서, Bridge 컨버터에서 입력 전압으로부터 20V 이내의  $V_{DS}$  전압에서 하드 스위칭이 이루어질 경우, 매우 큰 스위칭 손실이 발생된다. 또한, GaN FET의 경우 그림 12에서와 같이 부하 변동에 따라 영전압 스위칭을 위한 Dead-time의 변화가 적은 반면, SJ MOSFET의 경우에는  $V_{DS}$  전압 기준 400V 및 0V 부근에서의 매우 큰  $C_{O,eq}$ 에 의하여 그림 13과 같이 Dead-time의 변화가 크다.

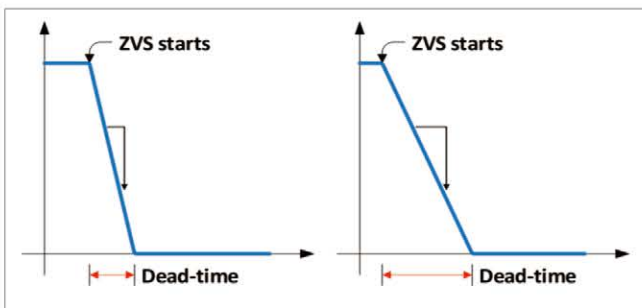


그림 12 GaN FET의 ZVS를 위한 Dead-time

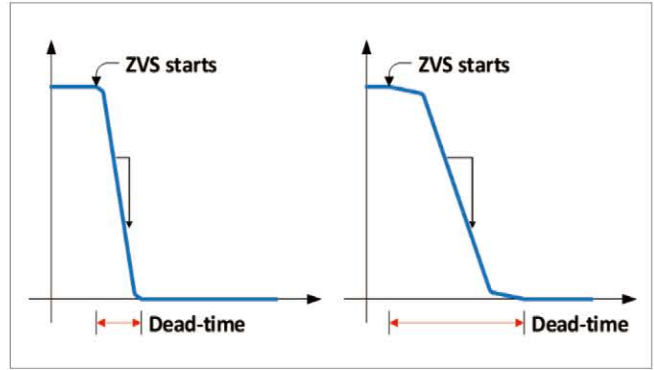


그림 13 SJ MOSFET의 ZVS를 위한 Dead-time

## 4. LLC 공진형 컨버터 적용 시 고려사항

최근 중·대용량 전력변환시스템에 가장 많이 적용되고 있는 LLC 공진형 컨버터에 SJ MOSFET을 적용하여 설계할 경우,  $C_{oss}$ 의 비선형적 특성을 고려해야 한다. 일반적으로 LLC 공진형 컨버터는 부하에 따라 영전압 스위칭 성능의 차이가 크지 않으므로, 부하 변동에 따른 최적 Dead-time 가변 범위는 크지 않다. 그러나, 초기 기동 조건에서 영전압 스위칭 및 Dead-time에 대한 검증이 필요하다.

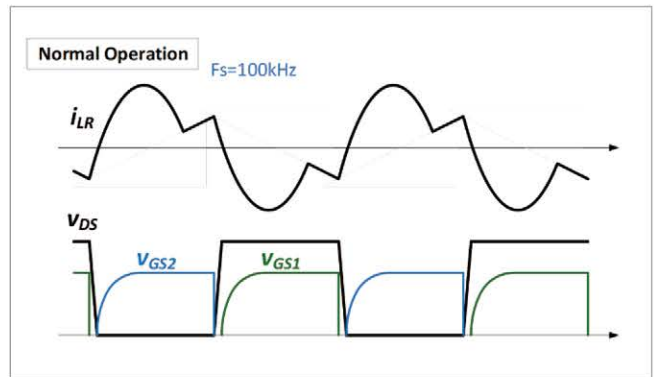


그림 14 정상 동작 시의 스위칭 파형

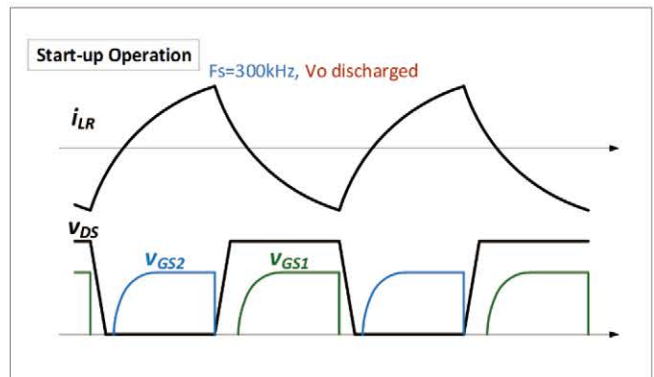


그림 15 출력 전압 방전 후 기동 시 스위칭 파형

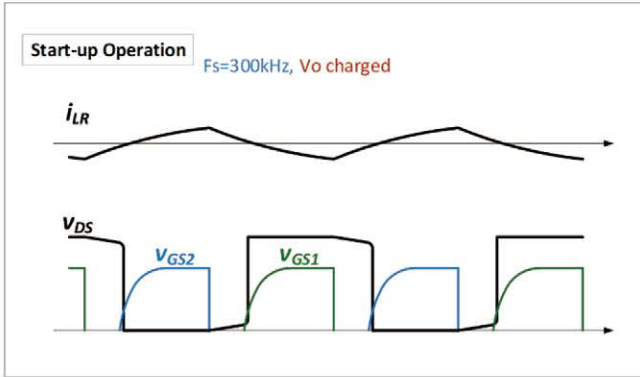


그림 16 출력 전압 충전 후 기동 시 스위칭 파형

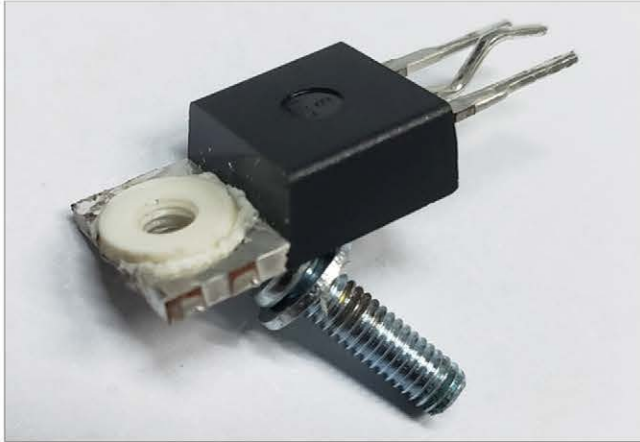


그림 17 하드 스위칭에 의한 SJ MOSFET 과열/소손

출력 전압이 완전히 방전되어 있는 초기 기동 시에는 정상 동작 시의 스위칭 주파수에 비하여 3~5배 높은 스위칭 주파수로 구동하여 과도 전류를 저감하게 된다. 그러나, 부하가 매우 작거나, ON/OFF가 빠르게 반복되는 경우에는 영전압 스위칭에 필요한 전류가 형성되지 않고, 높은 주파수에 의한 하드 스위칭이 발생하여 스위칭 손실이 급증하게 되어, 그림 17과 같이, SJ MOSFET가 고온에 의하여 소손되는 현상이 발생하기도 한다. 따라서, LLC 공진형 컨버터의 경우, 저부하 조건에서는 OFF 후 어느 정도의 Turn-on Delay를 추가하거나, 출력 전압 방전 회로를 추가할 필요가 있다.

## 5. 결론

SiC 및 GaN FET와 같은 WBG 기반의 스위칭 반도체가 고효율 및 고전력밀도화를 위한 최적의 솔루션으로 인식되지만, SJ MOSFET 또한 지속적으로 발전하고 있다. 전력변환 엔지니어는 SJ MOSFET의 특성을 활용하여 전력변환시스템의 최적 설계에 도전할 필요가 있다. ■

### 김정은 경상대 제어계측공학과 조교수

경북대 전자전기공학부 졸업. 한국과학기술원 전기 및 전자공학과 졸업(석사). 동 대학원 전기 및 전자공학과 졸업(공학박).  
2008년 삼성전기 Power개발팀 근무. 2015년 솔루션 서버개발팀 근무.  
2019년~현재 경상대 제어계측공학과 조교수.

