

Vishay Siliconix의 High-Voltage MOSFET 최신 개발 동향

Vishay Siliconix의 MOSFET 제품은 최신 반도체 기술을 적용된 30가지 이상의 다양한 Package를 포함한다. 칩-사이즈에 준하는 MICRO FOOT®과 방열 성능이 향상된 PowerPAK® 및 전통적인 “TO” Package를 모두 아우르고 있다. 또한, Single-Die MOSFET뿐만 아니라, Schottky body diodes와 ESD protection 기능을 Single Die에 구현한 MOSFET도 출시되고 있다. 특히, PowerPAIR®는 하나의 Package에 서로 다른 성능 혹은 같은 성능의 MOSFET 두 개를 조합함으로써, Synchronous Buck Converter에 특화된 솔루션을 제공한다. High-Voltage MOSFET에서도 Super-Junction 공정 향상을 통한 최소의 FOM(Figure Of Merit)을 달성하고 ZVS Topology를 위한 영회복 특성이 향상된 Fast Recovery Diode 집적에 노력하고 있다.

1. Vishay Intertechnology 및 Siliconix

1962년 Felix Zandman 박사가 설립한 Vishay는 초기 제품으로 포일 저항기와 스트레인 게이지를 개발하였다. 1985년부터 Vishay는 광범위한 전자 부품 제조업체가 되기 위하여 전략적 인수를 시작하였고, Siliconix, Telefunken, Infineon의 적외선 부품 사업부, General Semiconductor, Dale, Draloric, Sprague, Vitramon, BCcomponents와 같은 유명 기업을 인수해왔다. 뿐만 아니라, International Rectifier의 Discrete/Module 반도체 부품, KEMET의 Tantal Capacitor 제품, Huntington Electric의 저항 사업부, HiRel Systems, MCB Industrie, Holy Stone Polytech, Capella Microsystems을 인수함으로써, 전자 부품에 대한 Total Solution을 제공할 수 있게 되었다.

특히, 1962년 설립된 Siliconix는 JFET, Diode-Transistor-Logic(DTL) IC, Analog Multiplexer를 초기 제품으로 개발하였다. 1975년에는 최초의 Commercial MOSFET을, 1993년에는 최초의 Industrial Trench-MOSFET을 출시하였다. 1998년 전체 지

분의 80.4%가 Vishay로 인수되고, 2005년에는 나머지 19.6%의 지분 이전이 완료되어, Vishay Siliconix 사업부가 되었다. 산업용 및 서버/통신용 시스템을 포함하여, 최근에는 전자 자동차 및 의료용 전력 시스템의 효율 및 전력밀도를 동시에 향상시킬 수 있는 전력 반도체 제품을 개발에 주력하고 있다.

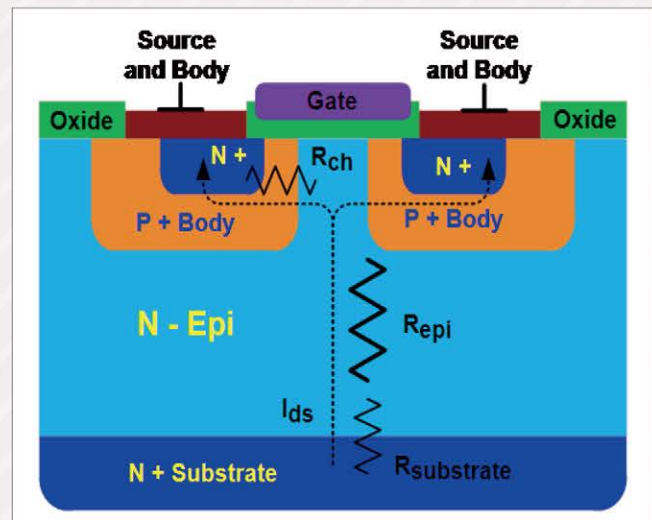


그림 1 Planar MOSFET의 구조

표 1 Planar MOSFET의 반도체 영역별 저항

BV _{DSS}	30V	100V	600V
R _{ch}	35% →	8% →	3%
R _{epi}	35% →	88% →	96%
R _{sub}	30% →	3% →	1%
Total Old	1.2 mΩ	15 mΩ	1.5 Ω
Total New	0.5 mΩ	4 mΩ	0.3 Ω

2. Planar MOSFET 구조 및 등가 저항

전력용 Planar MOSFET의 내부 구조를 살펴보면, 그림 1과 같이, Source 전극과 연결된 N+ 반도체, 절연된 Gate 전극과 연결된 P+ 반도체, 그리고 높은 전압을 견딜 수 있는 N- 반도체, 마지막으로 Drain 전극과 연결된 N+ 반도체로 구성되어 있다. Gate-Source 전극 간에 Threshold 이상의 전압이 인가 되면, P+ 반도체 영역에 Channel이 형성되어 Drain 전극으로부터 Source 전극으로, N+→N-→P+→N+ 반도체를 거쳐 전류가 흐를 수 있다. P+ 반도체에 형성되는 Channel 길이는 매우 짧으므로, 등가 저항은 매우 작은 편이지만, 표 1에 나타난 바와 같이 MOSFET의 정격 전압이 증가할수록, N- 반도체 영역이 길어지게 되므로, N- 반도체의 낮은 도핑과 함께 전체 MOSFET의 D-S 간 등가 저항(R_{ds(on)})을 증가시키게 된다. 즉, 30V MOSFET의 경우, R_{epi} 저항이 작아 0.5~1.2mΩ의 작은 R_{ds(on)} 값을 가지지만, 전압이 증가함에 따라, R_{epi}가 증가하게 되고 R_{ds(on)} 또한 증가한다. 결국, 600V의 정격 전압을 갖는 MOSFET의 경우에는 R_{epi}가 전체 R_{ds(on)}의 96%를 차지할 정도로 증가하게 되며, 0.3~1.3Ω의 큰 R_{ds(on)} 값을 가진다. 따라서, Planar MOSFET 기술로는 높은 정격 전압과 함께 낮은 R_{ds(on)}을 갖는 전력용 MOSFET을 구현하기 어려우므로, 새로운 Super-Junction MOSFET 기술이 개발되었다.

3. Super-Junction의 특징 및 공정 향상

Super-Junction(SJ) MOSFET은 높은 정격 전압을 얻을 수 있도록, N- 반도체에 형성되는 전계를 분산시키기 위하여, 그림 2와 같이, N- 반도체 내부에 P+ 반도체(P+ Column)를 깊게 형성하게 된다. 따라서, P+ 반도체와 N- 반도체의 접합 면적이 증가하게 되고, D-S 간 전류가 흐르는 N- 반도체 길이가

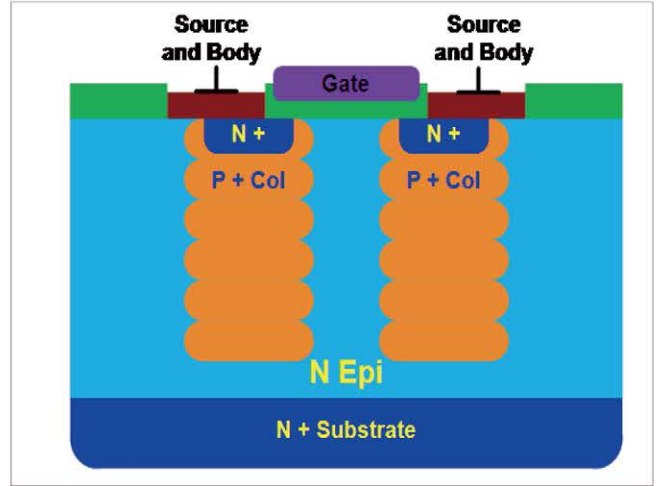


그림 2 Super-Junction MOSFET의 구조

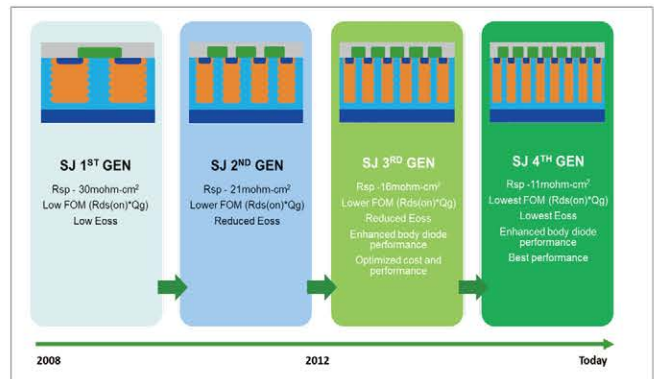


그림 3 FOM 최소화를 위한 Super-Junction 공정 향상

짧아지는 효과로, R_{epi}가 감소하고 R_{ds(on)} 또한 감소하게 된다. SJ MOSFET의 공정은 N- 반도체 내부에 P+ 반도체를 깊게 형성하기 위하여, 다소 까다로운 작업(여러 번의 증착) 과정과 긴 공정 시간(증착 후 건조)이 필요하다. 초기 SJ 공정의 경우에는 P+ 반도체의 폭이 넓은 특징이 있으나, 그림 3과 같이, 공정 기술이 발달함에 따라, 공정 시간의 단축뿐만 아니라, P+ 반도체의 폭이 점차 감소함에 따라 단위 면적당 R_{ds(on)}을 저감할 수 있다. 따라서, 동일한 R_{ds(on)}을 기준으로 반도체 Die 사이즈를 줄여, Q_g 및 E_{oss} 저감을 통한 FOM 향상과 함께

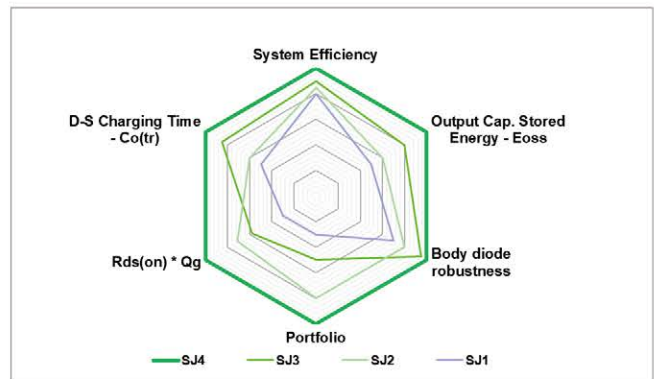


그림 4 SJ MOSFET의 세대별 특성 비교

MOSFET의 가격을 낮출 수 있다. 반대로, 동일 Package에 많은 단위 셀을 집적함으로써, MOSFET의 $R_{ds(on)}$ 을 최소화할 수 있다. 결과적으로, 그림 4와 같이, 전반적인 MOSFET의 특성 향상을 얻을 수 있다.

4. 4th GEN E-Series SJ MOSFET

E-Series SJ MOSFET의 주요 타겟은 소용량의 Adapter/Charger를 위한 Flyback Converter와 PFC단을 위한 Boost Converter와 같은 Hard-switching Topology이며, 최신의 4세대 E-series SJ MOSFET은 단위 면적당 저항($R_{ds(on)}/A$)을 $11m\Omega/cm^2$ 으로 최소화하였고, 낮은 게이트 전하(Q_g)를 가지도록 설계되었다. Package에 따라 최대 $1400m\Omega$ (D-PAK)부터 최소 $18m\Omega$ (TO-247)의 라인업을 갖는다. 대표적으로, TO-220 Package의 SiHP065N60E는 경쟁사의 SJ MOSFET에 비하여 FOM으로써 $R_{ds(on)} \times C_{oss}$ 는 $5.3\Omega pF$ 로 유사한 수준이지만, $R_{ds(on)} \times Q_g$ 는 $2.8\Omega nC$ 로 20%까지 향상되었다. 그림 5에 나타낸 바와 같이, 800W급의 boost Converter에 대하여 Infineon사의 IPP65R065C7과의 비교 테스트 결과, 전 부하 영역, 특히 200W 영역에서, 높은 효율을 가짐을 확인하였다. 또한, 당사의 TO-247의 SiHG47N60E와 비하여, 작은 Package임에도 $5^\circ C$ 이상 낮은 T_j 를 달성할 수 있음을 확인하였다.

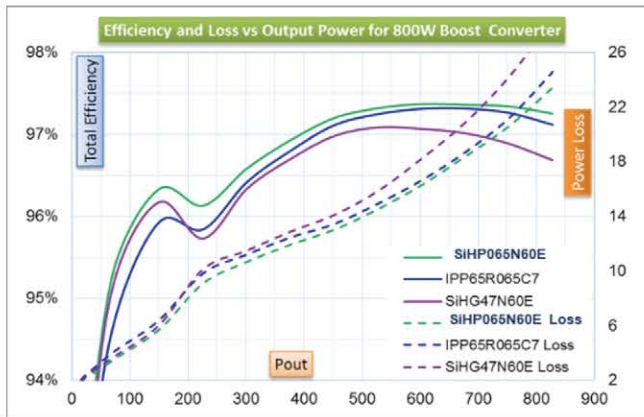


그림 5 800W Boost 컨버터를 통한 성능 비교

5. 4th Gen EF Series SJ MOSFET

EF-Series SJ MOSFET은 E-Series MOSFET에 Fast Recovery Body Diode가 결합되어, Q_{rr} 이 E-Series 대비 1/10 수준으로 저감되었다. 따라서, E-Series의 작은 Q_g 및 $C_{o(tr)}$ 과 함께, 최소화된 Q_{rr} 을 바탕으로, LLC Resonant 및 Phase-shift Full-

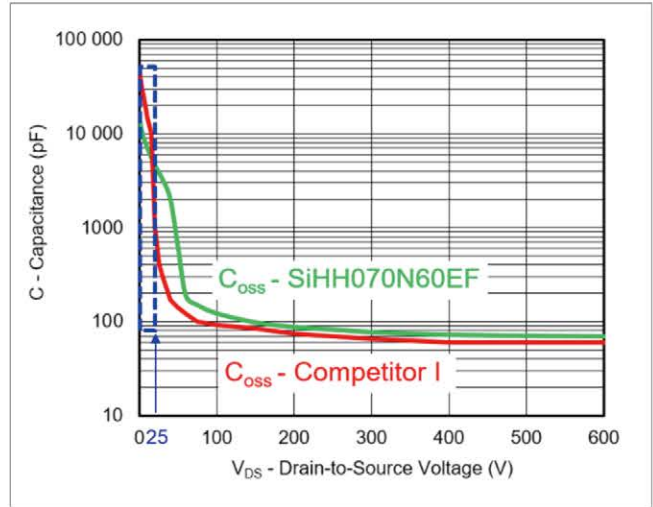


그림 6 D-S 전압에 따른 C_{oss} 특성 비교

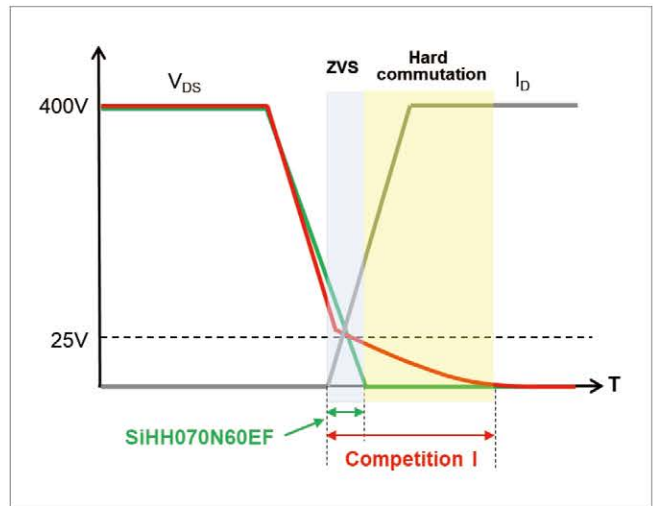


그림 7 $C_{o(tr)}$ 에 따른 영전압 스위칭 특성 비교

Bridge Converter에 가장 적합한 MOSFET이다. 경쟁사의 FET는 그림 6과 같이 D-S 전압이 큰 경우 C_{oss} 가 작지만, D-S 전압이 감소함에 따라 C_{oss} 가 급격하게 증가하여, Time-related $C_{oss}(C_{o(tr)})$ 가 크며 영전압 스위칭을 위한 Dead-time이 증가하는 단점이 있다.

반면, 4세대 EF-Series SJ MOSFET은 경쟁사 대비 작은 $C_{o(tr)}$ 을 가지므로, 부하 변화에 상관없이 영전압 스위칭을 위한 Dead-time 설계가 용이한 장점을 가지게 된다.

6. 새로운 Package

전력변환시스템의 효율 및 전력밀도 향상에 기여할 수 있는 낮은 FOM을 갖는 새로운 Package가 출시되고 있다.

6.1 PowerPAK® 8x8

D2-PAK 대비 절반 이하의 Foot-print를 가짐에도 불구하고, $R_{ds(on)}$ 이 작고, 최소화된 기생 인덕턴스로 빠른 스위칭이 가능하며, Kelvin Source를 통하여 Gate Noise 저감이 가능하다.

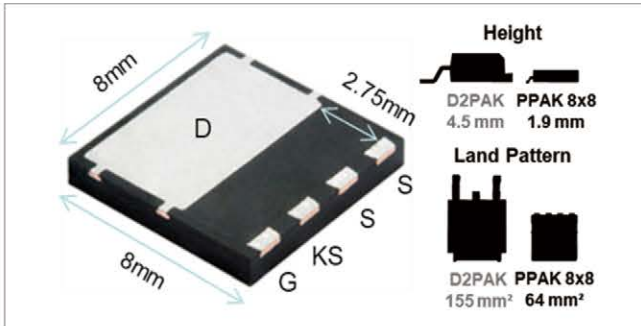


그림 8 PowerPAK® 8x8 및 D2PAK과의 비교

6.2 PowerPAK® SO-8L(5X6)

D-PAK 대비 절반 수준의 Foot-print로도 600V의 절연 거리를 만족하며, 돌출형 리드 타입으로 열충격에 강하고, Wave Soldering이 가능한 장점이 있다.

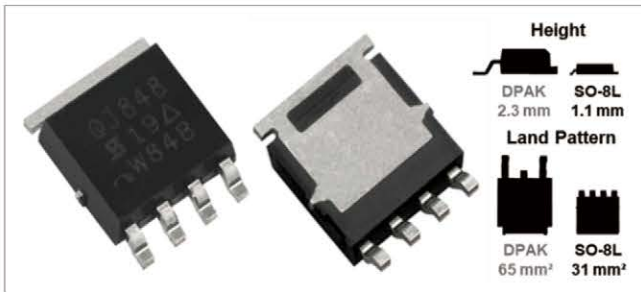


그림 9 PowerPAK® SO-8L(5X6) 및 DPAK과의 비교

6.3 TO-247 4-Lead

Gate-Drain-Source의 3-리드로 구성된 기존 TO-247 대비, Drain-Source-Kelvin Source-Gate의 4리드 배열로 D-S간 절연 거리를 확대할 수 있으며, Kelvin Source를 통하여 Gate Noise 저감이 가능하다. Discrete Package 중 가장 작은 $R_{ds(on)}$ 을 구현할 수 있으므로, 높은 전력 용량의 전력변환시스템에 적용된다.



그림 10 TO-247 4-Lead

6.4 PowerPAK® 10x12(TO-LL)

Bottom-side Cooling의 표면 실장형의 SJ MOSFET 중 가장 작은 $R_{ds(on)}$ 을 구현할 수 있으며, Drain 및 Source 리드의 기생 인덕턴스가 작다. 또한, Gate Noise 저감 가능한 Kelvin Source가 적용되어, 향후 가장 널리 사용될 Package이다.

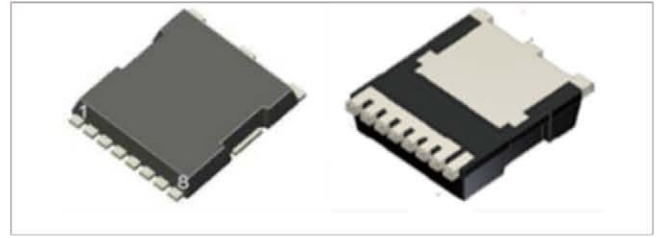


그림 11 PowerPAK® 10x12(TO-LL)

6.5 Reverse PowerPAK® 8x8L

MOSFET의 전기적 성능 향상과 함께, 방열 성능을 향상을 위하여, 방열판 부착이 용이한 Top-side Cooling이 선호된다. 일반적으로 Package의 하단면에 위치하는 Drain 전극을 상단에 위쪽에 위치하도록 변경된 소자로써, 방열판을 부착하여 방열 성능을 극대화할 수 있다.

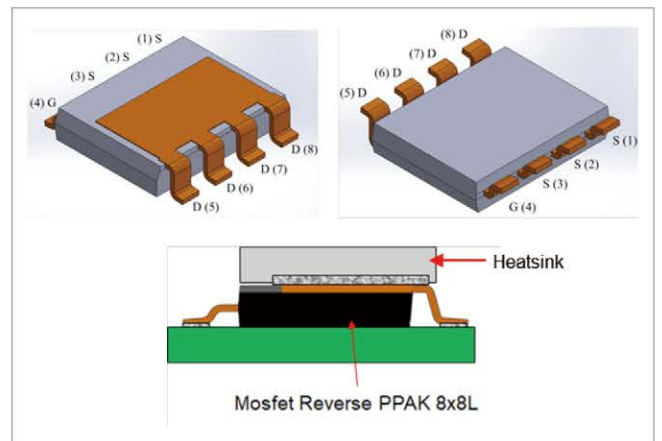


그림 12 Reverse PowerPAK® 8x8L

7. 결론

Vishay는 High Voltage MOSFET 전기적 성능과 함께 방열 성능, 그리고 반도체 공정 향상을 통한 가격 저감에도 노력하고 있다. 뿐만 아니라, 최신 Trench 기술이 적용된 Low Voltage MOSFET의 개발을 통하여 전기자동차와 같은 새로운 적용 분야에 최적의 솔루션을 제공하고자 한다.

박태욱 Vishay Korea MOSFET 기술지원
 1994년 한양대 전기공학과 졸업.
 1994년~2000년 삼성전기 Power개발팀 근무.
 2005년~현재 Vishay Korea MOSFET 기술지원.

