

Trench Shield 구조를 갖는 3.3kV급 저저항 4H-SiC DMOSFET

Low Resistance 3.3kV 4H-SiC Trench Shielded DMOSFET

차 규 현, 김 광 수*[★]

Kyu-hyun Cha, Kwang-su Kim*[★]

Abstract

In this paper, we propose a TS-DMOSFET(Trench Shielded DMOSFET) structure in which P⁺ shielding region is formed in a deeper region than C-DMOSFET(Conventional DMOSFET) and S-DMOSFET(Shielded DMOSFET). Using TCAD simulation to compare the static characteristics of TS-DMOSFET with C- and S-DMOSFET. As for the structure proposed, the doping is followed by the source trench process. Despite the fact that it is a SiC material, this allows it to form a P⁺ shielding region in a deep area. Followed by completely suppressing the reach-through effect. As a result, when the breakdown voltage of the three structures is 3.3kV, the Ron of TS-DMOSFET is 9.7mΩcm². Thus, it is 68% and 54% smaller than the Ron of C-DMOSFET and S-DMOSFET respectively.

요 약

본 논문에서는 Trench를 이용하여 기존 C-DMOSFET(Conventional DMOSFET)과 S-DMOSFET(Shielded DMOSFET) 구조보다 더 깊은 영역에 P⁺ shielding을 형성한 TS-DMOSFET(Trench Shielded DMOSFET) 구조를 제안하였으며 TCAD 시뮬레이션을 통해 C- 및 S-DMOSFET 구조와 전기적 특성을 비교하였다. 제안한 구조는 Source에 Trench를 형성한 후 도핑을 진행하므로 SiC 물질 특성과 관계없이 깊은 영역에 P⁺ shielding을 형성할 수 있다. 이로 인해 P-base에 인가되는 전압이 감소하여 리치스루 효과가 완화되었다. 그 결과 세 구조 모두 3.3kV의 항복 전압을 가질 때 제안한 구조의 온저항은 9.7mΩcm²으로 C-DMOSFET과 S-DMOSFET의 온저항인 30.5mΩcm², 19.3mΩcm² 대비 각각 68%, 54% 개선된 온저항을 갖는다.

Key words : 4H-SiC, Planar MOSFET, Trench, breakdown, on-resistance

* Dept. of Electronics Engineering, Sogang University

★ Corresponding author

E-mail : kimks@sogang.ac.kr, bksem10ckh25@naver.com,

Tel : +82-2-705-8913

※ Acknowledgment

This research was supported by the MSIT(Ministry of Science and ICT), Korea, under ITRC(Information Technology Research Center) support program (IITP-2020-2018-0-01421) supervised by IITP(Institute for Information & communications Technology Promotion and The EDA tool was supported by the IC Design Education Center (IDEC), Korea.

Manuscript received Jun. 16, 2020; revised Jun. 23, 2020; accepted Jun. 24, 2020.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

전력 반도체 소자는 전자 제품의 전력 소모를 낮추는 역할을 한다. 이런 특징으로 인해 전기 자동차, 항공 산업, 지열 및 광업 탐사 등 많은 전력을 소모하는 분야에 적용되고 있으며 최근 이런 분야들이 성장함에 따라서 전력 반도체 시장 규모 또한 성장하고 있다. 특히 고속철도에 사용되는 추진제어시스템의 경우, 공급되는 전압 및 주파수 변화에 따라 높은 추진력과 속도특성을 얻는 기술이므로 고전압/대전력 소자를 요구한다[1]. 따라서 현재 Si 기반의 3300V급 IGBT가 사용되고 있으나 Si IGBT의 경우 스위칭 손실이 크다는 단점이 존재한다. 한편, SiC는 Si에 비해 더 넓은 에너지 밴드갭을 가

지며 임계 전계 또한 더 높은 값을 가지므로 전력 반도체 소자에 적합한 물성을 갖는다[2]. 따라서 기존 Si IGBT의 한계를 극복하기 위해 스위칭 손실이 적고 고전압에 유리한 SiC MOSFET 소자의 개발이 필요하다. 특히 전기자동차의 경우 현재 1200V급 SiC MOSFET이 사용되기 시작했으며 향후 1700V급, 3300V급 SiC MOSFET 또한 적용될 수 있으므로 개발 필요성이 더 대두되고 있다.

1700V급에서는 UMOSFET 구조를 통해 DMOSFET 구조의 기생 JFET을 제거할 수 있으므로 도통 시 더 낮은 온저항을 가질 수 있다. 또한 더 작은 cell pitch를 가지므로 높은 cell 집적도를 통해 channel 밀도도 증가시킬 수 있다. 그러나 3300V급에서는 소자의 전체 저항 성분 중에서 drift 영역의 저항 성분이 가장 큰 비중을 차지한다. 때문에 UMOSFET 구조를 통한 온저항의 감소에는 한계가 존재하므로 DMOSFET 구조가 주류를 이룬다[3].

그림 1. (a)에 나타난 C-DMOSFET(Conventional DMOSFET) 구조의 경우 공핍 영역이 P-base 영역 전체로 확장하여 상당한 누설 전류가 흐르게 되는 리치스루 현상으로 인해 낮은 전압에서도 항복이 일어나는 문제가 발생한다. 따라서 그림 1. (b)와 같이 P-base 영역 내에 P-base와 동일한 두께의 P+ shielding 구조를 형성한 S-DMOSFET(Shielded DMOSFET) 구조가 도입되었다[4]. 이 구조의 경우 P-base 내에 존재하는 높은 농도의 P+ 영역으로 인해 공핍 영역이 P-base 영역 전체로 확장하지 못하게 된다. 이로 인해 리치스루 현상이 상당히 완화되어 더 높은 항복 전압을 가질 수 있게 되었다. 하지만 그림 1. (b)의 구조에서도 리치스루 현상을 완전히 제거할 수는 없었다. 따라서 더 넓은 P+ shielding 영역을 필요로 했으나 SiC는 물질 특성상 1 μ m 이상의 깊이에 도핑을 하는 데에는 한계가 존재한다[5]. 따라서 이 문제를 해결하기 위해 본 논문에서는 그림 1. (c)와 같이 DMOSFET 구조에서 source 영역에 Trench를 형성한 후 도핑을 진행하여 깊은 영역에 P+ shielding을 형성한 TS-DMOSFET(Trench Shielded DMOSFET) 구조를 제안하였다. 더 깊게 형성된 높은 농도의 P+ 영역으로 인해 P-base에 인가되는 전압을 크게 감소시킬 수 있었으며 이를 통해 S-DMOSFET 구조보다 리치스루를 더 크게 완화시켜 전기적 특성을 개선시킬 수 있었다. 따라서 세 구조를 각각 최적화

한 후 Sentaurus TCAD 시뮬레이션을 통해 C- 및 S-DMOSFET 구조와 전기적 특성을 비교하였다.

II. 본론

1. TS-DMOSFET 구조 및 공정

1) TS-DMOSFET 구조

고전압, 고전류 동작을 위한 소자를 만들기 위해 Si 대신 4H-SiC를 사용하여 설계한 C-DMOSFET 구조는 그림 1. (a)와 같다. 이 구조 내에는 N+ source, P base, N drift로 이루어진 기생 NPN 트랜지스터가 존재한다. Drain에 높은 전압이 인가되면 drift 영역과 P-base 영역 사이에는 공핍 영역이 형성되는데, 이 공핍 영역이 P base 영역 전체로 확장하게 되면 상당한 전류가 흐르는 리치스루 현상이 일어나게 된다. 이 경우 채널을 통해 전류가 흐르는 것이 아니므로 Gate 단자에 의해 전류를 제어할 수 없는 항복 상태가 된다. 한편, 항복 전압을 높이려면 drift 영역의 한계 전계를 최대한 활용할 수 있어야 한다. 그러나 리치스루 현상이 일어나게 되면 drift 영역의 전계가 한계 전계 값을 넘지 않아도 항복이 일어나게 된다. 즉, 비교적 낮은 Drain 전압에서도 항복이 발생하므로 리치스루 효과는 C-DMOSFET 구조의 항복 전압을 제한하는 요인이 된다.

리치스루 현상을 억제하고 drift 영역의 한계 전계 값을 최대한 활용하여 항복 전압을 개선하기 위해 그림 1. (b)와 같이 P-base 영역과 같은 두께의 P+ shielding을 형성한 S-DMOSFET 구조가 도입되었다. 이 P+shielding 구조는 P-base 영역 내에서 공핍 영역이 확장하지 못하도록 하여 리치스루 현상을 억제한다. 그러나 이 구조 또한 리치스루 현상을 완전히 막지는 못했다.

S-DMOSFET 구조에서 리치스루로 인해 항복 전압이 낮아지는 문제를 해결하고자 P-base 두께보다 더 두꺼운 P+ shielding을 형성한 구조가 도입되었다[6]. 이 구조의 경우 깊은 영역에 형성된 P+ shielding 부분에 높은 전압이 인가되므로 P-base에 인가되는 전압을 줄일 수 있으며 이는 P-base 영역 내에 형성되는 공핍 영역을 줄여 리치스루 현상을 완화한다. 이로 인해 drift 영역에서의 전계가 한계 전계 값에 도달할 때까지 항복이 일어나지 않게 된다. 즉, 이는 drift 영역의 한계 전계를 최대한

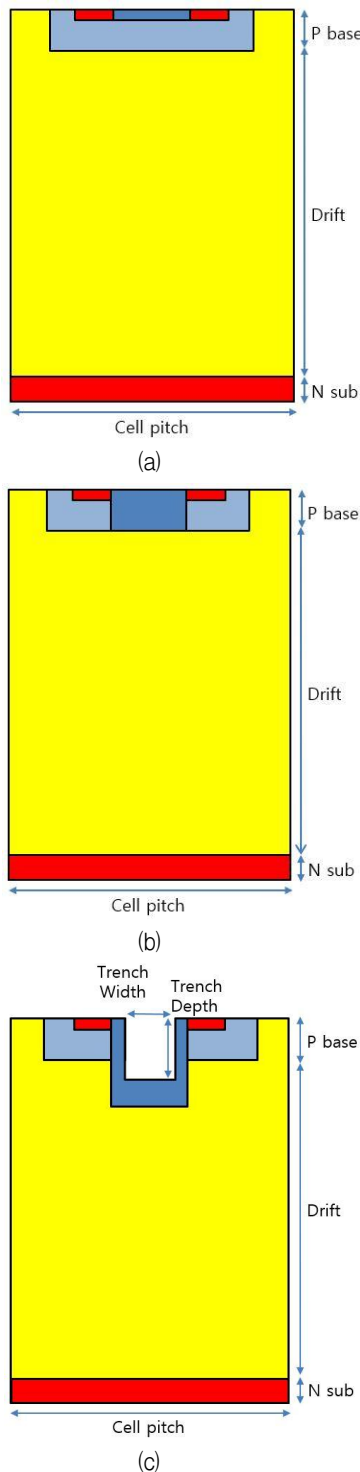


Fig. 1. (a) C-DMOSFET structure (b) S-DMOSFET structure (c) TS-DMOSFET structure.
 그림 1. (a) C-DMOSFET 구조 (b) S-DMOSFET 구조 (c) TS-DMOSFET 구조

이용하여 항복 전압을 개선할 수 있음을 의미한다. 그러나 SiC의 물질 특성상 매우 높은 온도에서 공정을 진행하더라도 1 μ m 이상의 깊이에 높은 농도의 도핑을 하는 데에는 한계가 존재한다. 따라서

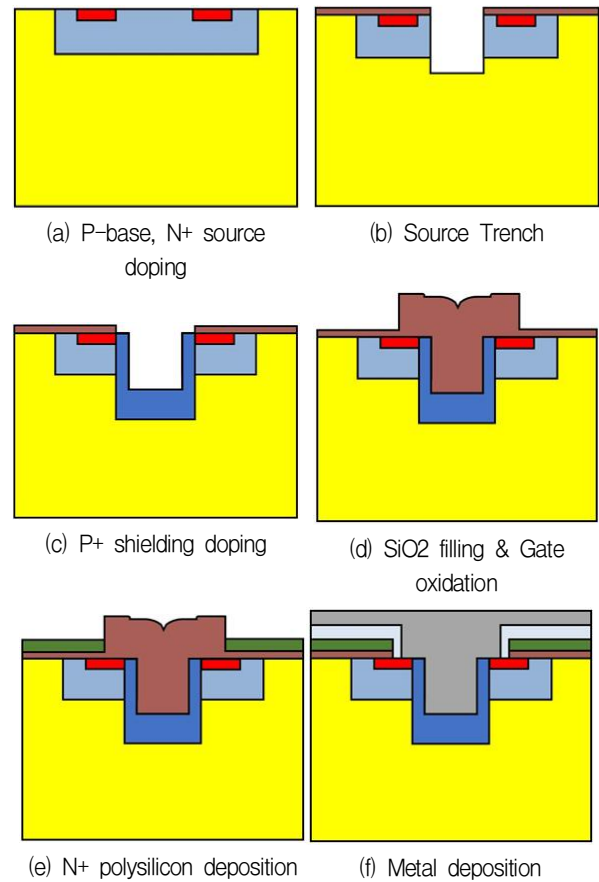


Fig. 2. Proposed fabrication procedure of TS-DMOSFET.
 그림 2. 제안된 TS-DMOSFET의 공정 순서도

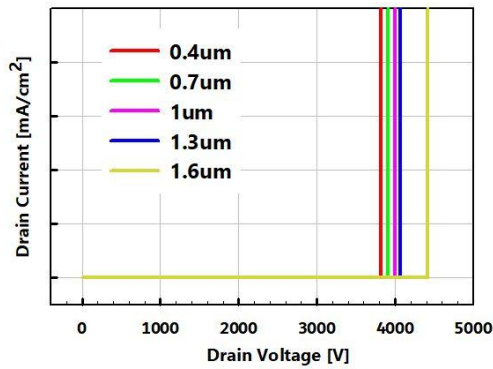
본 논문에서는 Trench를 형성한 후 doping을 진행한 구조를 통해 SiC의 물질 특성과 관계없이 깊은 영역에 P+ shielding을 형성한 TS-DMOSFET 구조를 제안한다.

drift 영역의 농도가 동일할 때, TS-DMOSFET 구조는 C- 및 S-DMOSFET 구조에 비해 더 높은 항복 전압을 갖는다. 이 원인은 앞에서 언급한 리치스루 효과에 의해 항복이 일어나는 두 구조와 달리 TS-DMOSFET 구조에서는 drift 영역의 전계가 한계 전계 값을 넘었을 때 발생하는 애벌란치 효과에 의해 항복이 일어나기 때문이다.

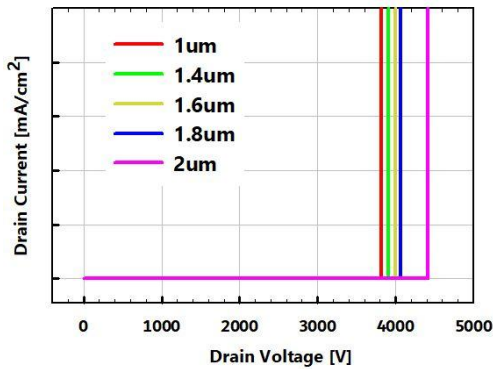
2) TS-DMOSFET의 제안된 공정 순서도

그림 2는 TS-DMOSFET의 Source 영역에 Trench를 형성하는 과정을 보여주는 공정 순서도이다. 제안된 공정 과정을 통해 Source 영역에 trench를 형성한 TS-DMOSFET 구조의 구현 가능성을 제시하였다.

C- 및 S-DMOSFET 구조와 달리 TS-DMOSFET 구조는 Source 영역에 Trench가 형성된다.



(a)



(b)

Fig. 3. Breakdown Voltage according to (a) Trench depth (b) Trench width.

그림 3. (a) Trench 깊이 (b) Trench 폭에 따른 항복 전압

따라서 본 논문에서는 Trench를 형성하는 공정 순서를 제안하며 그림 2.는 이 과정을 나타낸다.

먼저 이온 주입을 통해 P-base를 형성한 후 N+ source를 형성한다(그림 2. (a)). 그리고 식각 공정을 통해 Source 영역에 Trench를 형성한다(그림 2. (b)). 이후 이온 주입을 통해 Trench 부분에 P+ shielding을 형성한다(그림 2. (c)). 다음으로 SiO2를 두껍게 증착한 후 Gate 영역을 형성하기 위해 SiO2를 패터닝하고 식각하여 Gate 영역의 SiO2를 제거한다. 이후 산화 공정을 통해 얇은 두께의 gate oxide를 형성한다(그림 2. (d)). 다음으로 N+ polysilicon을 증착하여 Gate를 형성하고(그림 2. (e)) 이후 Gate 보호를 위한 PSG를 증착한다. 마지막으로 Trench를 채우고 있는 두꺼운 SiO2를 제거한 뒤 Metal을 증착하여 Source contact을 형성한다(그림 2. (f)).

2. TS-DMOSFET 구조의 최적화

먼저 TS-DMOSFET의 Trench 크기를 조절한 다음 drift 영역의 농도 조절을 통해 3300V급의 항복 전압을 갖도록 하는 과정을 거쳐 TS-DMOSFET

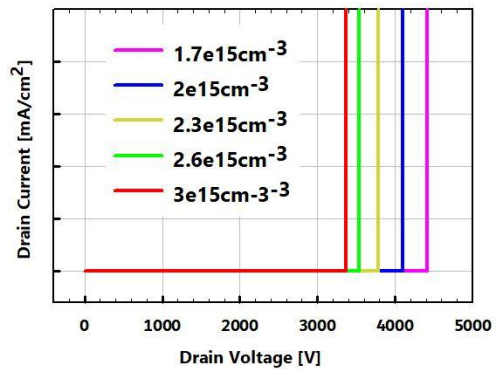


Fig. 4. Breakdown Voltage according to drift concentration. 그림 4. drift 농도에 따른 항복 전압

구조를 최적화하였다.

그림 3. (a)와 (b)는 각각 Trench 깊이와 폭의 변화에 따른 항복 전압의 변화를 나타낸 그래프이다. Trench 깊이가 깊어질수록 P+ shielding에 인가되는 전압이 증가하게 되어 P-base와 drift 사이의 공핍 영역에 인가되는 전압이 감소한다. 이로 인해 리치스루가 완화되어 항복 전압이 증가하게 된다. 하지만 P+ shielding을 너무 깊은 영역에 형성할 경우 과도한 전압이 인가된다. 이 경우 P+ shielding 부분에서의 애벌란치 효과가 증가하여 낮은 전압에서 항복이 일어나게 된다. 따라서 항복 전압이 최대가 될 수 있도록 P+ shielding의 깊이를 최적화해야 한다. 이 과정이 그림 3. (a)에 나타나 있다. 그 결과 Trench 깊이가 1um일 때 최대 항복 전압을 갖는 것을 확인하였다.

또한 그림 3. (b)를 보면 Trench 폭이 넓어질수록 항복 전압이 증가하는 것을 확인할 수 있다. 마찬가지로 이는 P+ shielding의 영역이 넓어질수록 이 부분에 인가되는 전압이 증가하여 P base의 리치스루 효과를 완화하기 때문이다. 본 논문에서는 Trench의 최대 폭을 1um라고 고려했는데, 이는 이 값에서 P+ shielding이 Source 영역과 맞닿기 때문이다. 그 결과 Trench의 깊이와 폭이 각각 1um, 2um일 때 4416V로 항복 전압은 가장 큰 값을 갖는다.

Trench 크기를 최적화한 이후 drift 농도 조절을 통해 제안한 구조의 항복 전압을 3300V급으로 최적화하였다. 그림 4. 은 TS-DMOSFET 구조에서 drift 농도 변화에 따른 항복 전압의 변화를 나타낸 그래프이다. 그림 3.을 통해 확인할 수 있듯이 drift 농도가 $3 \times 10^{15} \text{cm}^{-3}$ 일 때 3300V급의 항복 전압을 갖는다.

Table 1. Parameters of the TS-DMOSFET Source Trench.

표 1. TS-DMOSFET 구조의 파라미터

Parameters	Value
Cell pitch	10 μ m
Drift layer thickness	30 μ m
p-base thickness	1 μ m
N-sub thickness	1 μ m
Gate oxide thickness	50nm
JFET width	2.5 μ m
Source thickness	0.2 μ m
P-base length	1 μ m
Trench depth	1 μ m
Trench width	1 μ m
Source doping concentration	1 $\times 10^{19}$ cm ⁻³
P+ shielding doping concentration	5 $\times 10^{18}$ cm ⁻³
drift doping concentration	3 $\times 10^{15}$ cm ⁻³

3. 시뮬레이션 결과 및 분석

3300V급으로 최적화 된 세 구조의 전기적 특성을 비교하기 위해 시뮬레이션을 통해 세 구조의 항복 전압 및 온저항 그리고 항복 시 전계 분포를 분석하였다. TS-DMOSFET 구조의 주요 파라미터는 표 1과 같다. 다만, 3300V급의 항복 전압을 가질 때 3 $\times 10^{15}$ cm⁻³의 drift 농도를 갖는 TS-DMOSFET 구조와는 달리 C- 및 S-DMOS FET 구조는 각각 1.1 $\times 10^{15}$ cm⁻³, 1.6 $\times 10^{15}$ cm⁻³의 drift 농도를 갖는다.

그림 5.는 세 구조에서 항복이 발생했을 때의 전계 분포를 나타낸 그림이다. 그림 5. (a)를 보면 P-base 영역 전체가 공핍 영역이 된 것을 확인할 수 있다. 이를 통해 리치스루 현상이 일어난 것을 확인할 수 있다. 앞에서 언급한 것과 같이 리치스루 현상은 소자가 낮은 전압에서 항복이 일어나게 한다. 그림 5. (a)를 통해 확인할 수 있듯이 P-base에서의 최대 전계는 1.5MV/cm로 SiC 한계 전계 전계보다 현저히 작은 값을 가진다. 그 결과 그림 6.에서 확인할 수 있듯이 같은 drift 농도를 가질 때 C-DMOSFET 은 현저히 낮은 항복 전압을 갖는다. 그림 5. (b)를 보면 S-DMOSFET 구조에서는 P+ shielding 구조에서 최대 전계 값을 가지며 이 때 전계 값은 약 3.1MV/cm이다. 그림 5. (C)를 통해 알 수 있듯이 TS-DMOSFET 구조에서도 P+ shielding 구조에서 최대 전계 값을 가진다. 반면에 두 구조와는 달리 P+ shielding 부분에서의 최대 전계 값은 4.9MV/cm이다. 이는 다른 구조들보다 P+ shielding 부분에 더 많은 전압이 인가되는 것을 의미한다. 이로 인해

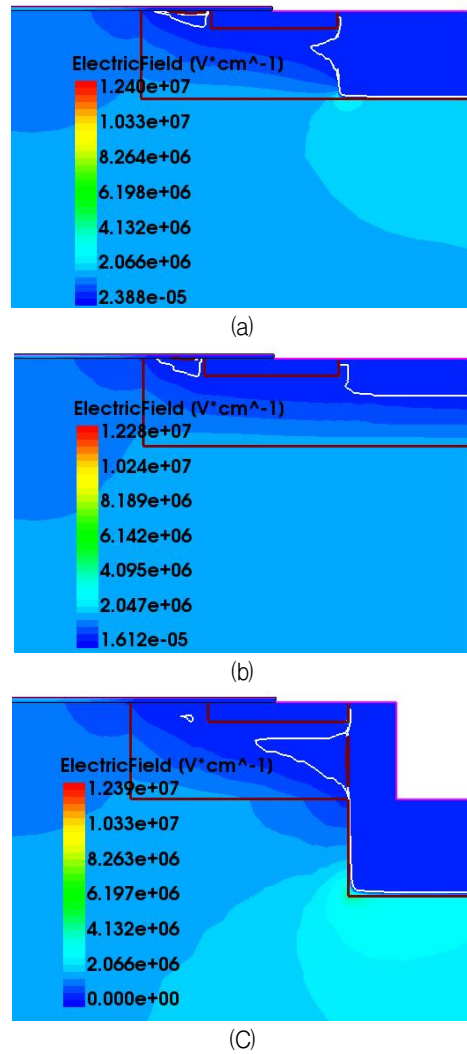


Fig. 5. Electricfield distribution of (a) C-DMOSFET (b) S-DMOSFET (c) TS-DMOSFET.

그림 5. 두 구조의 전계 분포도 (a) C-DMOSFET (b) S-DMOSFET (c) TS-DMOSFET

TS-DMOSFET 구조에서는 P-base에서의 전계가 완화되어 그림 6.에서 확인할 수 있듯이 같은 drift 농도를 가질 때 다른 두 구조에 비해 더 높은 항복 전압을 가질 수 있다. 즉, 이는 같은 항복 전압을 가질 때 더 높은 drift 농도를 가질 수 있으므로 더 낮은 온저항을 구현할 수 있음을 의미한다.

다음으로 그림 7.는 세 구조의 항복 전압을 3300V로 최적화한 결과 그래프(그림 7. (a))와 이때 세 구조의 출력 특성(그림 7. (b))을 나타낸다. 그림 7. (b)는 Gate에 각각 10V, 15V, 20V의 전압이 인가된 상태에서 Drain 전압을 0V부터 1700V까지 변화시킬 때 각 소자에 흐르는 Drain 전류를 측정된 그래프로 이 그래프를 통해 도통 시 온저항을 확인할 수 있다. Gate 전압이 20V일 때 C- 및 S-DMOSFET

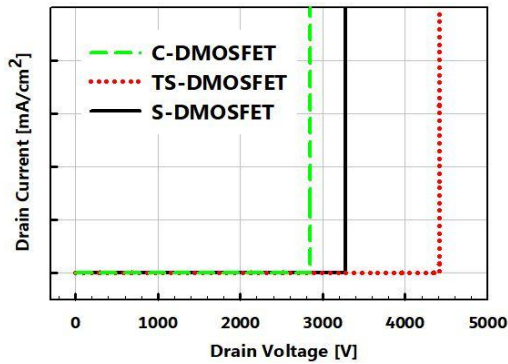
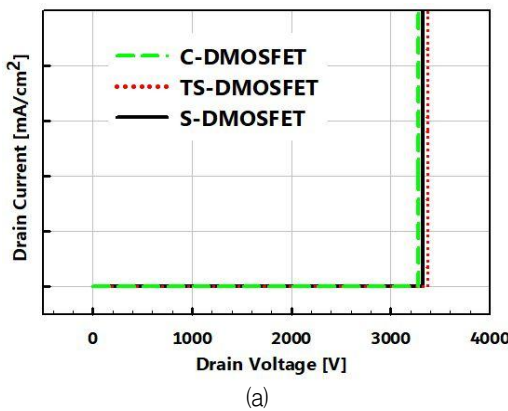
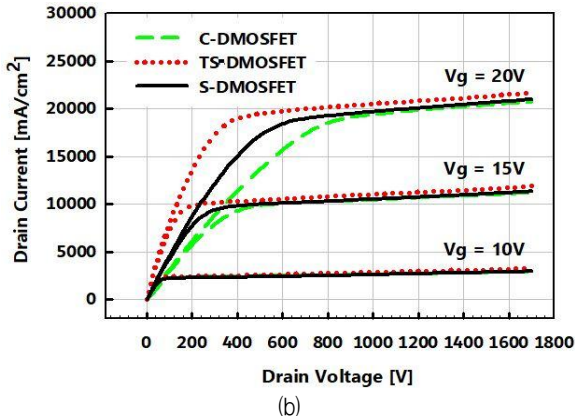


Fig. 6. Breakdown Voltage graph at the same drift concentration.
그림 6. drift 농도가 같을 때 각 구조의 항복 전압 그래프



(a)



(b)

Fig. 7. (a) Breakdown Voltage graph
(b) Output characteristics comparison graph.
그림 7. (a) 항복 전압 그래프 (b) 출력 특성 비교 그래프

구조의 경우 각각 $30.5\text{m}\Omega\text{cm}^2$, $19.3\text{m}\Omega\text{cm}^2$ 의 온저항을 갖는다. 반면에 TS-DMOSFET 구조는 $9.7\text{m}\Omega\text{cm}^2$ 으로 두 구조에 비해 각각 68%, 54% 개선된 온저항 값을 갖는다. 두 구조의 온저항 값 차이의 원인은 앞서 언급한 것과 같이 같은 항복 전압을 가질 때 TS-DMOSFET 구조에서 더 높은 drift 농도를 가질 수 있기 때문이다.

각 구조의 전기적 특성(온저항, 항복 전압)과 전력 반도체 소자의 전기적 특성을 나타내는 성능 지

수인 BFOM도 계산하여 표 2에 정리하였다[7].여기서 BFOM은 항복전압, 온저항과 다음의 관계를 갖는다[8].

$$BFOM = \frac{BV^2}{R_{on}} \quad (1)$$

표 2.에 나온 것과 같이 TS-DMOSFET 구조의 BFOM은 $1175.3\text{MW} \cdot \text{cm}^{-2}$ 으로 C- 및 S-DMOSFET 구조에 비해 각각 3.2배, 2.2배 더 높은 BFOM 값을 가진다. 따라서 이는 Trench Shielding 구조를 도입함으로써 전기적 특성이 개선되었음을 의미한다.

Table 2. The static characteristics comparison.

표 2 정적 특성 비교

Parameters	C-DMOS FET	S-DMOS FET	TS-DMOS FET
Breakdown voltage[V]	3280.0	3364.8	3373.9
On-resistance [$\text{m}\Omega \cdot \text{cm}^2$]	30.475	19.309	9.6853
Figure of Merit [$\text{MW} \cdot \text{cm}^{-2}$]	353.02	586.21	1175.3

III. 결론

C- 및 S-DMOSFET 구조에서 리치스루 효과를 완전히 억제하지 못해 항복 전압이 제한되는 문제를 해결하기 위해 더 깊은 영역에 P+ shielding을 형성하고자 했다. 따라서 S-DMOSFET 구조에 Trench를 형성한 후 도핑을 진행한 TS-DMOSFET 구조를 제안하였다. 이로 인해 SiC 물질임에도 깊은 영역에 P+ shielding을 형성할 수 있으며 깊은 영역에 형성된 P+ shielding에 의해 P base에서의 리치스루 효과를 완전히 억제할 수 있게 되었다. 또한 이 효과로 인해 전기적 특성이 개선되는 것을 TCAD 시뮬레이션을 통해 확인하였다.

TS-DMOSFET 구조의 경우 Drift 농도의 최적화를 통해 3300V급의 항복 전압을 가질 때, 온저항은 $9.7\text{m}\Omega\text{cm}^2$ 으로 C- 및 S-DMOSFET 구조에 비해 각각 68%, 54% 개선된 온저항을 갖는다. 따라서 제안한 구조의 경우 소자의 동작에 있어서 낮은 온저항으로 인해 전력 손실을 낮출 수 있으므로 에너지 효율을 증가시킬 수 있다.

References

- [1] Huang Runhua et al., "Design and fabrication of a 3.3kV 4H-SiC MOSFET," *Journal of Semiconductors*, Vol.36, No.9, 2015.
DOI: 10.1088/1674-4926/36/9/094002
- [2] B. J. Baliga, "Fundamentals of Power Semiconductor Devices," NY, USA: Springer, pp.23-166, 2010.
- [3] G. De Martino, F. Pezzimenti, F. G. Della Corte, G. Adinolfi and G. Graditi, "Design and Numerical Characterization of a Low Voltage Power MOSFET in 4H-SiC for photovoltaic Applications," *2017 13th conference on Ph. D. Research in Microelectronics and Electronics (Prime)*, IEEE pp.221-224, 2017.
DOI: 10.1109/PRIME.2017.7974147
- [4] H. Okumura, H. Harima, Prof. T. Kimoto, M. Yoshimoto, H. Watanabe, T. Hatayama, H. Matsuura, T. Funaki and Y. Sano, "Blocking Characteristics of 2.2 kV and 3.3 kV-Class 4H-SiC MOSFETs with Improved Doping Control for Edge Termination," *Materials Science Forum*, Vol.778-780, pp915-918, 2014.
DOI: 10.4025/www.scientific.net/msf.778-780. 915
- [5] A. Poggi, F. Bergamini, S. Solmi, M. Canino, and A. Carnera, "Effects of heating ramp rates on the characteristics of Al implanted 4H-SiC junctions," *Appl. Phys. Lett.*, vol.88, no.16, pp.162-106, 2006.
- [6] W. Ni, X. Wang, M. Xu, M. Li, C. Feng, H. Xiao, W. Li, Q. Wang, H. Schlichting and T. Erlbacher, "Design and Fabrication of 3300V 100mΩ 4H-SiC MOSFET with Stepped p-body structure," *2019 16th China International Forum on Solid State Lighting & 2019 International Forum on Wide Bandgap Semiconductors China*, IEEE, pp.50-53, 2019.
DOI: 10.1109/SSLChinaFWS49075.2019.9019
- [7] S. Hu et al., "A comparative study of a deep trench superjunction SiC VDMOS device," *Journal of Computational Electronics*, Vol.18, no.2, pp. 553-560, 2019. DOI: 10.1007/s10825-019-01318-2
- [8] B. J. Baliga, "Power semiconductor device figure of merit for high-frequency applications," *IEEE*

- Trans. Electron Devices*, Vol.64, no.3, pp.674-691, 2017. DOI: 10.1109/TED.2017.2653239
- [9] Y. Kobayashi, S. Harada, H. Ishimori, S. Takasu, T. Kojima, K. Ariyoshi, M. Sometani, J. Senzaki, M. Takei, Y. Tanaka and H. Okumura, "3.3kV-class 4H-SiC UMOSFET by Double-trench with Tilt Angle Ion Implantation," *Material Science Forum*, Vol. 858, pp.974-977, 2016.
DOI: 10.4028/www.scientific.net/MSF.858.974
- [10] B. J. Baliga, "Silicon Carbide Power Devices," NCSU, USA: *World Scientific*, pp.259-304, 2006.
- [11] N. Iwamura, "SiC power device design and fabrication," *Wide Bandgap Semiconductor Power Devices*, pp.104-106, 2019.

BIOGRAPHY

Kyu-Hyun Cha (Member)



2020. 2 : BS degree in Electronic Electrical Engineering, Dankook University.
2020. 2~present : MS degree in Electrical Engineering, Sogang University.

Kwang-Soo Kim (Member)



1981 : BS degree in Electronic Engineering, Sogang University.
1983 : MS degree in Electronic Engineering, Sogang University.
2006 : PhD degree in Electronic Engineering, Sogang University.

1983~1997 : Electronics and Telecommunications Research Institute (ETRI)
1998~2005 : Institute for Information Technology Advancement (IITA)
2005~2008 : Daegu Gyeongbuk Institute of Science and Technology (DGIST)
2008~present : Professor, Electronic Engineering, Sogang University.