

Push-Pull 패스 트랜지스터 구조 및 향상된 Load Transient 특성을 갖는 LDO 레귤레이터

A Low Drop Out Regulator with Improved Load Transient Characteristics and Push-Pull Pass Transistor Structure

권 상 욱*, 송 보 배**, 구 용 서*★

Sang-Wook Kwon*, Bo Bae Song**, Yong-Seo Koo*★

Abstract

In this paper present a Low Drop-Out(LDO) regulator that improves load transient characteristics due to the push-pull pass transistor structure is proposed. Improved load over the existing LDO regulator by improving the overshoot and undershoot entering the voltage line by adding the proposed push-pull circuit between the output stage of the error amplifier inside the LDO regulator and the gate stage of the pass transistor and the push-pull circuit at the output stage. It has a delta voltage value of transient characteristics. The proposed LDO structure was analyzed in Samsung 0.13um process using Cadence's Virtuoso, Spectre simulator.

요 약

본 논문에서는 Push-Pull 패스 트랜지스터 구조로 인하여 향상된 Load Transient 특성을 향상시킨 LDO(Low Drop-Out)를 제안하였다. LDO 레귤레이터 내부의 오차증폭기의 출력단과 패스 트랜지스터의 게이트단 사이에 제안된 Push-Pull 회로와 출력단에 Push-Pull 회로를 추가하여 전압 라인에 들어오는 Overshoot, Undershoot를 개선시켜 기존의 LDO 레귤레이터보다 개선된 Load Transient 특성의 델타 피크 전압 값을 갖는다. 제안하는 회로는 Cadence의 Virtuoso, Spectre 시뮬레이션을 이용하여 삼성 0.13um 공정에서 특성을 분석하였다.

Key words : LDO regulator, Load Transient Response, Capless, Load Regulation

* Department of Electronics and Electrical Engineering,
Dankook.

★ Corresponding author

E-mail : kso804@naver.com, Tel : +82-31-8005-3625

※ Acknowledgment

This research was supported by the MSIT(Ministry of Science and ICT), Korea, under the ITRC(Information Technology Research Center) support program(IITP-2020-2018-0-01421) supervised by the IITP(Institute for Information & Communications Technology Planning & Evaluation)" The chip fabrication and EDA tool were supported by the IC Design Education Center(IDEC), Korea.

Manuscript received Jun. 7, 2020; revised Jun. 23, 2020; accepted Jun. 26, 2020.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

최근 전자기기들의 Mobile화가 가속되어 가는 추세이다. 주요부품의 사이즈가 작아지고 있으며 소비자들의 고성능, 고효율 제품 요구가 높아지고 있다. 이와 같은 Mobile 제품을 구현하기 위해서는 사이즈, 배터리 용량, 발열 등의 제한된 환경의 극복을 필요로 한다. 작은 배터리를 사용하여 제품 크기를 줄이면 좋겠지만 사용시간이 줄어드는 문제를 감수해야한다. 더불어 고성능 AP(Application Processor)를 포함하여 전력소모가 많은 부품들이 장착되고 추가되는 많은 기능들을 발현하기 위해서는 효율적인 전력관리가 필수적이다. 레귤레이터는 예측 불가능한 외부 조건에도 안정적인 전원을 공급할 수 있게 하는 회로이다. 특히 Noise가 많은

공급전원으로부터 안정적이고 일정하며 정확한 출력전원을 Load와 독립적으로 동작하도록 하는 회로이다[1]. Power Management IC(PMIC)는 입력에 대한 전력을 알맞은 출력 전력으로 변화시켜 각 시스템에서 요구되는 전원을 알맞게 공급하기 위한 장치이다. 이렇게 PMIC는 전력 변환 과정에서 빠르면서도 안정적인 전원 공급과 높은 변환 효율이 가장 중요한 요소이다. PMIC는 크게 리니어 레귤레이터인 LDO 레귤레이터와 스위칭 레귤레이터로 나누어진다[2]. 선형 레귤레이터의 특징은 응답속도의 장점이 있고 노이즈가 작지만 상대적으로 낮은 효율을 가진다. 또한, 스위칭 레귤레이터의 특징은 효율이 높다는 장점이 있지만 외부 소자가 필요하며 노이즈의 특성이 좋지 않기 때문에 고성능을 필요로 하는 아날로그 시스템에서는 리니어 레귤레이터가 많이 사용된다.

본 논문에서는 패스 트랜지스터와 오차증폭기 사이에 Push-Pull 전압 조절 회로를 추가하여 기존의 LDO 레귤레이터의 특성보다 향상된 Load Regulation, Transient Response를 갖는 선형 레귤레이터를 제안한다[3].

II. 본론

1. Low Drop-Out 레귤레이터

그림 1, 2은 기본 LDO 레귤레이터의 블록 다이어그램이다. LDO 레귤레이터는 밴드갭 레퍼런스와 오차증폭기, Pass Transistor, 피드백 저항, 부하전류로 구성되어 있다. 밴드갭 레퍼런스는 온도와 입력전압의 변화에 대하여 이상적인 전류원, 전압원처럼 특정 범위 내에서 일정한 전압을 제공한다. 오차 증폭기는 출력전압과 레퍼런스 전압을 비교하여 패스 트랜지스터의 게이트로 인가되며 저

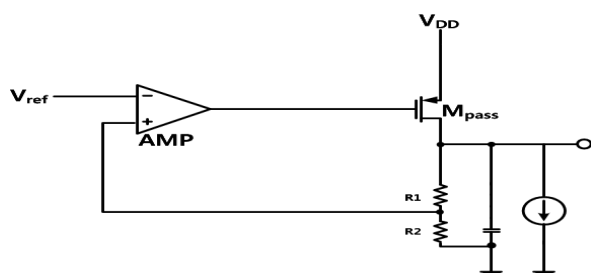


Fig. 1. Block diagram of LDO Regulator.
그림 1. LDO 레귤레이터의 블록 다이어그램

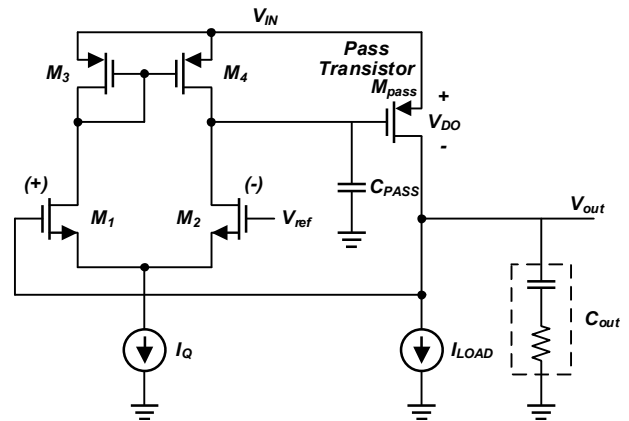


Fig. 2. Schematic of LDO Regulator.
그림 2. LDO 레귤레이터의 스케메틱

전압 강하를 일으켜(Low Drop) 출력이 일정한 전압을 제공한다. 출력단의 커패시터는 LDO 동작의 Stability를 위해 일반적으로 수 마이크로패럿의 값을 갖는다. LDO 레귤레이터의 안정적인 구동과 성능에 기준이 되는 것은 최대 출력전압과 부하 전류에 대한 안정도이며, 최대 출력전압을 제공함에 따라 Dropout 전압이 작아야한다[4]. 또한 Load 과도응답특성은 부하전류가 급격하게 변화하였을 경우, 출력전압의 변화를 보는 지표이다. 따라서 Load과 과도응답특성은 시간에 대한 전압 변화를 의미하며, 작은 값을 가질수록 LDO는 개선된 전기적 특성을 갖는다[4]. 그림 2는 LDO 레귤레이터의 스케메틱이다. 기본적인 LDO 레귤레이터는 출력단에 \$C_{out}\$ 크기에 따라 On-chip의 유무를 정할수 있다. 100pF 이하의 커패시터로 LDO 레귤레이터를 설계한다면 On-chip이 가능하고, 그 이상의 커패시터로 설계한다면 외부에 커패시터를 따로 달아줘야 한다[5].

2. 제안된 Push-Pull LDO 레귤레이터

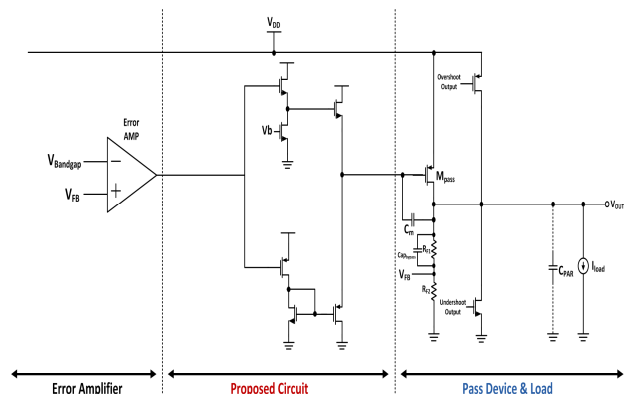


Fig. 3. The Proposed LDO Regulator.
그림 3. 제안된 LDO 레귤레이터

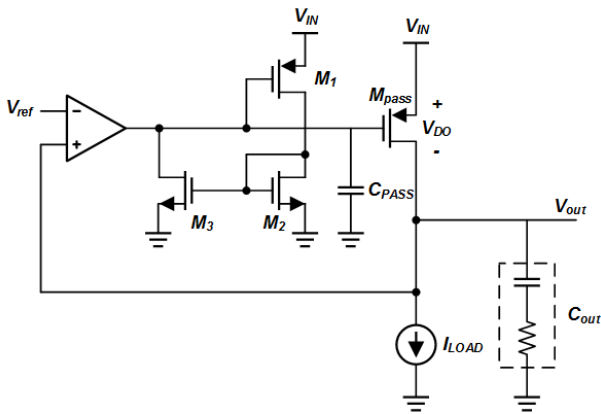


Fig. 4. The Conventional Push-Pull LDO Regulator.
그림 4. Push-Pull 구조를 갖는 기본 LDO 레귤레이터

그림 4은 Push-Pull 구조로 패스 트랜지스터의 게이트단과 공급전원단 사이에 Push-Pull 전압 조절회로를 추가한 LDO 레귤레이터이다. 피드백 전압에 따라 오차증폭기의 출력이 바뀌게 되는데, 그로 인하여 M1, M2의 게이트 전압의 변동되면서 전류를 Push-Pull 해주는 구조이다. 출력전압이 상승하게 된다면, 오차증폭기의 전압이 높아질 것이고 M1의 전류는 감소하고 M2, M3의 게이트전압이 하강한다. 따라서 오차증폭기로 인하여 상승된 출력 전압을 보다 빨리 상승시키는 효과를 가져 올 수 있기 때문에 패스 트랜지스터의 전류는 감소하게 되며, 기존 출력대비 상승한 전압을 다시 하강시켜주는 효과를 갖는다. LDO의 출력전압이 감소하게 되면 오차증폭기의 출력이 기존전압 대비 감

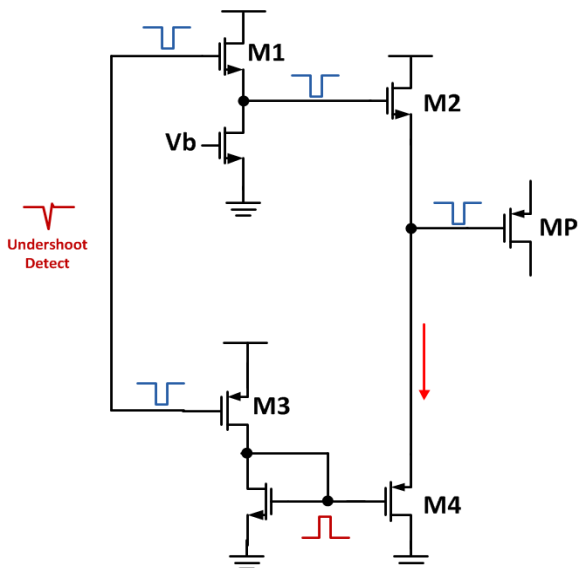


Fig. 5. The Proposed LDO Undershoot Detect Circuit.
그림 5. 제안된 LDO Undershoot Detect Circuit

소하면서 M1 게이트 전압이 하강하게 되고, M2, M3의 Mosfet의 게이트 전압이 상승하게 된다. 따라서 오차증폭기로 인해 하강된 출력 전압을 보다 빠르게 피드백 시켜 패스 트랜지스터의 게이트단의 전압이 하강하게 된다. 그러므로 패스 트랜지스터의 전압이 피드백을 거쳐 하강되는 효과를 가져 오기 때문에 전류는 상승 할 것이고, 하강한 전압을 상승시켜주는 효과를 갖는다[6].

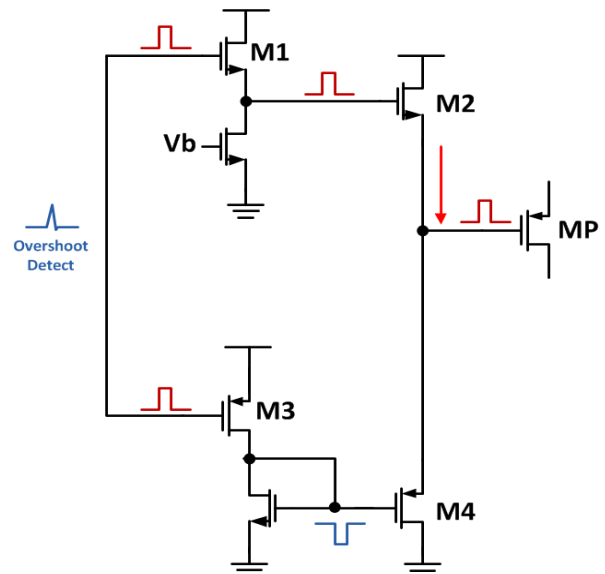


Fig. 6. The Proposed LDO Overshoot Detect Circuit.
그림 6. 제안된 LDO Overshoot Detect Circuit

그림 3은 제안된 LDO 레귤레이터의 회로도이다. 출력전압의 변동에 의한 변화를 기존 출력대비 상승되거나 하강되는 전압을 보다 효율적으로 제어 하기 위하여 구성된 회로이다. 그림 5는 출력전압이 Undershoot 되었을 때는 M1, M3의 게이트전압이 순간적으로 하강하며, M2의 게이트전압이 하강되어 M2의 전류가 줄어들고 M4의 게이트전압이 상승하여 M4의 전류가 상승하여 기존 출력대비 하강한 전압을 다시 상승시켜주는 효과를 갖는다. 그림 6은 출력전압이 Overshoot 되었을 때의 회로도이다. 출력전압이 순간적으로 상승하게 되었을 때는 M1, M3의 게이트전압이 상승하여 M2의 게이트전압 상승으로 인하여 M2의 전류가 상승하고 M4의 전류가 줄어들기 때문에 기존 출력대비 상승한 전압을 다시 하강시켜주는 효과를 가질 수 있다. 또한 Overshoot 시에는 그림 6에 M2의 게이트 전압이 Overshoot Output단과 연결되어 있어서 출력전압이 순간적으로 상승하였을 때 오차증폭기의

출력단과 패스 트랜지스터의 게이트단 사이와 출력단을 동시에 Push-Pull 구조로 이용하여 기존 출력대비 상승한 전압을 다시 하강시켜주는 효과를 가지게 된다. 반대로 Undershoot 시에는 그림 5에 M2의 게이트 전압이 Undershoot Output단과 연결되어 있어서 출력전압이 순간적으로 하강하였을 때 오차증폭기의 출력단과 패스 트랜지스터의 게이트단 사이와 출력단을 동시에 Push-Pull 구조로 가져감으로써 기존 출력대비 하강한 전압을 다시 상승시켜주는 효과를 가진다. 출력단에 달린 Push-Pull 구조는 레귤레이터의 Phase Margin에 영향을 주지 않는다. 그 이유는 출력단에 달린 Push-Pull 구조 Mosfet은 스위치로 동작하기 때문에 Stability에 영향을 주지 않게 설계되었다. 커패시터의 크기가 크다면 Overshoot, Undershoot의 Δ 값이 보다 적겠지만, 커패시터의 크기를 100pF으로 함으로써 System On Chip을 가져감과 동시에 Δ 값을 개선시킬 수 있다는 것에 대한 장점이 존재한다. 물론 커패시터의 크기는 100pF 이상으로 설계가 할 수 있지만 그렇게 된다면 LDO 레귤레이터의 Stability와 Phase Margin을 다시 조정하여 설계해야한다[7].

3. 시뮬레이션 결과

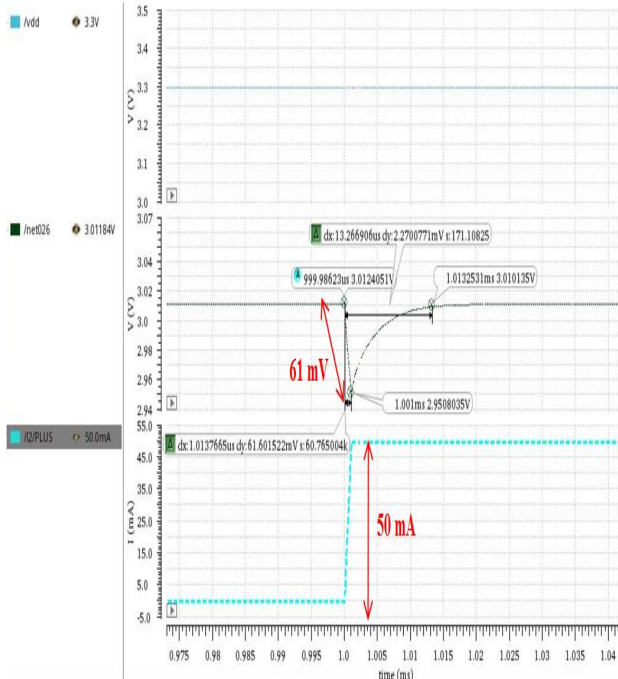


Fig. 7. The falling time load transient simulation result for the proposed LDO.
 그림 7. 제안된 LDO의 Falling Time Load Transient 시뮬레이션 결과

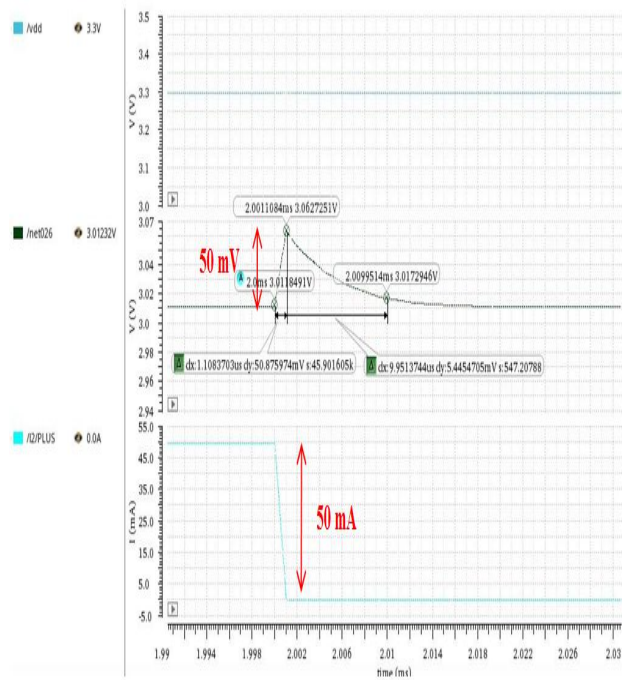


Fig. 8. The rising time load transient simulation result for the proposed LDO.
 그림 8. 제안된 LDO의 Rising Time Load Transient 시뮬레이션 결과

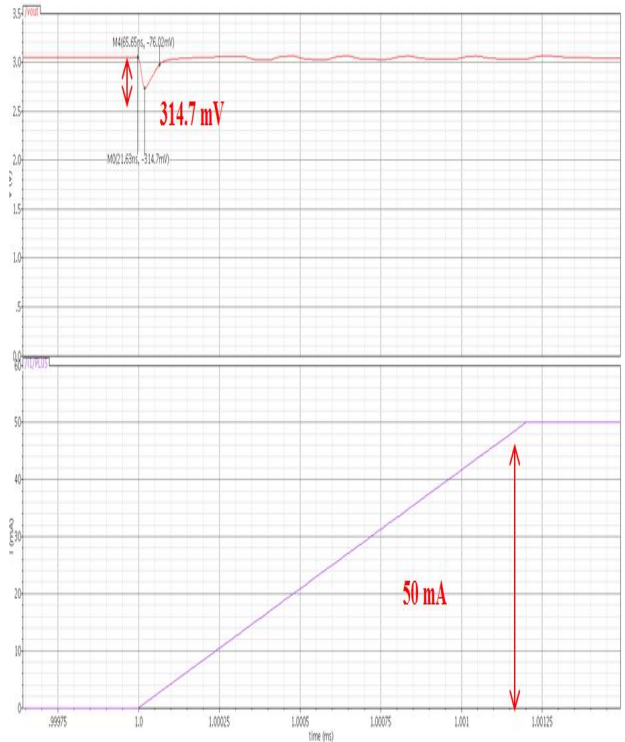


Fig. 9. The falling time load transient simulation result for the conventional LDO.
 그림 9. 기존 LDO의 Falling Time Load Transient 시뮬레이션 결과

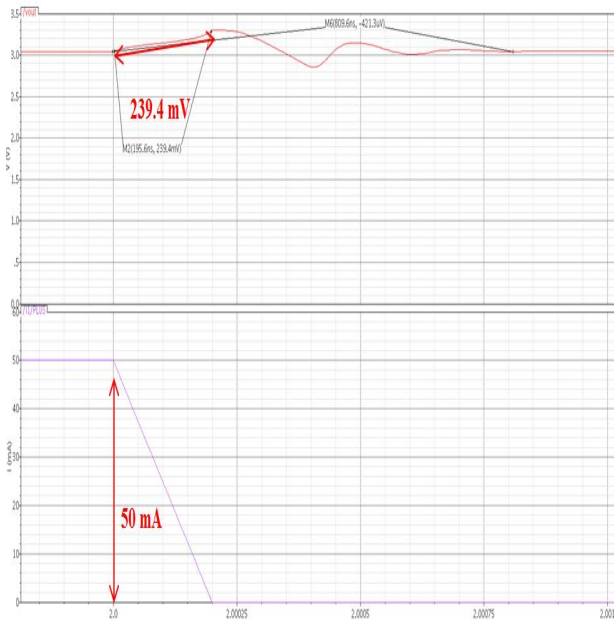


Fig. 10. The rising time load transient simulation result for the conventional LDO

그림 10. 기존 LDO의 Rising Time Load Transient 시뮬레이션 결과

Table 1. The conventional LDO circuit data.

표 1. 기본 LDO 회로 데이터

Conventional Circuit With LDO Regulator	
Input Voltage	3.3V
Output Voltage	3V
Reference Voltage	1.2V
Dropout Voltage	300mV
Load Transient Response	$\Delta 239\text{mV}$ ($\Delta I_{\text{load falling}}=50\text{mA}$) $\Delta 314\text{mV}$ ($\Delta I_{\text{load rising}}=50\text{mA}$)

Table 2. The proposed LDO circuit data.

표 2. 제안된 회로 데이터

Proposed Circuit With LDO Regulator	
Input Voltage	3.3V
Output Voltage	3V
Reference Voltage	1.2V
Dropout Voltage	300mV
Load Transient Response	$\Delta 50\text{mV}$ ($\Delta I_{\text{load falling}}=50\text{mA}$) $\Delta 61\text{mV}$ ($\Delta I_{\text{load rising}}=50\text{mA}$)

그림 9, 그림 10는 기존 LDO의 Transient의 ΔV_{out} 에 대한 시뮬레이션 결과이다. 시뮬레이션 결과를 보면 Load 전류가 50 mA 상승할 때 $\Delta 314$ mV의 전압 피크치를 가지며, 감소하는 시점에는

$\Delta 213$ mV의 피크치를 가지게 된다. 제안한 Push-Pull 구조를 사용하여 부하전류에 따른 피크치를 개선시킬 수 있었다. 표 1, 표 2는 기존 LDO와 제안된 LDO의 데이터시트를 명시해놓았다. 두 개의 표를 비교해본다면 기존 LDO에 비해 개선되어진 Transient 피크치를 확인 할 수 있다. 따라서 제안된 LDO는 Rising Time에서 약 250 mV, Falling Time에서는 약 160 mV의 향상된 피크치 전압을 갖는다.

III. 결론

본 논문에서는 기존에 존재하던 LDO 레귤레이터의 오차증폭기의 출력단과 패스 트랜지스터의 게이트 사이에 Push-Pull 회로를 추가하여 Load Transient의 전압 피크치 성능을 개선시킨 LDO 레귤레이터를 제안하였다. 시뮬레이션으로 확인해보면 기존의 LDO 레귤레이터 보다 부하전류에 대한 Transient 피크치가 개선되었으므로 제안된 회로가 Undershoot, Overshoot를 개선시키도록 효과적임을 알 수 있다. 그 결과 출력 전류, 전압의 변동에도 피크치가 감소하여 동작하는 LDO 레귤레이터를 개발하였다. 본 논문은 삼성 0.13um공정을 사용하여 시뮬레이션을 진행하였다.

References

- [1] Behzad Razavi, "Design of Analog CMOS Integrated Circuits," Hanbit media, pp.353-406, 2011.
- [2] Yong-Seo Koo; Kang-Yoon-Lee; Jae-Hwan Ha; Yil-Suk Yang. "A Design of Power Management IC for CCD Image Sensor" *IKEEE*, vol.13, no.4, pp.63-68, 2009. DOI: 10.7471/ikeee.2019.23.1.22
- [3] Behzad Razavi, "Design of Analog CMOS Integrated Circuits," Hanbit media, pp.353-406, 2011.
- [4] Behzad Razavi, "Design of Analog CMOS Integrated Circuits," *Hanbit media*, pp.295-326, 2011.
- [5] Yong-Seo Koo. "A design of low-area low drop-out regulator using body bias technique" *IEICE Electronics Expresss*, vol.10, no.19, pp.1-12,

2013. DOI: 10/19/10_10.20130300e

[6] Al-Shyoukh, M; Hoi Lee; Perez, R, "A Transient-Enhanced Low-Quiescent Current Low-Dropout Regulator With Buffer Impedance Attenuation," *Solid-State Circuits, IEEE Journal of*, vol.42, pp.1732-1742, 2007. DOI: 10.1109/JSSC.2007.900281

[7] Liang-Guo Shen, Zu-Shu Yan, Xing Zhang, Yuan-Fu Zhao, Ming Gao, "A fast-response low-dropout regulator based on power-efficient low-voltage buffer," *Circuits and Systems, 2008. MWSCAS 2008. 51st Midwest Symposium on*, pp.546-549, 2008.

DOI: 10.1109/MWSCAS.2008.4616857

BIOGRAPHY

Kwon Sang-Wook (Member)



2017 : BS degree in Electrical Engineering, SeoKyeong University.
2018~ : Unified course of the master's and the doctor's in Electronics and Engineering, DanKook University.

Song Bo-Bae (Member)



2012 : BS degree in Electrical Engineering, SeoKyeong University.
2014 : MS degree in Electronics and Engineering, DanKook University.
2018 : Ph.D degree in Electronics and Engineering, DanKook University.

Yong Seo-Koo (Member)



1981 : BS degree in Electronics Engineering, Sogang University.
1983 : MS degree in Electronics Engineering, Sogang University.
1992 : Ph.D degree in Electronics Engineering, Sogang University.

Current research interest : integrated circuit, micro processor