

GaN HEMT의 안정적 구동을 위한 수직 격자 루프 구조의 기생 인덕턴스 저감 설계 기법

양시석¹, 소재환¹, 민성수¹, 김래영[†]

Parasitic Inductance Reduction Design Method of Vertical Lattice Loop Structure for Stable Driving of GaN HEMT

Si-Seok Yang¹, Jae-Hwan Soh¹, Sung-Soo Min¹, and Rae-Young Kim[†]

Abstract

This paper presents a parasitic inductance reduction design method for the stable driving of GaN HEMT. To reduce the parasitic inductance, we propose a vertical lattice loop structure with multiple loops that is not affected by the GaN HEMT package. The proposed vertical lattice loop structure selects the reference loop and designs the same loop as the reference loop by layering. The design reverses the current direction of adjacent current paths, increasing magnetic flux cancellation to reduce parasitic inductance. In this study, we validate the effectiveness of the parasitic inductance reduction method of the proposed vertical lattice loop structure.

Key words: GaN, Parasitic inductance, PCB layout, Flux cancellation

1. 서 론

현대 산업계에서 MOSFET, IGBT와 같은 전력 반도체 소자들이 여러 전력 변환 시스템에 광범위 하게 사용되고 있다. 소비자들에 의해 전력 반도체 소자들을 이용한 전력 변환 시스템의 높은 전력 밀도, 고효율과 같은 요구들이 계속해서 있어왔다. Si 기반 전력 반도체는 지속적인 개발을 통해 성능 향상을 이뤄졌으나, 최근 기술적 한계에 도달하였다^[1]. 최근 Si 소자의 기술적 한계를 극복한 WBG 소자의 등장은 전력 변환 시스템의 더 높은 전력 밀도와 고효율을 기대할 수 있게 되었다^{[2]-[4]}. WBG 소자 중 특히 GaN HEMT는 보다 빠른 스위칭 속도를 갖고 있고, 2DEG(two dimensional electron gas) 층을 이루면서 높은 전자 밀도로 인하여 도통 시 손실이 작다^[5].

하지만 GaN의 안정적인 구동을 위한 고려사항들이

있다^{[6]-[8]}. 첫 번째 고려사항은 빠른 di/dt, dv/dt 이다. 작은 기생 성분으로도 큰 di/dt, dv/dt로 인해 전압 스파이크나 ringing이 발생하고, 이에 따라 손실이 증가하거나 심하게는 소자가 파손 될 수 있다. 두 번째 고려사항은 소자의 구동 전압 범위가 매우 작다. Si 소자의 구동 전압이 -20~20V 범위를 가지고 있고 GaN 소자의 구동 전압이 -10~7V 정도의 작은 구동 전압 범위를 가지고 있어 소자 구동 시 overshoot나 ringing으로 인해 소자가 파손될 수 있다. 세 번째 고려사항은 낮은 문턱 전압이다. Si 소자의 경우 3V 정도의 문턱 전압을 갖고 있지만 GaN 소자는 1.5V 정도의 낮은 문턱 전압을 갖고 있어, turn-off 시 게이트 소스 전압의 ringing에 의해 false turn-on이 발생할 수 있다.

위에서 언급된 현상을 야기하는 주된 원인은 소자와 회로상에 존재하는 기생 커패시터와 기생 인덕턴스의 공진으로 발생하는 ringing과 overshoot이다. 따라서 기생 성분으로 유발된 영향을 저감시키기 위한 연구들이 진행되고 있고, 그중에서도 특히 기생 인덕턴스의 영향을 저감시키기 위한 연구들이 활발히 진행되고 있다^{[9]-[15]}.

참고 논문 [9]는 RC snubber 회로나 bead를 통해 기생 인덕턴스에 의한 영향을 저감시킬 수 있지만 회로 추가에 따른 손실과 저주파 동작 시 인덕턴스 증가와 같은 trade-off가 존재한다. 참고 논문 [10]은 PCB trace의 폭을 키우고 높이를 줄여 기생 인덕턴스를 저감하지만

Paper number: TKPE-2020-25-3-6

Print ISSN: 1229-2214 Online ISSN: 2288-6281

[†] Corresponding author: rykim@hanyang.ac.kr, Dept. of Electrical Bio-Engineering, Hanyang University
Tel: +82-2-2220-0341 Fax: +82-2-2220-0570

¹ Dept. of Electrical Engineering, HYPEC-EPECS Lab., Hanyang University

Manuscript received Dec. 23, 2019; revised Jan. 31, 2020; accepted Feb. 24, 2020

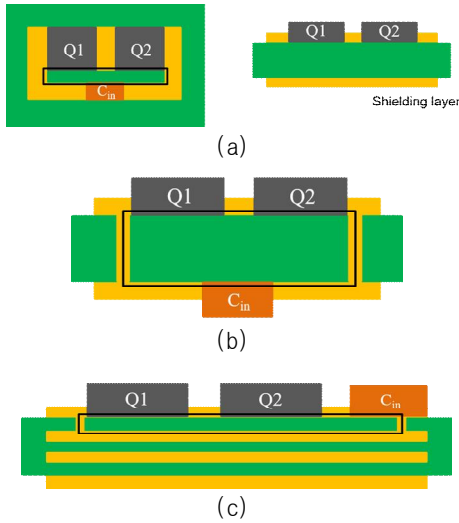


Fig. 1. Conventional method (black line: current loop). (a) Lateral structure, (b) Vertical structure 1, (c) Vertical structure.

전류 루프의 길이에 대한 고려가 없어 기생 인덕턴스 저감에 한계가 있다. 참고 논문 [11]-[13]은 스위치 간 거리를 최소화하고 스위치와 커패시터의 거리를 최대한 가깝게 하여 전류 루프의 길이를 최소화한다. 따라서 기생 인덕턴스를 감소시킬 수 있다. 하지만 전류에 의해 발생하는 자속 간 상쇄에 대한 관계는 고려되지 않아 기생 인덕턴스 저감에는 한계가 있다. 참고 논문 [14]는 PCB layout을 통하여 power loop inductance를 최소화시킨다. 두 가지 구조로 power loop inductance를 감소시킬 수 있는데, 첫 번째 방법은 수평 구조이고, 두 번째 방법은 수직 구조이다. 수평 구조는 그림 1(a)와 같은 구조로 top layer에 power loop가 형성된다. 이 때 전류에 의한 자속이 발생하여 shielding layer에 와전류를 유도하고 와전류에 의한 자속이 top layer에서 발생한 자속과 반대 방향으로 유도되면서 자속 상쇄가 발생하여 power loop inductance는 감소하게 된다. 수직 구조는 그림 1(b), (c)와 같은 구조이다. 그림 1(b)는 스위치가 top layer, 커패시터가 bottom layer에 실장되어 있다. Power loop가 via를 통해 PCB를 관통하여 형성된다. 이때 power loop에 마주 보는 루프 간 전류 방향이 반대이기 때문에 자속 상쇄가 발생하여 power loop inductance는 감소한다. 그림 1(c)는 스위치와 커패시터가 모두 top layer에 있지만 via와 내부 layer를 통하여 power loop를 형성해준다. 따라서 power loop 안에 마주 보는 루프 간 전류 방향이 반대이기 때문에 자속 상쇄가 발생하여 power loop inductance가 감소한다. 하지만 전류 루프가 단일이므로 자속의 상쇄의 한계가 존재하고 따라서 기생 인덕턴스 저감의 한계가 존재한다. 참고 논문 [15]는 그림 2와 같이 다중 루프를 통하여 기존의 단일 루프로 자속 상쇄의 효과를 극대화시켜 기생 인덕턴스를 감소시켰다. 하지만 GaN HEMT의 패키지에

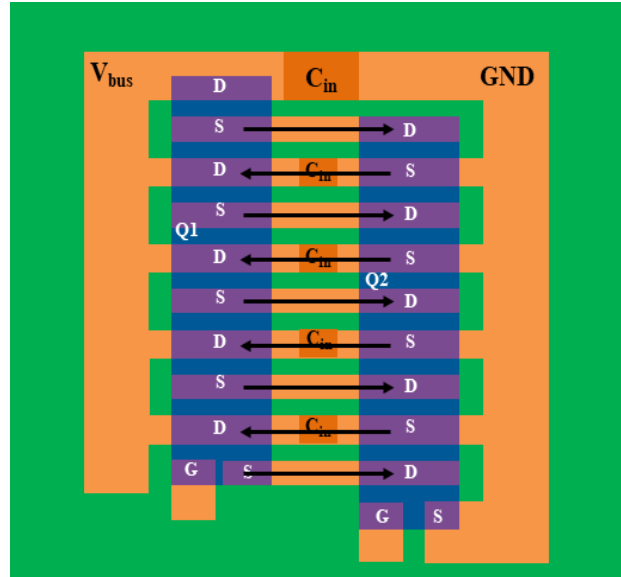


Fig. 2. Multiple loop method (black line: current loop).

따라 적용 여부가 결정되고 gate loop inductance에는 다중 루프를 형성하지 못해 기생 인덕턴스 감소에 한계가 있다.

본 논문은 앞서 언급한 단점들을 극복하기 위해 다중 루프를 power loop 와 gate loop에 모두 적용 가능하고 GaN HEMT의 패키지에 영향을 받지 않는 수직 격자 루프 구조를 제안한다. 제안하는 수직 격자 루프 구조 설계를 위해 자속 상쇄를 가장 크게 가질 수 있는 기준 루프를 선정하고, 기준 루프를 층층이 쌓아 수직 격자 루프 구조를 설계한다. 제안하는 수직 격자 루프 구조를 통해 power loop inductance, gate loop inductance를 동일 면적 대비 단일 루프를 사용했을 때보다 저감시킨다. 마지막으로 제안된 수직 격자 루프 구조의 유효성을 검증하기 위해 기생 인덕턴스에 의해 발생된 overshoot, ringing의 감소, 스위칭 에너지의 감소를 시뮬레이션 및 실험을 통해 검증한다.

2. 제안된 기생 인덕턴스 저감 구조

2.1 기본 이론

그림 3(a)는 두 개의 평행한 도체에 같은 방향의 전류가 흐르는 경우를 나타내고 있다. 이때, 도체 내부의 화살표는 각 도체에 흐르는 전류인 $I_{1,same}$ 과 $I_{2,same}$ 를 나타내고, 점선은 전류에 의해 유도된 자속의 방향을 나타낸다. d 는 도체 간 거리, l 은 도체의 길이이다. 그림 3(a)에서 자속의 방향은 도체 내부에서 서로 반대 방향이고, 도체 외부에서는 서로 같은 방향임을 알 수 있다.

그림 3(b)는 그림 3(a)의 전기적 등가회로를 보여준다. 여기서 $L_{1,same}$ 은 두 개의 도체 중 위 도체의 자기 인덕턴스, $L_{2,same}$ 는 아래 도체의 자기 인덕턴스, M_{same} 은 도체 간 상호 인덕턴스를 나타낸다.

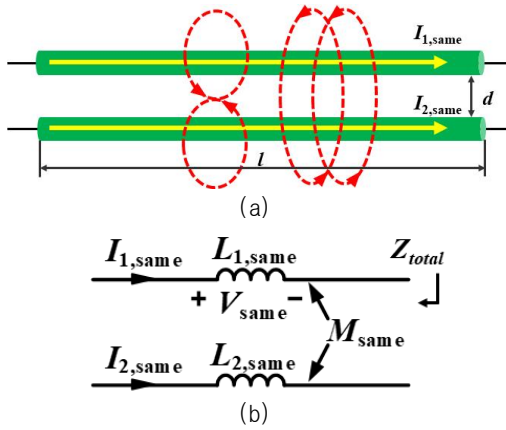


Fig. 3. Two conductors with same direction. (a) Conceptual diagram, (b) Equivalent circuit.

각 도체에 Faraday 법칙을 적용하면 $I_{1,same}$ 과 $I_{2,same}$ 에 의해 유기되는 전압을 식 (1)과 식 (2)와 같이 나타낼 수 있다.

$$V_{1,same} = L_{1,same} \frac{dI_{1,same}}{dt} + M_{same} \frac{dI_{2,same}}{dt} \quad (1)$$

$$V_{2,same} = L_{2,same} \frac{dI_{2,same}}{dt} + M_{same} \frac{dI_{1,same}}{dt} \quad (2)$$

만약 두 도체의 재질과 길이, 직경이 같고 $I_{1,same}$ 과 $I_{2,same}$ 이 같다고 가정하면 식 (3)과 식 (4)를 만족한다.

$$L_{same} = L_{1,same} = L_{2,same} \quad (3)$$

$$I_{same} = I_{1,same} = I_{2,same} \quad (4)$$

식 (3), (4)를 식 (1), (2)에 대입하여 정리하고 라플라스 변환을 적용하면 식 (5)를 얻을 수 있다. 이를 다시 정리하면 식 (6)과 같이 I_{same} 을 표현할 수 있다. 최종적으로 식 (4)와 식 (6)의 관계로부터 두 도체에 흐르는 전류의 합인 $I_{total,same}$ 은 식 (7)과 같이 표현된다. 여기서 s 는 복소 주파수이다.

$$V_{same} = V_{1,same} = V_{2,same} = sI_{same}(L_{same} + M_{same}) \quad (5)$$

$$I_{same} = \frac{1}{s} \frac{V_{same}}{L_{same} + M_{same}} \quad (6)$$

$$I_{total} = I_{1,same} + I_{2,same} = 2I_{same} = \frac{2}{s} \frac{V_{same}}{L_{same} + M_{same}} \quad (7)$$

한편 그림 3(b) 등가회로에서 총 임피던스 Z_{total} 은 식 (7)로부터 식 (8)과 같이 표현될 수 있다.

$$Z_{total} = \frac{V_{same}}{I_{total}} = s \frac{L_{same} + M_{same}}{2} \quad (8)$$

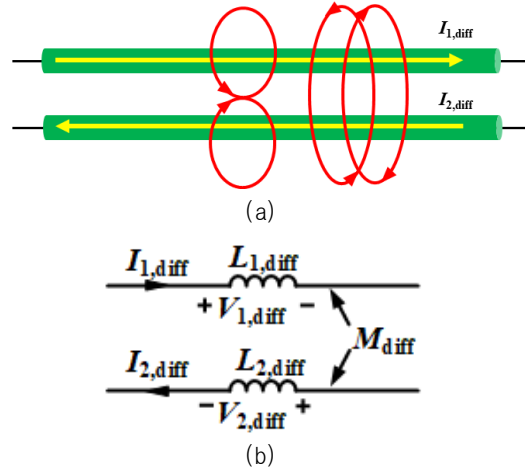


Fig. 4. Two conductors with different current direction. (a) Conceptual diagram, (b) Equivalent circuit.

만약 기생 커패시턴스와 기생 저항은 무시할 수 있을 정도로 작다고 가정하면 전체 임피던스는 식 (9)와 같이 등가회로의 총 인덕턴스 $L_{total,same}$ 와 같으며 최종적으로 총 인덕턴스 $L_{total,same}$ 는 식 (10)과 같이 표현된다. 즉 도체에 흐르는 전류 방향이 같은 경우 총 인덕턴스 $L_{total,same}$ 를 줄이기 위해서는 상호 인덕턴스 M_{same} 를 줄여야 함을 알 수 있다.

$$Z_{total} \approx sL_{total,same} \quad (9)$$

$$L_{total,same} = \frac{L_{same} + M_{same}}{2} \quad (10)$$

한편 그림 4(a)에서 도체간 거리 d 가 도체 길이 l 보다 충분히 작다고 가정하면, 상호 인덕턴스 M_{same} 는 식 (11)과 같이 간략 될 수 있고^[21], 따라서 M_{same} 을 줄이기 위해서는 도체 간 거리 d 를 증가시켜야 한다. 이때 μ_0 는 진공의 투자율을 나타낸다.

$$M_{same} \cong \frac{\mu_0}{2\pi} l \left(\ln \frac{2l}{d} - 1 \right) \quad (11)$$

결과적으로 식 (10)과 식 (11)을 통해 도체에 흐르는 전류 방향이 같은 경우 총 인덕턴스 $L_{total,same}$ 를 줄이기 위해서는 도체 간 거리 d 를 증가시켜야 함을 알 수 있다.

그림 5는 전류 방향이 반대인 두 도체와 그에 따른 등가회로를 나타낸다. 그림 5(a)에서 도체 내부의 화살표는 각 도체에 흐르는 전류인 $I_{1,diff}$ 과 $I_{2,diff}$ 를 나타낸다. 이때, 전류에 의해 유도된 자속의 방향을 보면 도체 내부에서는 같은 방향이고 도체 외부에서는 서로 반대 방향이다.

그림 5(b)에서 $L_{1,diff}$ 는 두 개의 도체 중 위 도체의 자기 인덕턴스, $L_{2,diff}$ 는 아래 도체의 자기 인덕턴스, M_{diff} 는 도체 간 상호 인덕턴스를 나타낸다. $V_{1,diff}$ 와 $V_{2,diff}$ 는 전류가 인덕턴스에서 유도된 전압을 나타낸다.

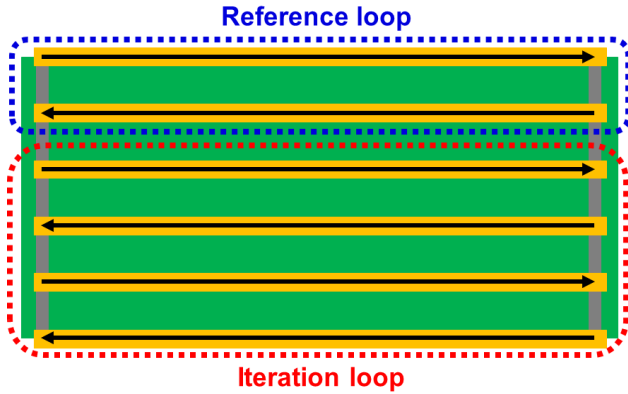


Fig. 5. Conceptual configuration of vertical lattice loop structure where arrow line depict current loop.

식 (10)과 유사한 방법으로 전류 방향이 반대인 두 도체의 총 인덕턴스 $L_{total,diff}$ 를 유도하면 식 (12)과 같다. 즉 전류 방향이 반대인 경우, 총 인덕턴스 $L_{total,diff}$ 를 줄이기 위해서는 상호 인덕턴스 M_{diff} 를 증가시켜야 함을 알 수 있다.

$$L_{total,diff} = \frac{L_{diff} - M_{diff}}{2} \quad (12)$$

한편 그림 5(a)에서 상호 인덕턴스 M_{diff} 는 식 (11)과 동일하게 나타나고, 따라서 M_{diff} 을 증가시키기 위해서는 도체간 거리 d 를 감소시켜야 함을 알 수 있다.

결과적으로 식 (12)과 식 (11)을 통해 도체에 흐르는 전류 방향이 반대인 경우 총 인덕턴스 $L_{total,diff}$ 를 줄이기 위해서는 도체 간 거리 d 를 감소시켜야 한다.

2.2 제안된 수직 격자 루프 구조

그림 5는 제안한 수직 격자 루프 구조를 적용한 컨셉을 보여준다. 제안한 수직 격자 루프는 크게 기준 루프와 반복 루프로 이루어진다. 기준 루프는 수평적으로 최단 거리를 가지도록 회로를 구성한 후 수직적으로 서로 다른 방향의 전류로 생성되도록 인접한 두 개의 도체를 구성한다. 이후 기준 루프와 동일하게 반복 루프를 수직적으로 구성한다. 이와 같은 구성을 통해 전류 방향이 같은 도체 사이에 전류 방향이 다른 도체가 구성되는 수직 격자 루프 구조가 된다. 이는 전류 방향이 같은 도체의 거리는 멀어지고, 전류 방향이 다른 도체의 거리는 가까워짐을 의미한다. 따라서 보다 효과적인 자속 상쇄가 달성될 수 있음을 알 수 있다.

그림 6과 표 1은 적용된 6층 도체에 제안한 수직 격자 루프 구조 적용 여부에 따른 기생 인덕턴스 비교이다. 그림 6(a)는 수직 격자 루프를 적용하지 않은 경우이고, 그림 6(b)는 수직 격자 루프 구조를 사용한 다중 루프이다. 기생 인덕턴스 해석은 FEM 해석 프로그램인 Ansys 사의 Q3D를 통해 이루어졌다.

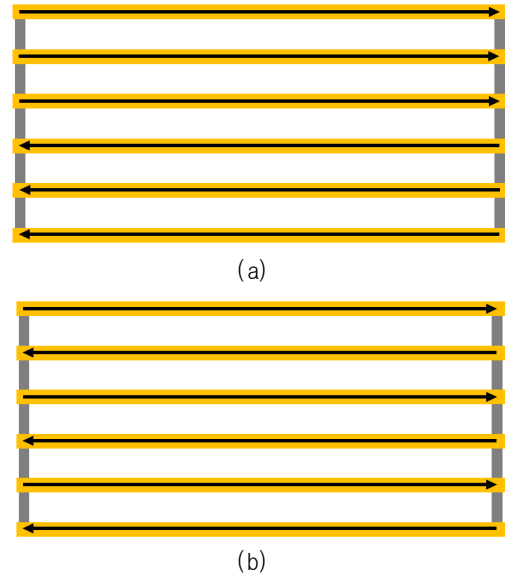


Fig. 6. Comparison configuration where arrow line depict current flow. (a) Without vertical lattice loop structure, (b) With vertical lattice loop structure.

TABLE I
COMPARISON OF PARASITIC INDUCTANCE

Parameter	Value
without lattice loop	1.09(nH)
with lattice loop	0.57(nH)

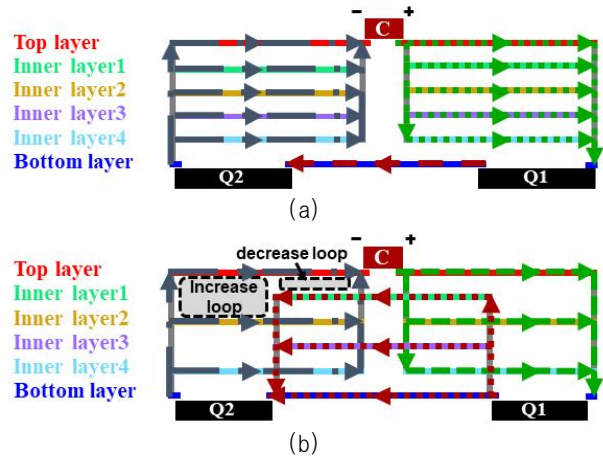


Fig. 7. PCB cross section where arrow line depict current loop. (a) Without vertical lattice loop structure, (b) With vertical lattice loop structure.

표 1은 그림 6의 6층 도체를 이용한 기생 인덕턴스 해석 결과이다. 수직 격자 루프 구조가 적용되지 않은 경우 기생 인덕턴스는 1.09nH이고 수직 격자 루프 구조가 적용된 경우 기생 인덕턴스는 0.57nH로 약 50% 감소됨을 확인할 수 있다.

그림 7은 6층 PCB를 이용하여 전력 회로를 구성한 경우의 PCB 수직 단면 구조를 나타낸다. 그림 7(a)는

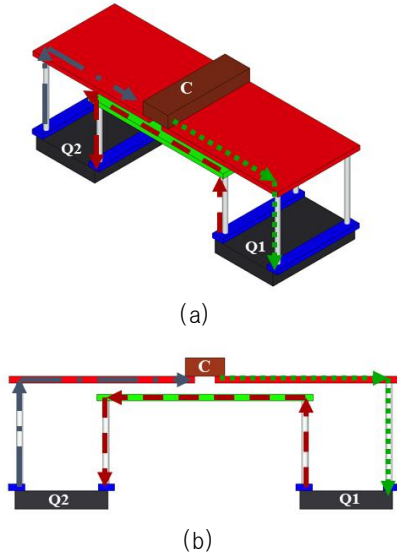


Fig. 8. Reference loop design. (a) Side of PCB, (b) Cross section of PCB.

수직 격자 루프 적용 전으로 전류 방향에 상관없이 루프가 형성됨을 알 수 있다. 그러나 적용 후에는 그림 7(b)와 같이 전류 방향이 같은 경우는 먼 거리의 루프가 형성되고, 다른 경우는 가까운 루프가 형성됨을 알 수 있다.

2.3 설계 예

본 절에서는 6층 PCB를 이용하여 하프브리지 전력회로 설계하고 제안한 수직 격자 루프 구조 설계하는 예를 보여준다. 설계된 전력회로 PCB는 그림 8(a)와 같이 루프 면적을 최소화함으로써 기생 인덕턴스를 줄이기 위해 PCB top layer에 input 커패시터 C를 위치시키고 bottom layer에는 전력 반도체 스위치 Q1, Q2를 위치시킨 구조를 가진다^[14].

그림 8은 기준 루프 설계 예를 보여주고 있다. 그림 8(a)는 기준 루프의 측면, 그림 8(b)는 PCB의 단면이다. 자속 상쇄를 증가시키기 위해 기준 루프는 커패시터가 실장 되어 있는 top layer와 top layer와 가장 인접한 inner layer 1층으로 설계한다.

그림 9는 반복 루프 설계 예로 (a)는 측면, (b)는 단면이다. 반복 루프를 inner layer 2, 3, 4, 5에 설계되며 기준 루프와 동일하게 인접한 layer 들을 통해 반복해서 설계됨을 알 수 있다.

그림 10은 설계 예를 통해 완성된 전력 회로를 나타낸다. 위의 설계 예시대로 루프 면적을 최소화하기 위해 그림 10(a)와 같이 top layer에는 input 커패시터 C가 실장되어 있고, 그림 10(b)와 같이 bottom layer에는 스위치가 실장되어 있다.

표 2는 설계된 그림 10의 전력 회로에 대한 기생 인덕턴스 해석 결과이다. gate loop inductance(on)은 3.44nH, gate loop inductance(off)는 4.08nH, power loop는

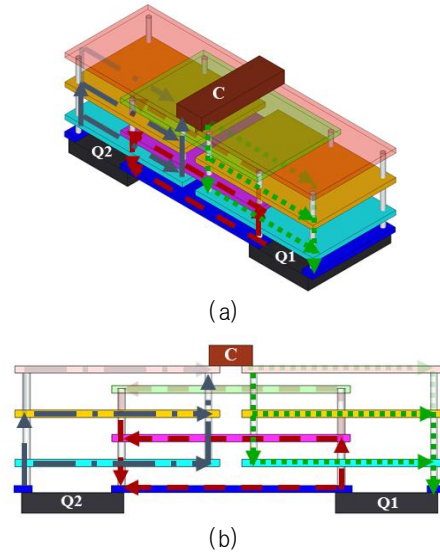


Fig. 9. Iteration loop design. (a) Side of PCB, (b) Cross section of PCB.

TABLE II
GATE LOOP AND POWER LOOP INDUCTANCE WITH OR WITHOUT VERTICAL LATTICE LOOP STRUCTURE

	Without	With
gate loop inductance(on)	6.43(nH)	3.44(nH)
gate loop inductance(off)	8.35(nH)	4.08(nH)
power loop inductance	12.13(nH)	5.84(nH)

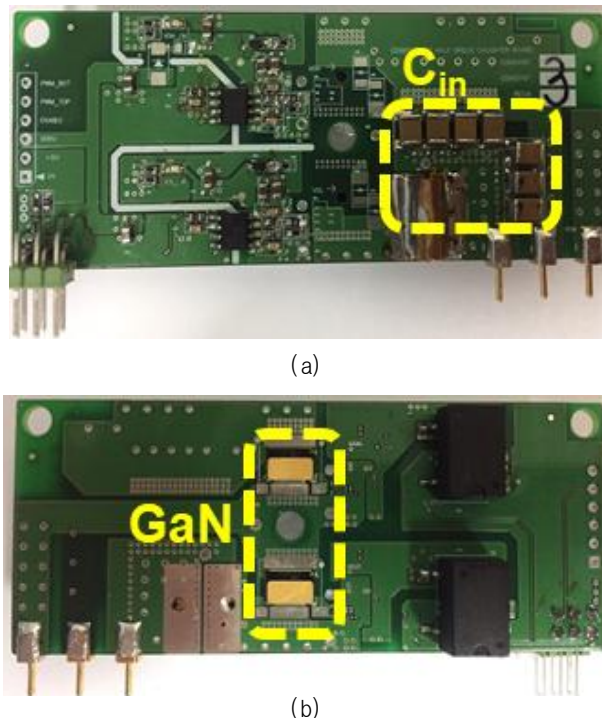


Fig. 10. PCB. (a) Top of PCB, (b) Bottom of PCB.

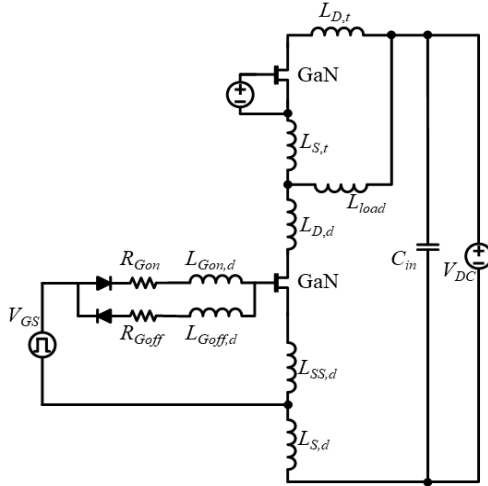


Fig. 11. Double pulse test circuit.

5.84nH이다. 반면 동일한 PCB 조건에 격자 구조 미적용 시 gate loop inductance(on)은 6.43nH, gate loop inductance(off)는 8.35nH, power loop inductance는 12.13nH이다. 결과적으로 gate loop inductance(on), gate loop inductance(off), power loop inductance 모두 약 50% 감소함을 알 수 있다.

3. 성능 검증

3.1 시뮬레이션 검증

그림 11의 double pulse test 회로를 기반으로 시뮬레이션을 수행한다. 기존 double pulse test는 하프브리지 구조에서 상단에 다이오드를 이용하지만 본 장의 시뮬레이션은 GaN 소자의 reverse conduction의 특성을 사용하여 다이오드를 대체한다^[14]. 또한 회로에서 게이트 저항 뒷단의 다이오드는 게이트 루프가 turn-on일 때와 turn-off일 때를 구분하기 위한 이상적인 다이오드이다.

표 3은 시스템의 파라미터를 나타내며, 표 4와 표 5는 수직 격자 루프 구조 적용 여부에 따른 각 부의 기생 인덕턴스를 나타낸다. 표 4와 표 5에서 $L_{D,u}$ 는상단 스위치 드레인의 기생 인덕턴스, $L_{S,u}$ 는 상단 스위치 소스의 기생 인덕턴스, $L_{D,d}$ 는 하단 스위치 드레인의 기생 인덕턴스, $L_{S,d}$ 는 하단 스위치 소스의 기생 인덕턴스, $L_{SS,d}$ 는 게이트 루프와 파워 루프가 공유하는 소스의 기생 인덕턴스, $L_{Gon,d}$, $L_{Goff,d}$ 는 게이트 루프의 on, off 시의 기생 인덕턴스를 나타낸다.

그림 12는 스위칭 시 drain-source 전압 파형을 나타낸다. 그림 12(a)는 drain-source 전압의 turn-on 시 파형을 나타내고, 그림 12(b)는 drain-source 전압의 turn-off 파형을 나타낸다. 그림 12(a)에서 보여지는 것처럼 drain-source 전압의 undershoot가 -120V에서 -50V로 감소되었고, 그림 12(b)에서는 drain-source 전압의 overshoot가 120V에서 90V로 감소됨을 알 수 있다.

TABLE III
SYSTEM PARAMETER

Parameter	Value
Drain Current	20 (A)
V_{GS} (Gate - Source voltage (on))	6 (V)
V_{GS} (Gate - Source voltage (off))	-3 (V)
V_{DC}	200 (V)
L_{load}	200 (μH)
R_{Gon} (On Gate resistance)	10 (Ω)
R_{Goff} (Off Gate resistance)	2 (Ω)

TABLE IV
PARASITIC INDUCTANCE WITH LATTICE

Parameter	Value
$L_{D,u}$	1.55 (nH)
$L_{S,u}$	0.02 (nH)
$L_{D,d}$	1.76 (nH)
$L_{SS,d}$	0.5 (nH)
$L_{S,d}$	2.01 (nH)
$L_{Gon,d}$	3.44 (nH)
$L_{Goff,d}$	4.08 (nH)

TABLE V
PARASITIC INDUCTANCE WITHOUT LATTICE

Parameter	Value
$L_{D,u}$	1.41(nH)
$L_{S,u}$	0.02(nH)
$L_{D,d}$	3.45(nH)
$L_{SS,d}$	1.00(nH)
$L_{S,d}$	6.25(nH)
$L_{Gon,d}$	6.43(nH)
$L_{Goff,d}$	8.35(nH)

그림 13은 스위칭 시 drain 전류 파형을 나타낸다. 그림 13(a)는 drain 전류의 turn-on 시 파형을 나타내고, 그림 13(b)는 drain 전류의 turn-off 파형을 나타낸다. 그림 13(b)를 통해 turn-off 시 drain 전류의 ringing 크기가 감소됨을 알 수 있다.

그림 14는 스위칭 시 gate-source 전압을 나타낸다. 그림 14(a)는 gate-source 전압의 turn-on 시 파형을 나타내고, 그림 14(b)는 gate-source 전압의 turn-off 시 파형을 나타낸다. 그림 14(b)를 통해 gate-source 전압이 turn-off 시 undershoot 및 ringing 크기 감소를 확인할 수 있다.

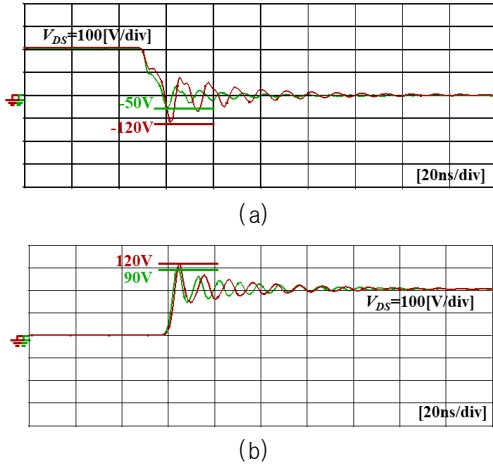


Fig. 12. Simulation drain-source voltage waveform (Red line: without vertical lattice loop structure, Green line: with vertical lattice loop structure). (a) Turn-on, (b) Turn-off.

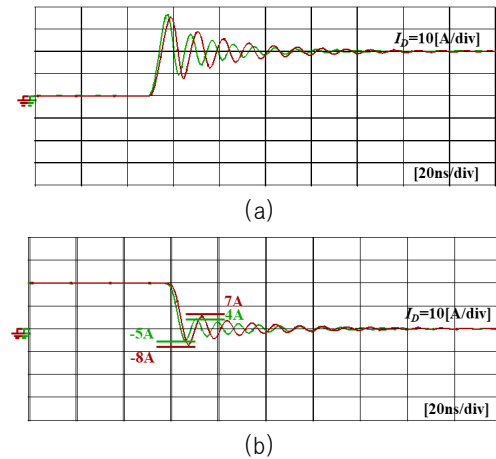


Fig. 13. Simulation drain current waveform (Red line: without vertical lattice loop structure, Green line: with vertical lattice loop structure). (a) Turn-on, (b) Turn-off.

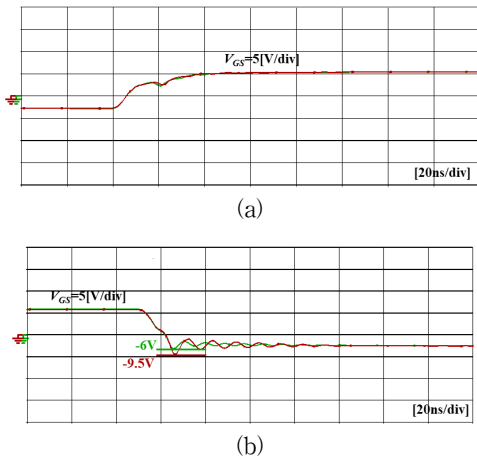


Fig. 14. Simulation gate-source voltage waveform (Red line : without vertical lattice loop structure, Green line : with vertical lattice loop structure). (a) turn-on, (b) turn-off.

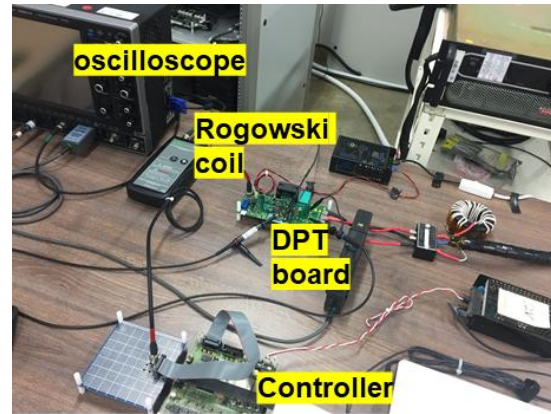


Fig. 15. Experimental configuration.

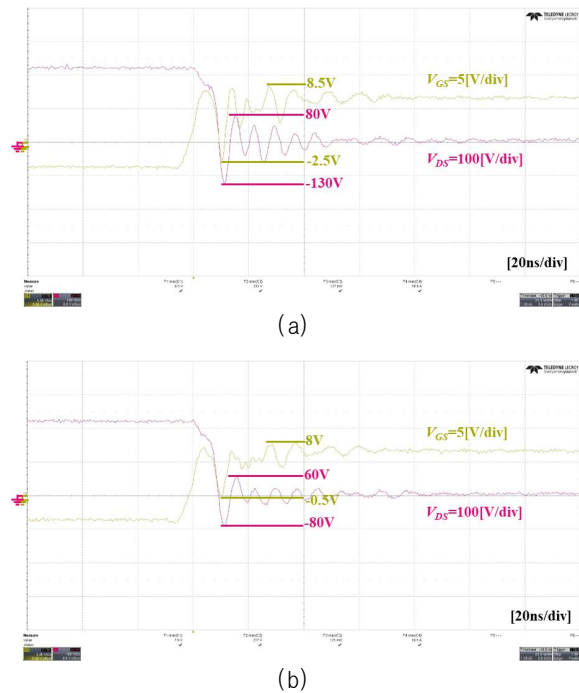


Fig. 16. Gate-source voltage and drain-source voltage waveform during turn-on. (a) Without vertical lattice loop structure, (b) With vertical lattice loop structure.

3.2 실험 검증

본 장에서는 기생 인덕턴스 저감에 따른 효과를 검증하기 위해 그림 10의 PCB를 통해 double pulse test를 진행한다. 실험 파라미터는 표 3과 같다.

그림 15는 실험 세트 구성을 나타낸다. 실험 세트 구성은 Iecroy 사의 오실로스코프, 전류 측정을 위한 로고스키 코일, controller는 DSP TMS320F28335, DPT board의 스위칭 소자는 GaN Systems 사의 GS66508T를 사용한다.

그림 16은 turn-on 시 gate-source 전압과 drain-source 전압을 나타낸 파형이다. 그림 16(a)는 수직 격자 루프 구조가 적용되지 않은 gate-source 파형이고, 그림 16(b)는 수직 격자 루프 구조가 적용된 파형이다. 수직

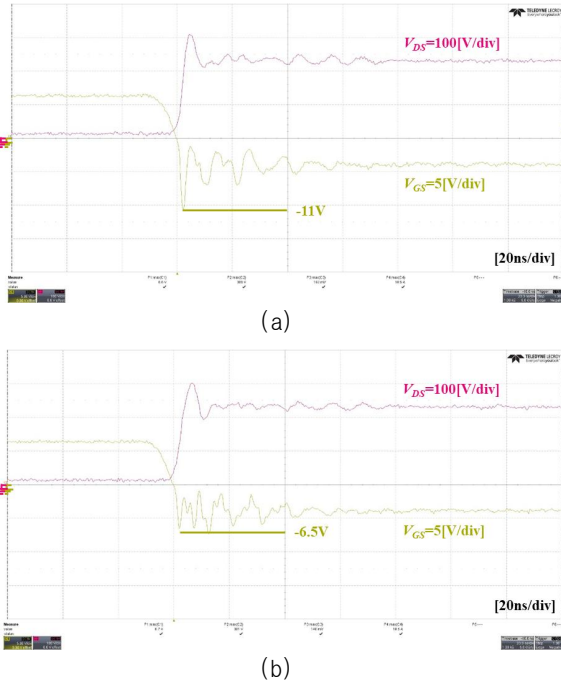


Fig. 17. Gate-source voltage waveform and drain source voltage during turn-off. (a) Without vertical lattice loop structure, (b) With vertical lattice loop structure.

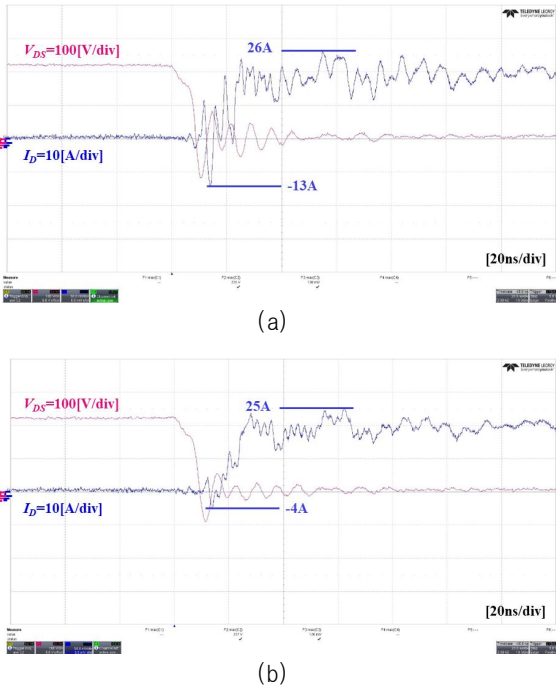


Fig. 18. Drain-source voltage and drain current waveform during turn-on. (a) Without vertical lattice loop structure, (b) With vertical lattice loop structure.

격자 루프 구조 적용 시 gate-source 전압 ringing의 크기는 11V에서 8.5V로 감소하였고 drain-source 전압 ringing의 크기는 210V에서 140V로 감소됨을 알 수 있다.

그림 17은 turn-on 시 gate-source 전압과 drain-source 전압을 나타낸 파형이다. 그림 17(a)는 수직 격자

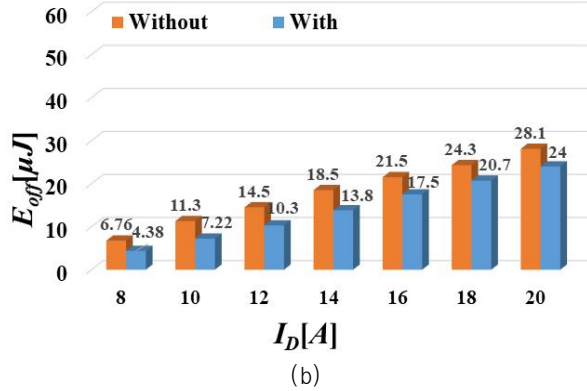
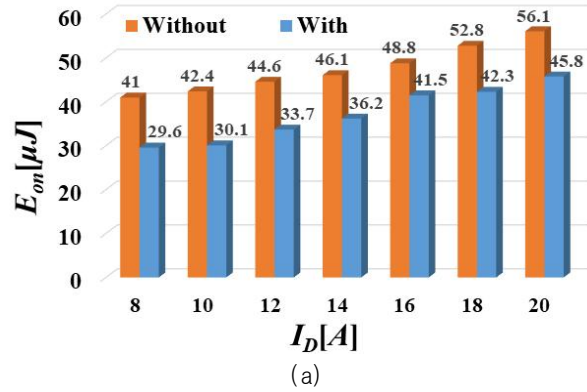


Fig. 19. GaN switching energy analysis. (a) Turn-on, (b) Turn-off.

루프 구조가 적용되지 않은 gate-source 파형이고, 그림 17(b)는 수직 격자 루프 구조가 적용된 파형이다. 수직 격자 루프 구조 적용 시 gate-source 전압 undershoot는 -11V에서 -6.5V로 감소됨을 알 수 있다.

그림 18은 스위칭 에너지를 도출하기 위해 drain-source 전압과 drain 전류를 확대한 파형이다. 그림 18(a)는 수직 격자 루프 구조를 적용되지 않은 파형이고 그림 18(b)는 수직 격자 루프 구조를 적용된 파형이다. 두 파형을 비교해보면 ringing과 overshoot의 차이를 볼 수 있다. drain 전류 ringing의 크기는 39A에서 29A로 감소되었다.

그림 19는 turn-on 및 turn-off의 스위칭 에너지를 보여준다. 이때, DC 전압은 200V로 고정하고 전류의 변화에 따라 스위칭 에너지를 도출했다. 그림 19(a)는 turn-on 시 스위칭 에너지를 나타내고 그림 19(b)는 turn-off 시 스위칭 에너지를 나타낸다. turn-on 시 수직 격자 루프 구조 적용하였을 때, 기존 대비 최소 25% 이상 감소하였고, turn-off 시 수직 격자 루프 구조 적용하였을 때, 기존 대비 최소 15% 이상 감소를 확인할 수 있다.

4. 결론

본 논문은 기생 인덕턴스 저감을 위해 수직 격자 루프 구조를 제안한다. 제안된 수직 격자 루프 구조는 기

준이 되는 루프를 선정하고, 기준이 되는 루프를 층층이 쌓아 구현한다. 구현된 방법을 통해 자속의 상쇄를 극대화한다. 따라서 제안된 수직 격자 루프 구조를 사용하여 기존 단일 루프로 설계했을 때의 기생 인덕턴스보다 50% 이상 감소된 기생 인덕턴스를 확인할 수 있다.

제안된 수직 격자 루프 구조를 통해 기생 인덕턴스의 저감에 따른 유효성을 시뮬레이션 및 실험을 통해 검증하였다.

본 연구는 산업통산자원부의 재원으로 한국에너지기술연구원(KETEP)의 지원을 받아 수행한 연구 과제입니다. (No. 2018201010650A)

References

- [1] B. J. Baliga, *Power semiconductor devices*, PWS Publishing Company, Boston, MA, p. 373, 1996.
- [2] J. D. van Wyk and F. C. Lee, "On a future for power electronics," *IEEE J. Emerg. Sel. Topics Power Electron.*, Vol. 1, No. 2, pp. 59-72, Jun. 2013.
- [3] J. L. Hudgins, "Power electronics devices in the future," *IEEE J. Emerg. Sel. Topics Power Electron.*, Vol. 1, No. 1, pp. 11-17, Mar. 2013.
- [4] J. Millan, P. Godignon, X. Perpina, A. Perez-Tomas, and J. Rebollo, "A survey of wide bandgap power semiconductor devices," *IEEE Trans. Power Electron.*, Vol. 29, No. 5, pp. 2155-2163, May 2014.
- [5] Efficient Power Conversion Corporation, "EPC2015," [Online]. Available: <https://epc-co.com>.
- [6] J. Wang, H. S. Chung, and R. T. Li, "Characterization and experimental assessment of the effects of parasitic elements on the MOSFET switching performance," *IEEE Trans. Power Electron.*, Vol. 28, No. 1, pp. 573-590, Jan. 2013.
- [7] Y. Xiao, H. Shah, T. P. Chow, and R. J. Gutmann, "Analytical modeling and experimental evaluation of interconnect parasitic inductance on MOSFET switching characteristics," in *Proc. 19th Annu. IEEE Appl. Power Electron. Conf. Expo.*, pp. 516-521, Feb. 2004.
- [8] Y. Gui and R. Burgos, "Desaturation detection for paralleled GaN E-HEMT phase leg," in *Conference Record of the 2018 IEEE ECCE*, Sep. 2018.
- [9] GaN Systems, "GN001 application guide," [Online]. Available: <https://gansystems.com>.
- [10] G. Skibinski and D. M. Divan, "Design methodology & modeling of low inductance planar bus structure," in *Proc. EPE'98 Conf.*, pp. 98-105, Sep. 1993.
- [11] M. C. Caponet, F. Profumo, R. W. D. Doncker, and A. Tenconi, "Low stray inductance bus bar design and construction for good EMC performance in power electronic circuits," *IEEE Trans. Power Electron.*, Vol. 17, No. 2, pp. 225-231, Mar. 2002.
- [12] T. Hashimoto, T. Kawashima, T. Uno, N. Akiyama, N. Matsuura, and H. Akagi, "A system-in-package (SiP) with mounted input capacitors for reduced parasitic inductances in a voltage regulator," *IEEE Trans. Power Electron.*, Vol. 25, No. 3, pp. 731-740, Mar. 2010.
- [13] Texas Instruments, "Ringing reduction techniques for NexFET high performance MOSFETs," *Texas Instrument, Dallas, TX, USA, Application Rep. SLPA010*, Nov. 2011.
- [14] D. Reusch and J. Strydom, "Understanding the effect of PCB layout on circuit performance in a high-frequency gallium-nitride-based point of load converter," *IEEE Trans. Power Electron.*, Vol. 29, No. 4, pp. 2008-2015, Apr. 2014.
- [15] K. Wang, L. Wang, X. Wang, X. Zeng, W. Chen, and H. Li, "A multiloop method for minimization of parasitic inductance in GaN based high-frequency DC-DC converter," *IEEE Trans. Power Electron.*, Vol. 32, No. 6, pp. 4728-4740, Jun. 2017.
- [16] R. P. Clayton, *The concept of loop inductance*, Wiley-IEEE Press, 2010.



양시석(梁時碩)

1991년 12월 2일생. 2018년 한양대 전자시스템공학과 및 전기공학과 졸업. 2020년 한동 대학원 전기공학과 졸업(석사). 2020년~현재 On Semiconductor 연구원.



소재환(蘇宰煥)

1985년 10월 13일생. 2012년 한양대 전기공학과 졸업. 2012년~현재 동 대학원 전기공학과 석·박통합과정.



민성수(閔成洙)

1993년 12월 23일생. 2019년 한양대 전기공학과 졸업. 2019년~현재 동 대학원 전기공학과 석·박통합과정.



김래영(金來瑛)

1974년 6월 6일생. 1997년 한양대 전기공학과 졸업. 1999년 동 대학원 전기공학과 졸업(석사). 2009년 미국 Virginia Tech 전기공학과 졸업(공학박). 1999년~2004년 효성 중공업 연구소 선임연구원. 2009년~2010년 미국 National Semiconductor Senior Researcher. 2016년~2017년 미국 Virginia Tech CPES 방문교수. 2010년~현재 한양대 전기생체공학부 교수. 당 학회 국제이사.