

수치해석을 이용한 FCCSP용 Embedded PCB의 Cavity 구조에 따른 거동특성 연구

조승현[†] · 이상수

동양미래대학교 기계공학과

Study on Behavior Characteristics of Embedded PCB for FCCSP Using Numerical Analysis

Seunghyun Cho[†] and Sangsoo Lee

Department of Mechanical Engineering, Dongyang Mirae University, 445, Gyeongin-ro, Guro-gu, Seoul 08221, Korea
(Received February 21, 2020: Corrected March 23, 2020: Accepted March 25, 2020)

초 록: 본 논문에서는 FEM(유한요소) 기법을 사용하여 FCCSP용 임베디드 PCB의 캐비티 구조와 프리프레그 재료의 종류에 따라 PCB에서 발생한 warpage와 von Mises 응력 해석을 수행하였다. 유한요소 해석에는 1/2 substrate 모델과 정적해석이 적용되었다. warpage 해석 결과에 의하면 칩이 실장되는 캐비티와 칩의 간격이 증가할수록 warpage가 증가하였고, 탄성계수와 열팽창계수가 높은 프리프레그 재료를 적용했을 때 warpage가 증가하였다. 응력의 해석결과에 따르면 칩이 실장되는 캐비티와 칩의 간격의 영향은 프리프레그 재료에 따라 다르게 나타났다. 즉 열팽창계수가 코어재료보다 월등히 높은 재료를 적용했을 때 칩이 실장되는 캐비티와 칩의 간격이 증가할수록 응력이 증가하였고, 열팽창계수가 코어재료보다 낮은 프리프레그를 적용하면 응력이 감소하였다. 이와 같은 결과는 신뢰성 관점에서 실장된 칩이 실장되는 캐비티의 구조와 프리프레그 재료간 상관관계가 있음을 시사하고 있다.

Abstract: In this paper, we used FEM technique to perform warpage and von Mises stress analysis on PCB according to the cavity structures of embedded PCB for FCCSP and the types of prepreg material. One-half substrate model and static analysis are applied to the FEM. According to the analysis results of the warpage, as the gap between the cavity and the chip increased, warpage increased and warpage increased when prepreg material with higher modularity and thermal expansion coefficient was applied. The analysis results of the von Mises stress show that the effect of the gap between the cavity and the chip varies depending on prepreg material. In other words, when material whose coefficient of thermal expansion is significantly higher than that of core material, the stress increased as the gap between the cavity and the chip increased. When the prepreg with the coefficient of thermal expansion lower than the core material is applied, the result of stress is opposite. These results indicate that from a reliability perspective, there is a correlation between the structure of the cavity where embedded chips are loaded and prepreg material.

Keywords: Embedded chip, PCB, Cavity, Prepreg, Warpage, Stress, FEM

1. 서 론

FCCSP용 PCB의 warpage는 패키징 레벨의 신뢰성 이슈들인 언더필과 솔더 조인트의 박리와 크랙 등의 근본적 원인으로 알려져 있다.¹⁻³⁾ 따라서 패키지 레벨의 warpage를 줄이기 위한 방법으로 PCB 레벨의 디자인 및 소재 개발 등이 산업계에서 지속적으로 진행되고 있으며⁴⁻⁶⁾ 관련 학계에서는 수치해석을 위한 연구가 최근 활

발하게 수행되고 있다.⁷⁻¹⁰⁾

최근 I/O 밀도를 획기적으로 증가시켜 고사양 유틸리티에 적용될 수 있는 웨이퍼 레벨 패키지(WLP)와 칩을 PCB 내부에 실장시키는 임베딩 기술이 결합된 임베딩 웨이퍼 레벨 패키징(Embedded wafer level packaging, EMWLP)이 개발되면서 인쇄회로기판(PCB) 내부에 실장되는 칩(chip)이 패키지에 대한 신뢰성 연구가 진행되고 있다.¹¹⁻¹⁶⁾ 임베딩 PCB 이전에는 칩의 신뢰성에 미치는

[†]Corresponding author

E-mail: coolsh@dongyang.ac.kr

© 2020, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

PCB의 영향도 연구보다는 솔더 조인트나 언더필의 신뢰성이 주요 연구대상이 되어 왔으나,¹⁷⁻¹⁸⁾ 칩의 PCB 내부에 실장되는 임베딩 패키징의 경우 PCB와 칩의 신뢰성은 직접적인 관계가 있다. PCB의 변형은 PCB 내부에 실장된 칩에 악영향을 미치고, 칩과 PCB 재료간 박리, 크랙의 주요 원인이 될 수 있다.

PCB내 칩을 실장되는 공간인 캐비티는 사이즈가 칩과 근접할수록 가공시간과 비용이 절감되지만 PCB의 변형에 의해 칩과 PCB 내부 회로와 위치 정합이 어렵기 때문에 칩 크기에 비해 크게 가공하는 실정이다. 따라서 칩 크기보다 크게 가공하는 캐비티의 사이즈가 PCB의 warpage와 칩의 신뢰성에 어떠한 영향을 미치는 지는 주요 관심 대상이 되고 있다. 또한 칩 실장 이후 적층하는 프리프레그는 칩의 표면과 밀착되기 때문에 프리프레그의 특성은 칩의 신뢰성에 큰 영향을 미칠 것으로 예상할 수 있다.

따라서 본 논문에서는 FCCSP용 임베딩 substrate의 캐비티와 프리프레그 재료에 따라 PCB에서 발생하는 warpage와 von Mises 응력을 유한요소법을 이용한 수치해석으로 분석하였다. 이를 위해 4종류의 cavity 구조와 2종류의 프리프레그 재료를 사용하였다. 이와 같은 연구는 PCB 개발 및 제조 엔지니어들에게 임베디드 PCB의 캐비티 사이즈와 적절한 프리프레그 재료 선정에 유용한 정보를 제공할 것으로 기대된다.

2. 수치해석

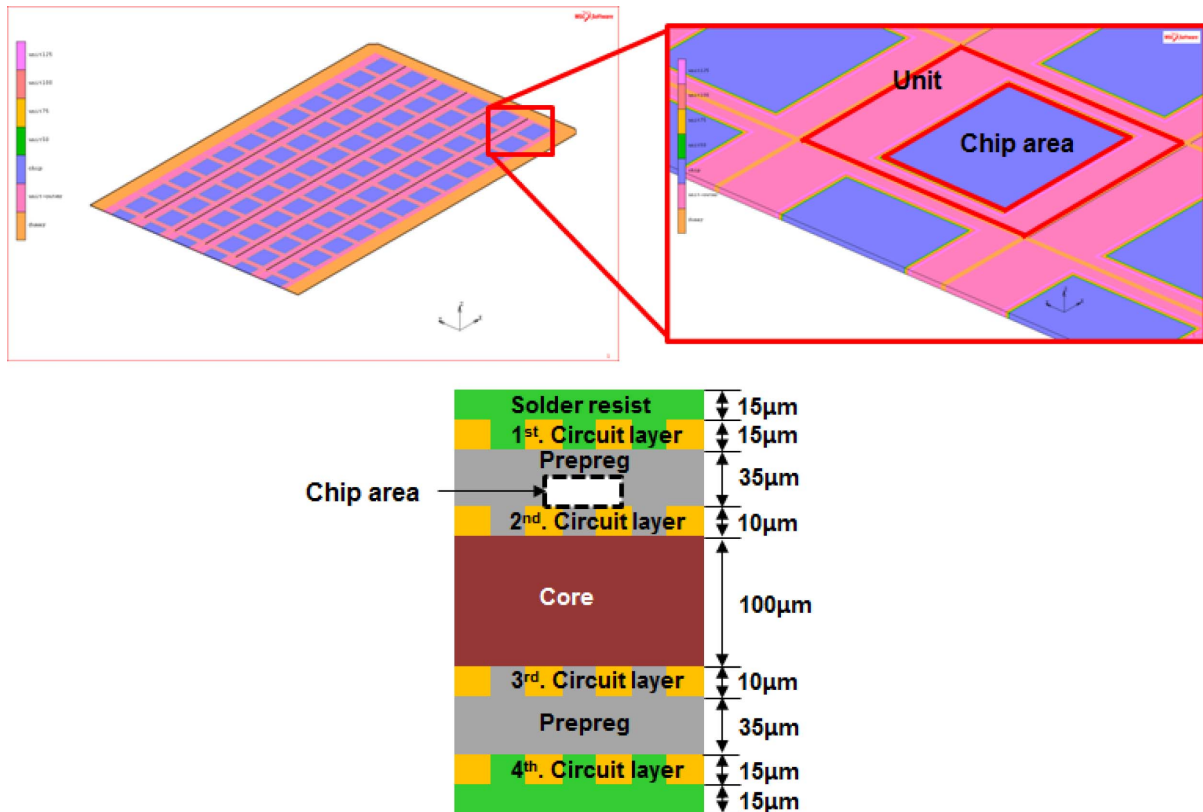


Fig. 1. Structure of embedded PCB for FCCSP.

2.1 유한요소 모델링

본 논문에서 해석을 위해 선정한 모델은 Fig. 1과 같이 4층 회로를 갖는 PCB substrate로써 chip은 unit당 1개가 core 위 회로층에 실장된 임베딩 구조이다. 효과적 수치해석 수행을 위해 유한요소 모델링은 substrate의 1/2 모델을 사용하였고, Fig. 2와 같이 경계면 조건을 사용하였다. 유한요소는 8-노드를 갖는 육면체 메쉬를 사용하였고 substrate의 각 층과 반도체 칩을 모델링하여 각 메쉬의 노드를 일치시킴으로써 각 요소들이 완벽하게 접합되었다고 가정하였다.

Fig. 3은 반도체 칩이 임베딩되는 조건을 나타낸 그림이다. 칩이 실장되는 캐비티(공간)는 원활한 칩의 실장을 위해 칩의 크기보다 크게 가공되는데 이때 캐비티와 칩의 간격에 따른 warpage와 응력을 고찰하기 위해 간격을 50, 125, 225, 350 μ m인 경우를 고려하였다.

칩이 실장되면 적층에 의해 프리프레그로 빈 공간은 채워지는데, 본 논문에서는 간격에는 프리프레그의 레진만이 충전된다고 가정하였다. 한편, 프리프레그 재료에 따라 substrate의 warpage와 응력은 달라질 수 있기 때문에 본 논문에서는 2종류의 prepreg를 적용하여 그 효과를 분석하였다.

2.2 재료의 특성값

Table 1은 수치해석에 사용된 재료의 특성값이다. PCB 회로층의 특성값은 층별 잔동률을 고려한 혼합 룰(Rule

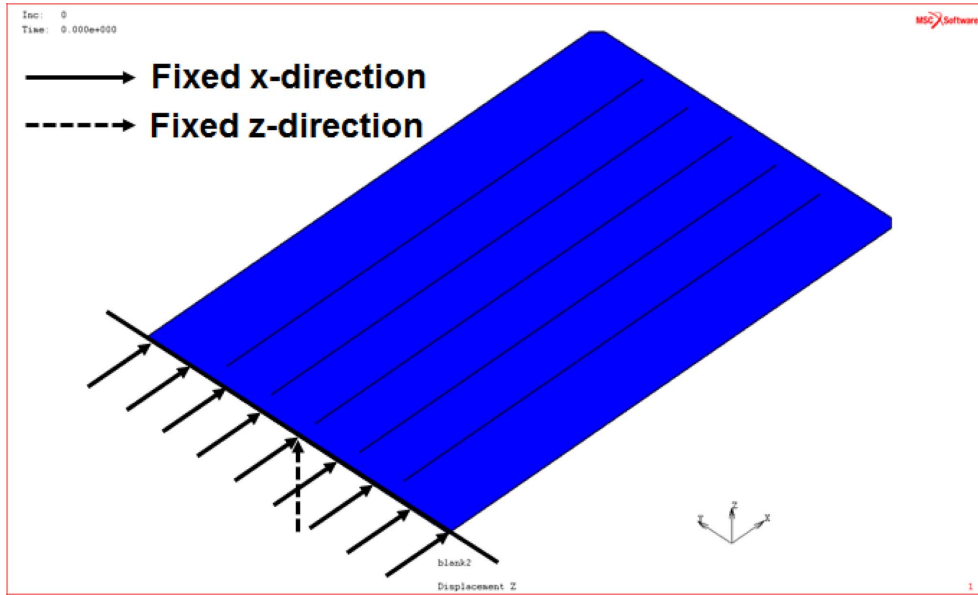


Fig. 2. Boundary conditions of a finite element modeling for embedded PCB.

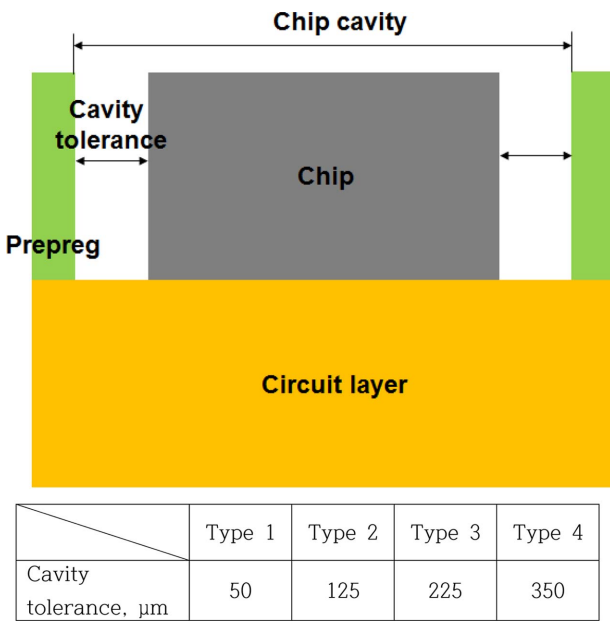


Fig. 3. Cavity tolerance conditions for analysis of chip cavities effect on embedded PCB warpage and stress.

Table 1. Material properties of package for semiconductor

Materials	Elastic modulus, GPa	CTE, $\mu\text{m}/\text{m}^{\circ}\text{C}$	Poisson's ratio
Solder resist (T_g 114°C)	3.4/0.5	60/130	0.35
Prepreg (T_g 154°C)	Case I	7.5	23/78
	Case II	5.5	7
Core (T_g 230°C)	32.5	xy : 10.5/5 z : 17.5/70	0.343
Chip	Fig. 4(a)	Fig. 4(b)	0.3

of mixture)로 계산하였다. 솔더 조인트와 칩의 탄성계수와 CTE는 Fig. 4와 같이 온도의 함수로 적용되었고, 포아송비는 0.3으로 일정하다고 가정하였다.

2.3 해석 조건

유한요소법을 이용한 수치해석을 위해 온도의 영향만을 고려하였다. 온도는 175°C에서 20°C로 균일하게 감온하도록 하였고, 수치해석은 비선형 거동 해석용 범용 프

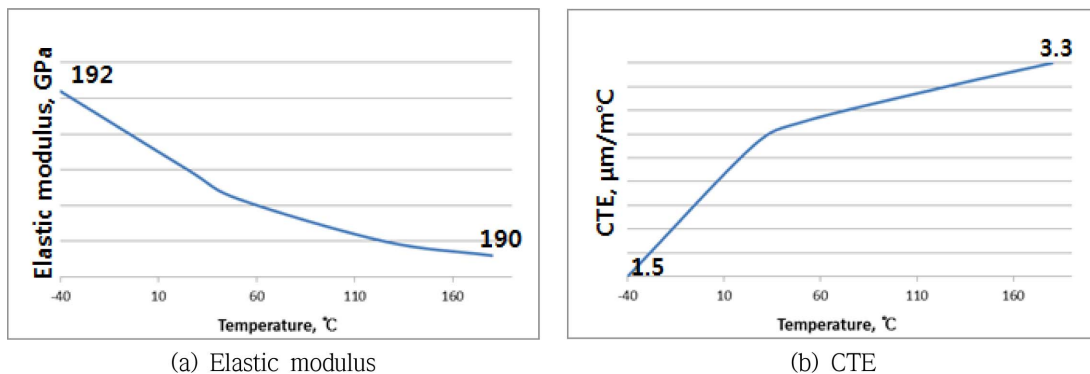


Fig. 4. Material properties of a chip.

로그랩인 MSC/MARC2018 소프트웨어를 사용하였다.

3. 결과 및 고찰

3.1 Warpage 해석

Fig. 5(a), (b)는 프리프레그 case I을 적용하고 캐비티와 칩의 간격이 각각 50 μm 와 125 μm 일때 substrate에서 발생한 warpage분포 결과이다. warpage 형태는 아래로 오목한(convex) 형태가 발생하였는데 간격이 증가하면 warpage가 증가하였다. 온도가 감온될 때 간격이 증가함에 따라 warpage가 증가하는 결과는 Fig. 6에서 보여주고 있다. warpage는 substrate의 코너부에서 관찰한 것으로 온도가 감온되면서 감소하는데 SR재료의 T_g 온도인 114°C 근처에서 감소폭이 변했다. 즉, T_g 이상의 온도에서는 높은 SR의 CTE값으로 인해 감소폭이 컸으나, T_g 이하의 온도에서는 SR의 CTE가 감소하면서 warpage의 감소폭이 둔화된 것이다. Fig. 7은 온도가 20°C로 감온된 후 캐비티와 칩의 간격에 따라 substrate에서 발생한 최대 warpage 결과이다. 캐비티와 칩의 간격이 증가할수록 warpage는 증가하는데 간격이 50 μm 에서 350 μm 로 증가하면 warpage는 약 8%가 상승하였다. 이와 같은 결과는

캐비티와 칩의 간격이 증가할수록 간격에 충전되는 레진이 증가하여 강성도(stiffness)가 감소하기 때문이다. 따라서, warpage를 감소시키기 위해서는 칩이 실장한 후 캐비티 내부에도 완전하게 프리프레그를 충전하는 것이 중요하다.

Fig. 8은 위와 동일한 조건에서 프리프레그의 소재를 case I에서 case II로 변경하였을 때 발생한 최대 warpage

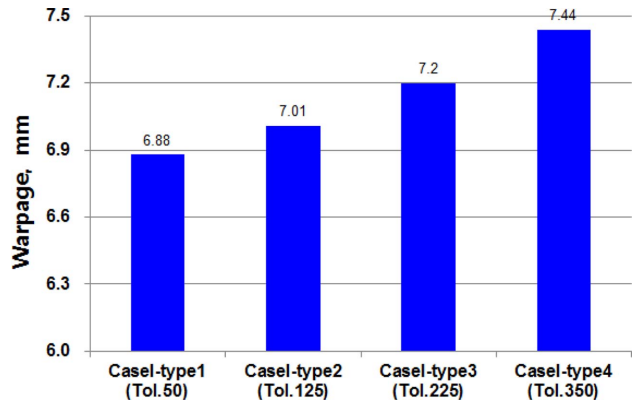
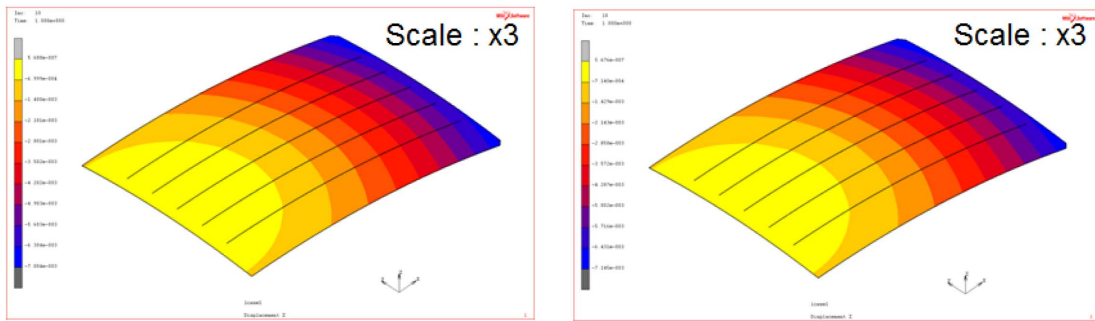


Fig. 7. Maximum warpage of PCB substrate as a structure conditions with Prepreg case I.



(a) Cavity tolerance Type 1, Prepreg case I (b) Cavity tolerance Type 2, Prepreg case I

Fig. 5. Warpage distribution of PCB substrate as a structure conditions with Prepreg case I.

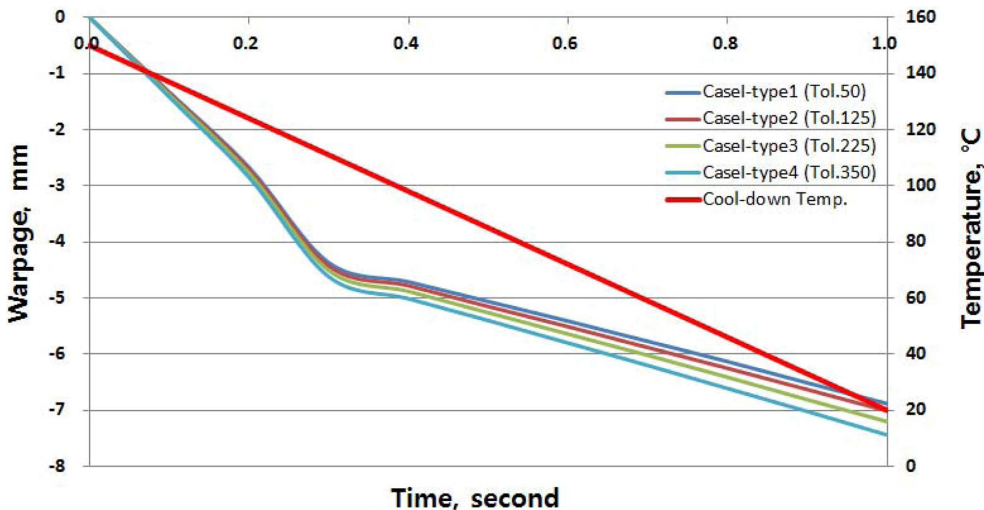


Fig. 6. Warpage of PCB substrate as a structure conditions with Prepreg case I.

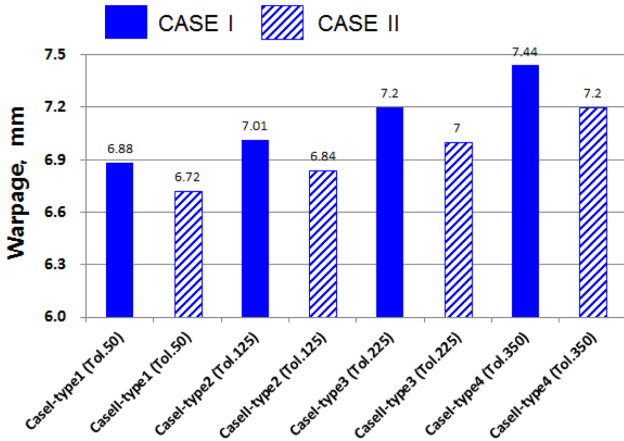


Fig. 8. Maximum warpage of PCB substrate as a structure conditions and Prepreg materials.

를 비교한 결과이다. 결과에서 보여주는 바와 같이 프리프레그를 case II로 변경하면 warpage는 2~3%가 감소하였다. 이것은 Table 1에서 알 수 있듯이 프리프레그 case II 재료가 case I에 비해 CTE가 크게 작기 때문이다.

3.2 응력 해석

Fig. 9(a), (b)는 프리프레그 Case I을 적용하고 캐비티와 칩의 간격이 각각 50 μm 와 125 μm 일때 substrate에서 발생한 von Mises 응력분포 결과이다. 탄성계수가 높은 칩의 외곽에서 높은 응력이 발생하였고 간격이 증가하면 발생한 응력도 증가하였으나 증가폭이 크지 않았다. Fig. 10은 간격에 따라 substrate에서 발생한 최대 응력을 나타낸 결과인데 간격에 따라 발생한 응력의 변화가 크지 않음을 알 수 있다. 이것은 간격이 증가할수록 warpage가

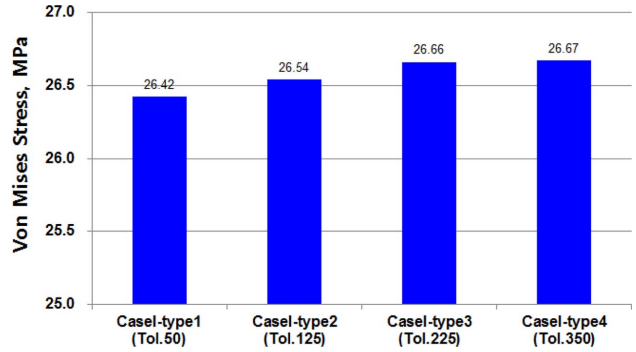
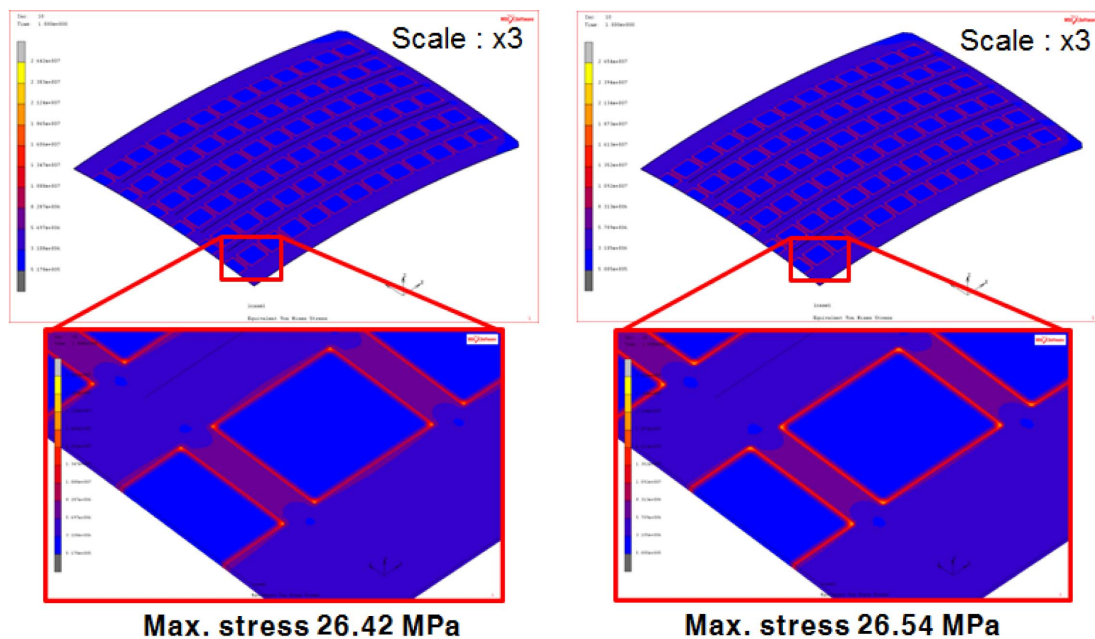


Fig. 10. Maximum von Mises stress of PCB substrate as a structure conditions with Prepreg case I.

증가하여 칩 주변의 변형량이 커지기 때문에 응력이 증가하는 상태이지만, 칩을 둘러싸고 있는 프리프레그의 레진이 탄성계수가 낮은 재료이기 때문에 응력을 완화시키는 역할을 하기 때문으로 판단된다.

Fig. 11은 위와 동일한 조건에서 프리프레그의 소재를 case I에서 case II로 변경하였을 때 발생한 최대 응력을 비교한 결과이다. 결과에서 보여주는 바와 같이 프리프레그를 case II로 변경하면 응력은 간격이 증가할수록 감소하였다. 프리프레그가 case I에서 case II로 변경될 때 응력이 낮아지는 것은 case II의 탄성계수가 case I에 비해 낮기 때문이다. 또한 프리프레그가 case II일 때 간격이 증가할수록 warpage는 증가하지만 응력이 낮아지는 것은 Fig. 7~8에서 설명한 바와 같이 간격이 증가할수록 강성도가 감소하는데 CTE가 낮은 프리프레그 case II재료는 변형으로 인한 응력완화효과가 크기 때문으로 판단된다. 그러나 간격이 50 μm 에서 350 μm 로 증가할 때 응력변화는 프리프레그가 case I과 case II일 때 각각 약 1%



(a) Cavity tolerance Type 1, Prepreg case I (b) Cavity tolerance Type 2, Prepreg case I

Fig. 9. von Mises stress distribution of PCB substrate as a structure conditions with Prepreg case I.

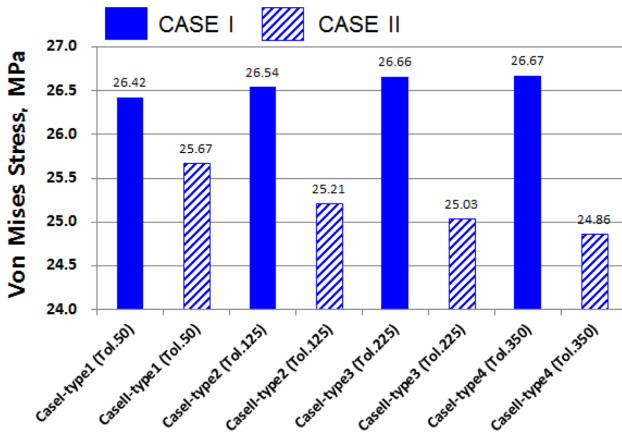


Fig. 11. Maximum von Mises stress of PCB substrate as a structure conditions and Prepreg materials.

와 3%로 캐비티 사이즈에 따른 응력의 영향은 매우 낮다고 할 수 있다.

4. 결 론

본 논문에서는 수치해석을 사용하여 칩이 실장되는 캐비티의 사이즈와 프리프레그 재료에 따른 임베딩 substrate의 warpage와 응력을 해석하였다. 해석 결과에 의하면 캐비티의 사이즈 클수록 즉, 칩과 캐비티 간격이 증가할수록 warpage는 증가하였는데 CTE가 낮은 프리프레그 재료를 적용하면 warpage는 상대적으로 낮게 발생하였다. 또한 substrate에서 발생한 응력은 CTE가 상대적으로 높은 프리프레그 재료를 적용하면 간격이 증가할수록 증가하였으나, CTE가 낮은 프리프레그 재료를 적용하면 반대로 감소하였다. 그러나 응력의 변화량은 1~3% 이내로 매우 작았다.

이러한 결과는 substrate의 warpage와 응력이 칩이 실장되는 캐비티의 사이즈보다는 프리프레그 재료의 특성에 더 큰 영향을 받는다는 것을 의미하며, 특히 캐비티의 사이즈는 실장되는 칩의 신뢰성에 큰 영향을 미치지 않는다는 것을 예측하게 한다. 따라서 임베딩 substrate의 warpage와 응력이 칩을 둘러싸고 있는 캐비티내 충전재료의 영향을 받는다는 측면에서 탄성계수와 CTE가 낮은 레진이 충전하는 것이 바람직하다고 할 수 있다.

이와 같은 본 논문의 결과는 FCCSP용 임베딩 substrate의 캐비티 구조를 설계할 때 반도체 패키지의 warpage를 감소시키고 신뢰성을 향상시키는데 실용적이고 유용한 접근법을 제시할 수 있을 것으로 기대된다.

감사의 글

본 연구는 동양미래대학교의 2019년도 교내연구지원 사업에 의해 수행되었습니다. 이에 관계자 여러분께 감사드립니다.

References

1. M. Y. Tsi, C. H. J. Hsu, and C. T. O. Wang, "Investigation of thermomechanical behaviors of flip chip BGA packages during manufacturing process and thermal cycling", *Components and Packaging Technologies*, 27(3), 568 (2004).
2. R. Darveaux, C. Reichman, and N. Islam, "Interface Failure in Lead Free Solder Joints", *Proc. 56th Electronic Components and Technology Conference (ECTC)*, San Diego, 906 (2006).
3. S. H. Cho, S. J. Cho, and J. Y. Lee, "Estimation of warpage and thermal stress of IVHs in flip-hip ball grid arrays package by FEM", *Microelectronics Reliability*, 48(2), 300 (2008).
4. J. H. Lau and S. W. R. Lee, "Effects of Build-Up Printed Circuit Board Thickness in the Solder Joint Reliability of a Wafer Level Chip Scale Package(WLCSP)", *Trans. Comp. Packag. Technol.*, 25(1), 51 (2002).
5. S. H. Cho, H. I. Jung, and O. C. Bae, "Numerical Analysis on the Design Variables and Thickness Deviation Effects on Warpage of Substrate for FCCSP", *J. Microelectron. Packag. Soc.*, 19(3), 57 (2012).
6. W. Sun, W. H. Zhu, C. K. Wang, A. Y. S. Sun, and H. B. Tan, "Warpage Simulation and DOE Analysis with Application in Package-on-Package Development", *Proc. 9th Int. Conf. on Thermal, Mechanical and Multiphysics Simulation and Experiments in Micro-Electronics and Micro-Systems, Euro-SimE, Freiburg*, 244, IEEE (2008).
7. Y. L. Tzeng, N. Kao, E. Chen, J. Y. Lai, Y. P. Wang, and C. S. Hsiao, "Warpage and Stress Characteristic Analyses on Package-on-Package (PoP) Structure", *Proc. 9th Electronics Packaging Technology Conference (EPTC)*, Singapore, 482, IEEE (2007).
8. W. Sun, W. H. Zhu, K. S. Le, and H. B. Tan, "Simulation Study on the Warpage Behavior and Board-level Temperature Cycling Reliability of PoP Potentially for High-speed Memory Packaging", *International Conference on Electronic Packaging Technology & High Density Packaging (ICEPT-HDP)*, Shanghai, 978, IEEE (2008).
9. C. M. Ryder, "Embedded components: A comparative analysis of reliability", *Proc. IPC APEX, Las Vegas*, 3156 (2011).
10. S. H. Cho, D. H. Kim, Y. G. Oh, J. T. Lee, and S. S. Cha, "A Study on the Parameters of Design for Warpage reduction of Passive components Embedded Substrate for PoP", *J. Microelectron. Packag. Soc.*, 22(1), 75 (2015).
11. L. Boettcher, S. Karaszkiwicz, D. Manassis and A. Ostmann, "Embedded chip technology: Technologies, applications, and future developments", *Proc. SMTA, San Diego*, 9 (2012).
12. C. T. Ko, S. Chen, C. W. Chiang, T. Y. Kuo, Y. C. Shih and Y. H. Chen, "Embedded active device packaging technology for next-generation chip-in-substrate package, CiSP", *Proc. 56th Electronics Components and Technology Conference (ECTC)*, San Diego, 322, IEEE (2006).
13. L. Boettcher, D. Manassis, A. Ostmann, and H. Reichel, "Realization of system in package modules by embedding of chips", *Proc. IMAPS Device Packaging, Scottsdale*, 397 (2008).
14. H. W. Park, S. H. Cho, J. Kress, A. Bruderer, and N. Galster, "Dielectric composite material with good performance and process ability for embedding of active and passive components into PCBs", *Proc. 63rd Electronic Components and Technology Conference (ECTC)*, Las Vegas, 1325, IEEE (2013).

15. S. H. Cho, D. H. Kim, Y. G. Oh, J. T. Lee, and S. S. Cha, "A Study on the Parameters of Design for Warpage reduction of Passive components Embedded Substrate for PoP", *J. Microelectron. Packag. Soc.*, 22(1), 75 (2015).
16. D. H. Park and T. S. Oh, "Reliability Characteristics of a Package-on-Package with Temperature/Humidity Test, Temperature Cycling Test, and High Temperature Storage Test", *J. Microelectron. Packag. Soc.*, 23(3), 43 (2016).
17. S. Yi, K. O. Kim, D. W. Lee, H. W. Kim, and T. S. Jung, "Embedded passive device technology for wireless mobile devices", *Microelectronics International*, 30(1), 33 (2013).
18. T. Snyder and S. Yi, "Thermal performance of embedded active chips", 9th International Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT), 209 (2014).