

SiC UMOSFET 구조에 따른 온도 신뢰성 분석

Temperature Reliability Analysis based on SiC UMOSFET Structure

이 정 연*, 김 광 수*[★]

Jeongyeon Lee*, Kwang-Soo Kim*[★]

Abstract

SiC-based devices perform well in high-voltage environments of more than 1200V compared to silicon devices, and are particularly stable at very high temperatures. Therefore, 1700V UMOSFET has been actively researched and developed for the use of electric power systems such as electric vehicles and aircrafts. In this paper, we analysed thermal variations of critical variables (breakdown voltage (BV), on-resistance (R_{on}), threshold voltage (v_{th}), and transconductance (g_m)) for the three type 1700V UMOSFETs-Conventional UMOSFET (C-UMOSFET), Source Trench UMOSFET (ST-UMOSFET), and Local Floating Superjunction UMOSFET (LFS-UMOSFET). All three devices showed BV increase, R_{on} increase, v_{th} decrease, and g_m decrease with increasing temperature. However, there are differences in BV , R_{on} , v_{th} , g_m according to the structural differences of the three devices, and the degree and cause of the analysis were compared. All results were simulated using sentaurus TCAD.

요 약

SiC 기반 소자는 silicon 소자 대비 1200V 이상의 고전압 환경에서 우수하게 동작하며 특히 매우 높은 온도에서 안정적인 특성을 보여준다. 따라서 최근 1700V급 UMOSFET이 전기 자동차, 항공기 등의 전력시스템의 사용을 목표로 활발하게 연구 개발 되고 있다. 본 논문에서는 최근 연구되고 있는 세 종류의 1700급 UMOSFET-Conventional UMOSFET (C-UMOSFET), Source Trench UMOSFET (ST-UMOSFET), Local Floating Superjunction UMOSFET (LFS-UMOSFET)-에 대해 온도 변화(300K-600K)에 따른 전력소자에서 중요한 변수 (breakdown voltage(BV), on-resistance(R_{on}), threshold voltage(v_{th}), transconductance(g_m))의 신뢰성 특성을 비교 분석하였다. 세 소자 모두 온도 증가에 따른 BV 증가, R_{on} 증가, v_{th} 감소, g_m 감소를 확인하였다. 그러나 세 소자의 구조 차이에 따라 BV , R_{on} , v_{th} , g_m 변화에 차이가 있어 그 정도 및 원인에 대해 비교 분석하였다. 모든 결과는 sentaurus TCAD을 통해 simulation 되었다.

Key words : 4H-SiC, Temperature variation effect, breakdown voltage, on-resistance, threshold voltage shift, transconductance

* Dept. of Electronics Engineering, Sogang University

★ Corresponding author

E-mail : kimks@sogang.ac.kr, Tel : +82-2-705-8913

※ Acknowledgment

This research was supported by the MSIT (Ministry of Science and ICT), Korea, under ITRC (Information Technology Research Center) support program (IITP-2020-2018-0-01421) supervised by IITP (Institute for Information & communications Technology Promotion and The EDA tool was supported by the IC Design Education Center (IDEC), Korea.

Manuscript received Mar. 10, 2020; revised Mar. 20, 2020; accepted Mar. 24, 2020.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 배경

전력 반도체 시장 규모가 커짐에 따라 이를 응용한 제품은 전기자동차를 비롯한 항공기 산업, 지열 및 광업 탐사, 산업 공정 제어 및 우주 탐사 산업 등 다양한 분야에서 사용된다. 하지만 현재 시장에서 가장 널리 사용되고 있는 Si를 사용한 반도체의 작동 온도 한계는 150°C 정도이다. 때문에 그 이상의 고온, 고압, 고전력 등 극한 환경에서 내구성을 유지하기 어려운 문제점이 있다. 반면에 SiC는 넓은 에너지 밴드 갭에 의한 높은 한계 E-field (3MV/cm), 낮은 진성 캐리어 농도, 높은 융점 (2830°C) 및 높은 열전도율 (4.9 W/cm K) 등의 이점을 가지고 있으므로 고온, 고전압 응용분야에 대한 잠재력을 가지고 있다[1].

하지만 SiC 소자는 아직 개발 및 초기 응용 단계에 있어 온도에 따른 소자 변수의 신뢰성에 관한 연구는 초기 단계이다. 따라서 본 논문에서는 현재 SiC 소자로서 가장 활발히 연구되고 있는 SiC MOSFET, 특히 1700V급 SiC UMOSFET에 대해 온도 영향을 조사, 분석하였다. Power MOSFET에서 중요한 전기적 변수로는 파괴전압 (BV), 온저항 (R_{on}), 문턱 전압 (v_{th}), 트랜스 컨덕턴스 (g_m) 등이 있다. 위 변수들은 전체 회로에 영향을 미치기 때문에 온도에 따른 변화는 시스템 신뢰성이나 소자의 구조를 만들 때 고려해야할 요인이다[2]. 이에 따라, SiC를 기반으로 한 MOSFET 소자의 온도 신뢰성 분석은 중요한 주제로 다뤄지고 있다[3]-[7].

현재 연구에서는 Conventional UMOSFET (C-UMOSFET)[8], Local Floating superjunction UMOSFET (LFS-UMOSFET)[9], Source Trench UMOSFET (ST-UMOSFET)[10] 세 가지 구조의 상온에서의 항복 전압, 온저항 분석이 주를 이루고 있으며 최근에 개발된 LFS-UMOSFET와 ST-UMOSFET의 온도 변화의 영향을 포함하는 내용은 보고된 바가 없다. 따라서 본 연구에서는 초기에 개발된 C-UMOSFET, LFS-UMOSFET, ST-UMOSFET 세 가지 구조에 대해 온도 변화에 따른 소자의 BV , R_{on} , v_{th} , g_m 값의 변화에 미치는 영향을 분석하였다.

II. SiC UMOSFET 구조

분석에 이용된 소자 C-UMOSFET, ST-UMOSFET, LFS-UMOSFET를 그림 1에 나타냈다. 4H-SiC를 사용하여 고전압, 고전류 동작이 가능하게 설계한 소자이다.

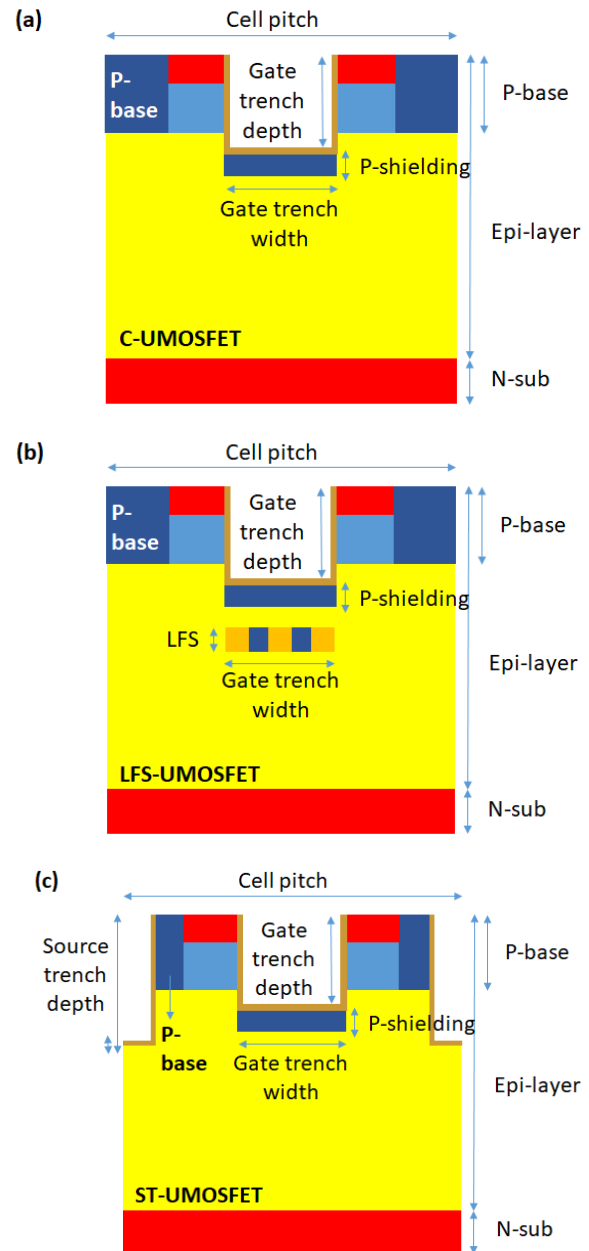


Fig. 1. SiC UMOSFET Structures (a) C-UMOSFET (b) LFS-UMOSFET (c) ST-UMOSFET.

그림 1. SiC UMOSFET 구조 (a) C-UMOSFET (b) LFS-UMOSFET (c) ST-UMOSFET

먼저, C-UMOSFET 구조는 그림 1.(a)과 같다. 도통 시 높은 온저항을 갖는 planar MOSFET에 비해 JFET 부분을 없애 채널 영역의 전류를 수직 방향으로 흐르게 함으로써 더 낮은 온저항을 갖는다.

ST-UMOSFET 구조는 그림 1.(b)에서 볼 수 있듯이 C-UMOSFET의 source 양쪽에 trench를 깎아 oxide로 덮은 구조이다. C-UMOSFET에서 trench oxide에 높은 E-field가 집중되어 소자가 열화되는 현상이 있다. ST-UMOSFET는 source oxide 양단에 E-field가 분산되어 gate trench 구석에 과도하게 E-field가 몰리는 현상을 방지할 수 있다. 따라서 한계 E-field를 초과하지 않게 되어 항복 전압이 높아지는 이점이 있다.

LFS-UMOSFET 구조는 그림 1.(c)에서 볼 수 있듯이 p-shielding 아래에 높은 농도로 n-, p-도핑을 번갈아 줄무늬 모양으로 superjunction을 만든 구조이다. Superjunction을 도입함으로써 E-field에 대해 쉴딩 효과를 유지하면서 BV를 크게 감소시키지 않으면서 depletion 영역의 팽창을 막아 드리프트 층 전류의 이동 범위와 모빌리티를 높여 낮은 온저항을 갖는 구조이다.

III. SiC UMOSFET 구조별 온도에 따른 신뢰성 분석

가. 온도에 따른 파괴전압(BV) 변화 분석

그림 2는 온도변화에 따른 세 소자의 1700V급 BV를 나타낸다. 이때 사용된 파라미터 값은 표 1과 같다. 온도 변화에 따른 BV는 표 2에 나타났다. 그림 3은 온도변화에 따라 세 소자의 BV변화량을 나타낸다. ST-UMOSFET은 300K에서 600K로 증가할 때 BV가 1685.60V에서 1756.07V로 71V 증가한다. 하지만 LFS-UMOSFET와 C-UMOSFET는 온도에 따른 BV의 차이가 5V 내외로 온도의 영향을 거의 받지 않았다.

BV는 impact ionization에 의해 결정된다. MOSFET에서 온도가 증가하면 intrinsic carrier 농도가 증가하여 charge carrier의 mean free path가 감소하기 때문에 충돌 직전의 에너지가 작다. 따라서 일반적으로 온도가 증가할수록 BV가 증가한다. 하지만 SiC에서는 물질 특성상 그 변화가 적다[11]. 그림 4.(a), (c), (e)는 파괴전압일 때, 온도 300K에서 각각 C-UMOSFET, LFS-UMOSFET, ST-UMOSFET

의 E-field 분포를 비교한 그림이며 그림 4.(b), (d), (f)는 온도 600K일 때 E-field를 나타낸다.

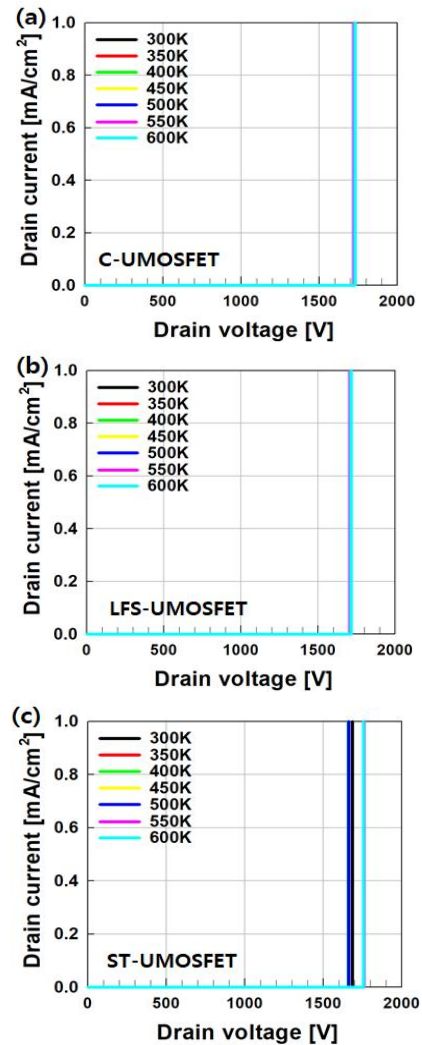


Fig. 2. Breakdown voltage of (a) C-UMOSFET (b) LFS-UMOSFET (c) ST-UMOSFET
 그림 2. (a) C-UMOSFET (b) LFS-UMOSFET (c) ST-UMOSFET의 파괴전압

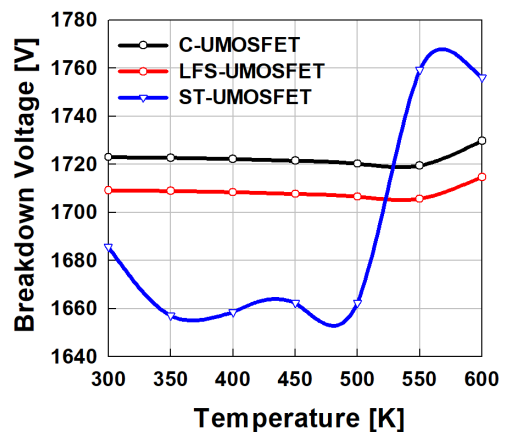


Fig. 3. Breakdown voltage according to temperature change.
 그림 3. 온도 변화에 따른 breakdown voltage

Table 1. Device parameters for the simulation.

표 1. 시뮬레이션 디바이스 파라미터

Parameters	C-UMOSFET	LFS-UMOSFET	ST-UMOSFET	Unit
Cell pitch	5.55			μm
Trench depth	1.5			
Trench width	1.5			
N-epitaxy layer depth	16.5			
P-base depth	0.7			
P-shielding depth	0.3			
Superjunction depth	-	0.3	-	
Depth between p-shielding and superjunction	-	0.4	-	
Source-trench width	-	-	1	
Source-trench depth	-	-	2.4	
Source-trench oxide thickness	-	-	0.1	cm^{-3}
P-base doping concentration	1×10^{17}			
N-epitaxy layer concentration	2.6×10^{15}	2.4×10^{15}	4.0×10^{15}	
P-shielding doping concentration	5×10^{18}			
Superjunction doping concentration	-	3×10^{17}	-	

Table 2. Temperature dependent breakdown voltage.

표 2. 온도에 따른 파괴전압

Temperature	Breakdown voltage [V]		
	C-UMOSFET	LFS-UMOSFET	ST-UMOSFET
300K	1723.0	1709.1	1685.6
350K	1722.7	1708.9	1657.0
400K	1722.2	1708.4	1658.4
450K	1721.4	1707.7	1662.2
500K	1720.2	1706.5	1662.2
550K	1719.4	1705.6	1759.3
600K	1729.7	1714.6	1756.0

그림 4로부터 구조상 C-UMOSFET과 LFS-UMOSFET는 ST-UMOSFET와 달리 E-field 분산이 없어 gate oxide에 걸리는 E-field가 크다는 것을 확인할 수 있다. 온도 300K, 파괴전압일 때, C-UMOSFET, LFS-UMOSFET의 gate oxide에 걸리는 E-field는 각각 $4.38 \times 10^6 V/cm$, $4.37 \times 10^6 V/cm$ 이고, ST-UMOSFET의 source trench oxide에 걸리는 E-field는 $9.04 \times 10^6 V/cm$ 이다. 600K일 때 각각

$5.12 \times 10^6 V/cm$ 이, $4.88 \times 10^6 V/cm$, $1.10 \times 10^7 V/cm$ 이다. 즉, C-UMOSFET, LFS-UMOSFET, ST-UMOSFET의 온도에 따른 gate oxide의 E-field 차이는 각각 $0.74 \times 10^6 V/cm$, $0.51 \times 10^6 V/cm$, $2 \times 10^6 V/cm$ 로 ST-UMOSFET의 차이가 가장 크다. 따라서 온도 변화에 따른 BV 변화량이 가장 크게 나타났다(그림 4.(e), (f)의 원 참조).

나. 온도에 따른 온저항 (R_{on})의 변화 분석

그림 5는 세 소자의 온도변화에 따른 출력 특성을 나타낸다. 그림 5를 보면 세 소자 모두 온도 증가로 인해 drain 전류가 감소한다. 온도가 증가함에 따라 inversion layer의 mobility가 감소하기 때문이다[12]. 그림 5로부터 R_{on} 이 계산되었다. 그림 6는 온도 변화에 따른 R_{on} 변화를 나타낸다.

이를 표 3에 나타냈다. gate 전압은 5V로 고정하고 drain 전압을 0V에서 800V까지 높였다. 그림 6를 보면 세 소자 모두 온도 증가에 따라 R_{on} 은 증가한다. 온도가 300K일 때, R_{on} 은 C-UMOSFET, LFS-UMOSFET 순으로 크다. C-UMOSFET, LFS-UMOSFET, ST-UMOSFET의 R_{on} 은 각각 10.82, 9.56, 12.80 $m\Omega \cdot cm^2$ 이고, 600K일 때 R_{on} 은 각각 24.87, 23.14, 23.63 $m\Omega \cdot cm^2$ 이다. 그림 6에서 그래프의 기울기를 보면 C-UMOSFET의 변화량이 가장 크고 ST-UMOSFET 변화량이 가장 작으며 600K에서는 C-UMOSFET의 R_{on} 이 ST-UMOSFET보다 커지는 것을 알 수 있다. 이러한 소자 간 차이는 R_{on} 증가에 가장 큰 영향을 미치는 drift 영역 때문에 발생한다. 온도 증가에 따른 R_{on} 증가는 drift영역과 inversion layer의 mobility 감소와 연관이 있다. drift 영역에서 낮은 농도일 때 lattice vibration이 일어나 mobility가 감소한다. inversion layer는 p-base영역의 도핑 농도가 높기 때문에 drift 영역보다는 온도에 대한 변화가 적다[12]. 따라서 LFS-UMOSFET는 drift 영역에 농도가 높은 superjunction 영역이 존재하기 때문에 온도가 증가해도 drift 영역만 존재하는 C-UMOSFET에 비해 phonon scattering이 덜 일어난다. 또한, ST-UMOSFET는 구조상 drift 영역이 C-UMOSFET에 비해 작으므로 온도 증가로 인한 phonon scattering이 일어나는 영역이 줄어든다. 그러므로 다른 두 소자에 비해 C-UMOSFET의 온도 증가에 따른 R_{on} 변화량이 상대적으로 큰 값으로 나타났다.

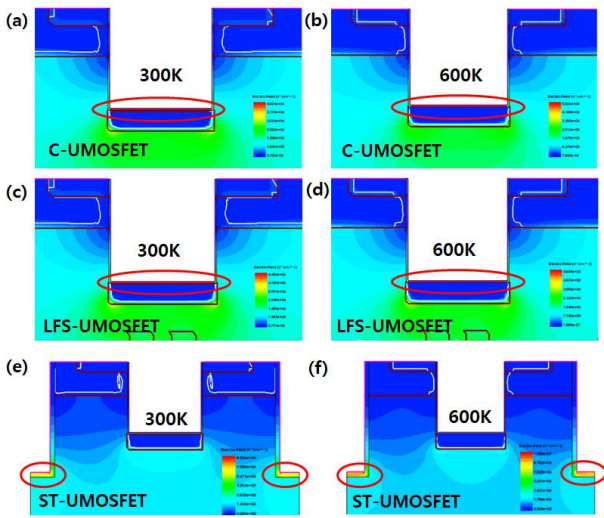


Fig. 4. E-field according to temperature change (a) C-UMOSFET (300K) (b) C-UMOSFET (600K) (c) LFS-UMOSFET (300K) (d) LFS-UMOSFET (600K) (e) ST-UMOSFET (300K) (f) ST-UMOSFET (600K).

그림 4. 온도 변화에 따른 E-field (a) C-UMOSFET (300K) (b) C-UMOSFET(600K) (c) LFS-UMOSFET(300K) (d) LFS-UMOSFET(600K) (e) ST-UMOSFET(300K) (f) ST-UMOSFET(600K)

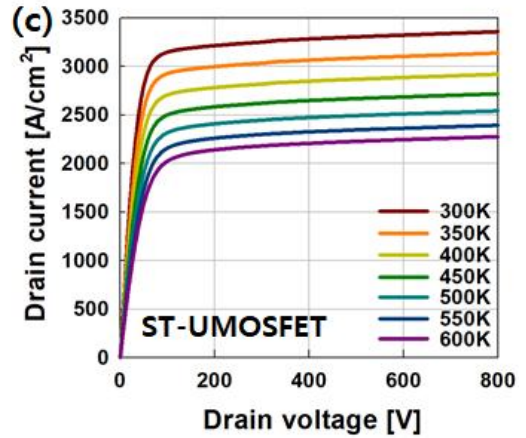
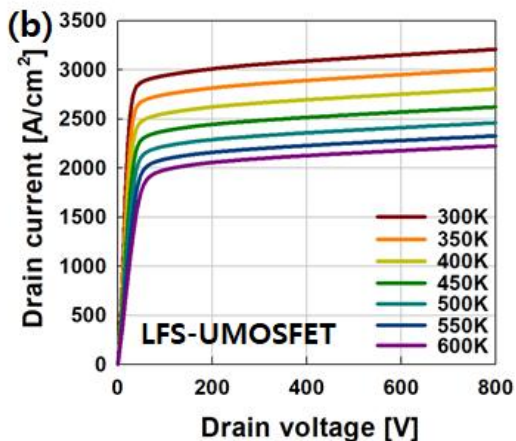
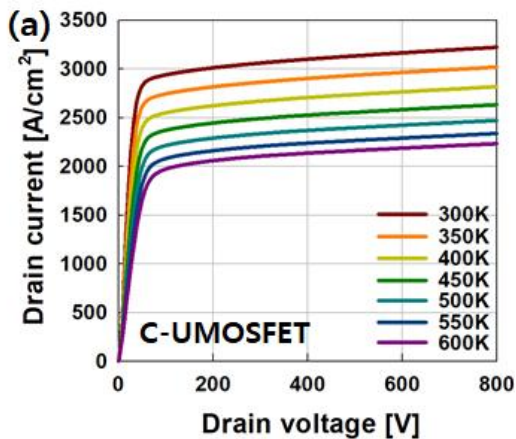


Fig. 5. Temperature dependent output characteristics of (a) C-UMOSFET (b) LFS-UMOSFET (c) ST-UMOSFET.

그림 5. 온도 변화에 따른 출력 특성 (a) C-UMOSFET (b) LFS-UMOSFET (c) ST-UMOSFET

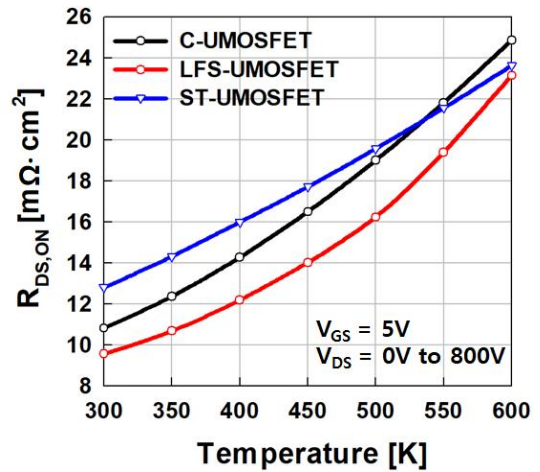


Fig. 6. Temperature dependent on-resistance.

그림 6. 온도 변화에 따른 온저항

Table 3. Temperature dependent on-resistance.

표 3. 온도 변화에 따른 온저항

Temperature	On-resistance [$m\Omega \cdot cm^2$]		
	C-UMOSFET	LFS-UMOSFET	ST-UMOSFET
300K	10.82	9.56	12.80
350K	12.37	10.68	14.32
400K	14.28	12.19	16.00
450K	16.50	14.02	17.72
500K	19.01	16.24	19.58
550K	21.81	19.40	21.56
600K	24.87	23.14	23.62

다. 온도 변화에 따른 문턱 전압 (v_{th}) 변화

v_{th} 는 작은 변화로도 출력 전류를 크게 변화시키기 때문에 MOSFET 특성의 온도 의존성 연구에서 가장 중요한 매개 변수이다. MOSFET 전류-전압 특성은 gate 전압과 v_{th} 차이의 제곱에 비례 한다 [13]. 다음의 식 (1)을 이용하여 p-type substrate MOSFET의 문턱 전압을 계산한다.

$$V_{TH} = V_{fb} + 2\psi_B + \frac{\sqrt{2qN_a\epsilon_{SiC}|2\psi_B|}}{C_{ox}} \quad (1)$$

이때, ψ_B 는 표면 전위이고, 표면 전위는 식 (2)와 같이 나타난다.

$$\psi_B = \frac{kT}{q} \ln\left(\frac{N_a}{n_i}\right) \quad (2)$$

이때, n_i 는 intrinsic carrier이며 온도에 따른 n_i 의 변화는 식 (3)과 같이 나타난다.

$$n_i = \sqrt{N_c N_v} \exp\left(-\frac{E_g}{2kT}\right) \quad (3)$$

따라서 식 (1), (2), (3)에 의해 intrinsic carrier의 농도는 온도에 영향을 받게 된다. 온도가 증가함에 따라 intrinsic carrier가 늘어나면 표면전위는 줄어들게 되고 v_{th} 는 감소하게 된다[14].

그림 7은 온도 증가에 따른 transfer curve을 나타낸다. drain 전압이 5V일 때 온도를 300K에서부터 600K까지 50K씩 증가시켰다. 세 소자 모두 온도 증가에 따라 v_{th} 가 감소한다. 그 이유는 높은 온도일 때 valence band에서 conduction band로 에너지를 받아 이동하는 intrinsic carrier concentration이 증가하여 채널을 더 낮은 전압에서 형성할 수 있기 때문이다.

그림 8은 세 소자의 온도에 따른 v_{th} 변화를 나타낸다. 이를 표 7에 나타냈다. v_{th} 를 4V로 동일하게 맞춘 상태에서 600K로 온도를 증가시켰다. 이때 C-UMOSFET, LFS-UMOSFET의 v_{th} 의 감소량보다 ST-UMOSFET의 v_{th} 의 감소량이 더 많다. 이는 ST-UMOSFET의 source trench의 oxide에 body effect가 발생하기 때문이다. 그림 9는 그림 1의 source trench와 p-base 부분을 확대한 부분이며 온도 300K, drain 전압 5V, gate 전압 4V일 때 세 소자의 E-field를 나타낸다. 그림 9에서 ST-UMOSFET

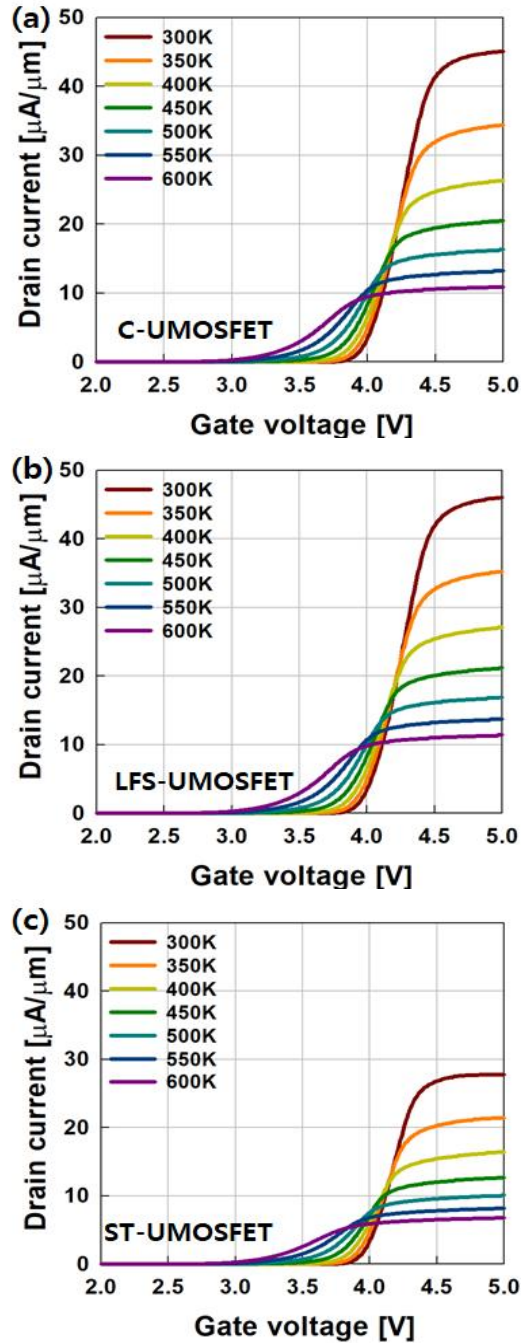


Fig. 7. Transfer curve with temperature variations (a) C-UMOSFET (b) LFS-UMOSFET (c) ST-UMOSFET.

그림 7. 온도 변화에 따른 전송 곡선 (a) C-UMOSFET (b) ST-UMOSFET (c) LFS-UMOSFET

는 C-UMOSFET, LFS-UMOSFET과 달리 source의 trench oxide에 E-field가 형성된다. 따라서 ST-UMOSFET 구조에서는 source trench 부분에 존재하는 oxide로 인해 voltage drop이 발생하여 body effect로 인한 threshold voltage shift가 일어난다. 따라서 채널이 형성되는 p-base 지역에 양의

전압이 인가된다. 이때 v_{th} 의 온도에 따른 변화량을 C-UMOSFET과 LFS-UMOSFET는 식 (4)로, ST-UMOSFET은 식 (5)로 나타낼 수 있다[15].

$$\frac{dV_{TH}}{dT} = -\frac{1}{2q} \frac{dE_g}{dT} + (2m-1) \frac{d\psi_B}{dT}, \quad (4)$$

$$\frac{dV_{TH}}{dT} = -\frac{1}{2q} \frac{dE_g}{dT} + (2m-1) \frac{d(\psi_B - V_{sb})}{dT} \quad (5)$$

이때 V_{sb} 는 ST-UMOSFET의 source trench oxide에 걸리는 전압을 나타낸다. oxide 내에는 온도에 큰 영향을 받는 carrier가 존재하지 않으므로 온도 변화로 인한 oxide부분의 전압 변화가 semiconductor에 비해 온도에 대한 영향이 적다. 식 (5)에 따라 온도가 증가하면 표면전위의 변화량이 V_{sb} 의 변화량보다 크게 되므로 온도에 따른 $\psi_B - V_{sb}$ 의 변화량이 식 (4)의 온도에 따른 ψ_B 변화량보다 크게 된다. 결과적으로 v_{th} 의 변화량이 ST-UMOSFET에서 상대적으로 크다.

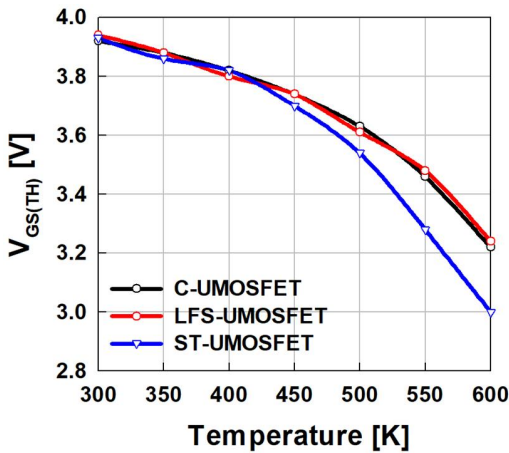


Fig. 8. Temperature dependent threshold voltage.
그림 8. 온도 변화에 따른 문턱전압

Table 4. Temperature dependent threshold voltage.
표 4. 온도에 따른 문턱 전압

Temperature	Threshold voltage [V]		
	C-UMOSFET	LFS-UMOSFET	ST-UMOSFET
300K	3.92	3.94	3.93
350K	3.88	3.88	3.86
400K	3.82	3.80	3.82
450K	3.74	3.74	3.70
500K	3.63	3.60	3.54
550K	3.46	3.52	3.28
600K	3.22	3.24	2.92

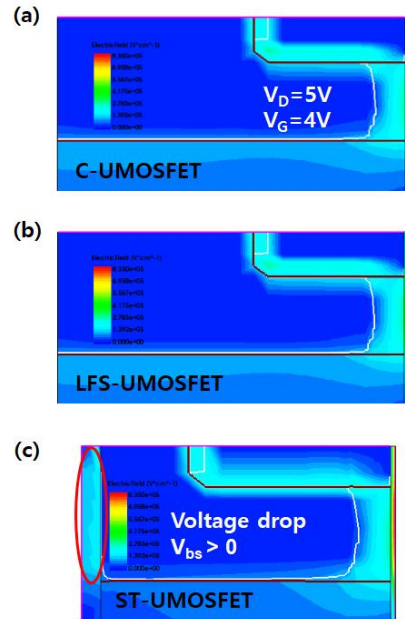


Fig. 9. E-field distribution near P-base at 300K ($V_{DS} = 5V$, $V_{GS} = 4V$) (a) C-UMOSFET (b) LFS-UMOSFET (c) ST-UMOSFET.

그림 9. 300K일 때의 P-base 부분의 전기 분포 ($V_{DS} = 5V$, $V_{GS} = 4V$) (a) C-UMOSFET (b) LFS-UMOSFET (c) ST-UMOSFET

라. 온도에 따른 트랜스 컨덕턴스 (g_m) 분석

그림 10는 세 소자의 온도변화에 따른 g_m 변화를 나타낸다. 이를 표 5에 나타냈다. 그림 10에서 세 소자 모두 온도 증가에 따라 g_m 이 감소한다. 온도가 300K일 때 C-UMOSFET, LFS-UMOSFET, ST-UMOSFET의 g_m 은 각각 102.6, 102.6, 74.4 $\mu S/\mu m$ 이고, 600K일 때 g_m 은 각각 16.9, 17.7, 9.4 $\mu S/\mu m$ 이다. 이때 ST-UMOSFET의 g_m 값의 변화량이 가장 작다. 이는 ST-UMOSFET의 trench 구조의 oxide 때문에 v_{th} 변화량이 가장 크기 때문이다. 다음 식 (6)는 g_m 를 나타낸다.

$$g_m = \frac{W\mu_n C_{OX}}{L_{CH}} (V_G - V_{TH}) \quad (6)$$

g_m 값을 결정하는 파라미터 중에 온도에 영향을 받는 것은 channel inversion layer mobility와 v_{th} 이다. 온도가 높아지면 channel inversion layer mobility가 감소하고 v_{th} 도 감소한다[16]. 식 (6)에서 channel inversion layer mobility가 감소하면 g_m 은 감소하지만 v_{th} 가 감소하면 g_m 은 증가한다. ST-UMOSFET은 온도가 300K에서 600K로 증가할 때 v_{th} 가 가장

많이 감소한다. v_{th} 감소량이 크면 g_m 의 감소량은 작다. 따라서 ST-UMOSFET의 v_{th} 변화량이 다른 두 소자에 비해 크기 때문에 g_m 변화량이 가장 작다.

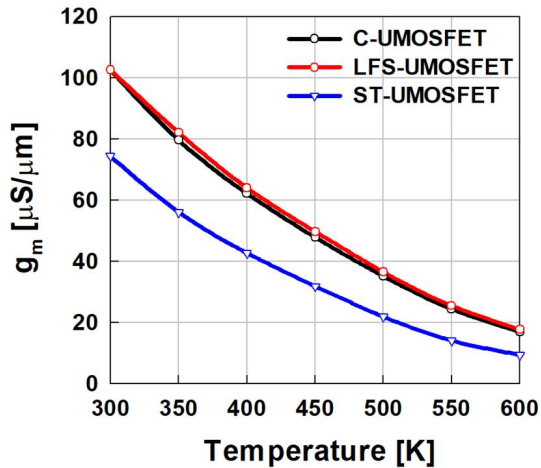


Fig. 10. Temperature dependent transconductance.
그림 10. 온도 변화에 따른 트랜스 컨덕턴스

Table 5. Temperature dependent transconductance.
표 5. 온도 변화에 따른 트랜스 컨덕턴스

Temperature	Transconductance [mS]		
	C-UMOSFET	LFS-UMOSFET	ST-UMOSFET
300K	0.102	0.102	0.074
350K	0.079	0.082	0.056
400K	0.062	0.064	0.042
450K	0.047	0.049	0.031
500K	0.035	0.036	0.021
550K	0.024	0.025	0.014
600K	0.016	0.017	0.093

IV. 결론

SiC UMOSFET의 세 종류의 구조에 대해 온도 증가에 따른 BV , R_{on} , v_{th} , g_m 변화량을 시뮬레이션을 통해 확인하고 결과를 분석하였다. 먼저 온도 증가로 인한 BV 의 증가량은 71V로 ST-UMOSFET가 가장 두드러지게 나타났으며 C-UMOSFET와 LFS-UMOSFET의 증가량은 5V 내외로 상대적으로 작았다. 이는 구조의 차이로 인해 E-field의 분산이 달라짐에 의한 것으로 확인되었다. 또한 세 소자 모두 온도가 증가함에 따른 v_{th} 감소, R_{on} 증가, g_m 감소함을 확인했다. ST-UMOSFET는 구조상 drift

영역 면적이 작기 때문에 온도가 높아져도 C-UMOSFET와 LFS-UMOSFET에 비해 phonon scattering의 영향을 덜 받아 R_{on} 의 증가량이 $10.8m\Omega \cdot cm^2$ 정도로 작다. 또한 source trench 부분에 존재하는 oxide로 인해 voltage drop이 발생하여 body effect로 인한 v_{th} 변화량이 1V로 가장 크다. 그러므로 ST-UMOSFET의 g_m 변화량은 세 소자 중 가장 낮다. 결과적으로 ST-UMOSFET는 BV , R_{on} , v_{th} , g_m 변화에 대한 온도 신뢰성이 향상되는 측면에서 장점을 갖는다. 따라서 이 소자들을 이용하여 전력 시스템을 구성 시에는 온도에 따른 변수의 변화를 감안하여 설계를 하여야 할 것이다.

References

- [1] K. Puschkarsky, T. Grasser, T. Aichinger, W. Gustin, and H. Reisinger, "Review on SiC MOSFETs High-Voltage Device Reliability Focusing on threshold voltage Instability," *IEEE Transactions on Electron Devices*, Vol.66, No.11, pp.4604-4616, 2019. DOI: 10.1109/TED.2019.2938262
- [2] H. Li, X. Lia, Y. Hu, Z. Huang, and K. Wang, "Analysis of voltage variation in silicon carbide MOSFETs during turn-on and turn-off," *Energies*, Vol.10, No.10, pp.1456, 2017. DOI: 10.3390/en10101456
- [3] T. Aichinger, G. Rescher, and G. Pobegen, "Threshold voltage peculiarities and bias temperature instabilities of SiC MOSFETs," *Microelectronics Reliability*, Vol.80, pp.68-78, 2018. DOI: 10.1016/j.microrel.2017.11.020
- [4] B. Asllani, A. Fayyaz, A. Castellazzi, H. Morel, and D. Planson, "VTH subthreshold hysteresis technology and temperature dependence in commercial 4H-SiC MOSFETs," *Microelectronics Reliability*, Vol.88, pp.604-609, 2018. DOI: 10.1016/j.microrel.2018.06.047
- [5] T. Funaki, J. C. Balda, J. Junghans, A. S. Kashyap, H. A. Mantooth, F. Barlow, T. Kimoto, and T. Hikiyara, "Power conversion with SiC devices at extremely high ambient temperatures," *IEEE Transactions on Power electronics*, Vol.22, No.4, pp.1321-1329, 2007.

DOI: 10.1109/TPEL.2007.900561

[6] W. Zhou, X. Zhong, and K. Sheng, "High temperature stability and the performance degradation of SiC MOSFETs," *IEEE Transactions on Power electronics*, Vol.29, No.5, pp.2329-2337, 2013.

DOI: 10.1109/TPEL.2013.2283509

[7] Z. Chen, Y. Yao, D. Boroyevich, K. D. Ngo, P. Mattavelli, and K. Rajashekara, "A 1200-V, 60-A SiC MOSFET multichip phase-leg module for high-temperature, high-frequency applications," *IEEE Transactions on Power electronics*, Vol.29, No.5, pp.2307-2320, 2013.

DOI: 10.1109/TPEL.2013.2283245

[8] B. J. Baliga, *Silicon Carbide Power MOSFET*, World Scientific Publishing Co., New York, 2006.

[9] K. Taehong and K. Kwangsoo, "High Breakdown Voltage and Low On-Resistance 4H-SiC UMOFET with Source-Trench Optimization," *ECS Journal of Solid State Science and Technology*, Vol.8, No.8, pp.147-152, 2019, DOI: 10.1149/2.0091908jss

[10] G. Jinyoung and K. Kwangsoo, "Low on-resistance 4H-SiC UMOFET with local floating superjunction," *Journal of Computational Electronics*, Vol.19, pp.234-241, 2020.

DOI: 10.1007/s10825-019-01408-1

[11] S. Chen, C. Cai, T. Wang, Q. Guo, and K. Sheng, "Cryogenic and high temperature performance of 4H-SiC power MOSFETs," *In 2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp.207-210, 2013. DOI: 10.1109/APEC.2013.6520209

[12] B. J. Baliga, *Advanced Power MOSFET Concepts*, Springer Science & Business Media, New York, 2010.

[13] B. Asllani, A. Castellazzi, O. A. Salvado, A. Fayyaz, H. Morel, and D. Planson, "VTH-Hysteresis and Interface States Characterisation in SiC Power MOSFETs with Planar and Trench Gate," *2019 IEEE International Reliability Physics Symposium (IRPS)*, pp.1-6, 2019.

DOI: 10.1109/irps.2019.8720612

[14] M. Hasanuzzaman, S. K. Islam, and L. M. Tolbert, "Effects of temperature variation (300-600

K) in MOSFET modeling in 6H-silicon carbide," *Solid-State Electronics*, Vol.48, No.1, pp.125-132, 2004. DOI: 10.1016/S0038-1101(03)00293-4

[15] L. Hui, L. Xinglin, H. Yaogang, Z. Zheng, S. Erbing, and X. Hongwei, "Analysis of SiC MOSFET dI/dt and its temperature dependence," *IET Power Electronics*, Vol.11, No.3, pp.491-500, 2018.

DOI: 10.1049/iet-pel.2017.0203

[16] B. J. Baliga, *Fundamentals of Power Semiconductor Devices*, Springer Science & Business Media, New York, 2008.

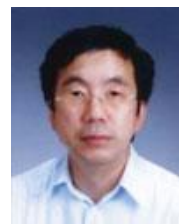
BIOGRAPHY

Jeongyeon Lee (Member)



2018. 8 : BS degree in Electrical Engineering, Kwangwoon University.
2019 : MS degree in Electrical Engineering, Sogang University.

Kwang-Soo Kim (Member)



1981 : BS degree in Electronic Engineering, Sogang University.
1983 : MS degree in Electronic Engineering, Sogang University.
1998 : PhD degree in Electronic Engineering, Sogang University.

1983~1997 : Electronics and Telecommunications Research Institute (ETRI).

1998~2005 : Institute for Information Technology Advancement (IITA)

2005~2008 : Daegu Gyeongbuk Institute of Science and Technology (DGIST)

2008~present : Professor, Electronic Engineering, Sogang University.