

# 색 보정을 위한 HSV 알고리즘의 최적화된 하드웨어 구현

## Optimized Hardware Implementation of HSV Algorithm for Color Correction

박 상 욱\*, 강 봉 순\*<sup>★</sup>

Sangwook Park\*, Bongsoon Kang\*<sup>★</sup>

### Abstract

As the autonomous driving market is rapidly growing, research on autonomous driving is being conducted. Self-driving functions should be performed regardless of the weather for the driver's safety. However, misty weather is difficult to autonomous driving because of the lack of visibility, so a defog algorithm should be used. The image obtained through the fog removal algorithm causes the image quality to deteriorate. To improve this problem, HSV color correction is used to increase the sharpness. In this paper, we propose a color correction hardware using HSV that can cope with 4K images. The hardware was designed with Verilog and verified by Modelsim. In addition, the FPGA was implemented with the goal of Xilinx's xc7z045-2ffg900.

### 요 약

자율주행 시장이 급성장함에 따라 자율주행에 대한 연구가 진행되고 있다. 자율주행 기능은 운전자의 안전을 위해 날씨에 상관없이 수행되어야 한다. 하지만 안개 낀 날씨에는 가시성이 떨어져 자율주행에 어려움을 겪기 때문에 안개 제거 알고리즘을 사용해야 한다. 안개 제거 알고리즘을 통해 얻은 이미지는 영상의 품질저하를 발생 시킨다. 이러한 문제점을 개선하기 위해서 HSV 색 보정을 이용하여 선명도를 증가시킨다. 본 논문에서는 4K 영상에서도 대응할 수 있는 HSV를 이용한 색 보정 하드웨어를 제안한다. 이 하드웨어는 Verilog로 설계했으며 Modelsim을 통해 검증했다. 또한, Xilinx사의 xc7z045-2ffg900을 목표로 FPGA를 구현하였다.

*Key words : HSV Color Space, Verilog-HDL, Hardware implementation, 4K image, Dehaze*

### 1. 서론

자율주행 연구가 활발히 진행됨에 따라 운전자가 직접 개입하지 않더라도 안정적인 자율주행이 가능하게 되었다. 자율주행은 운전자의 안전을 위해 주변 사물을 정확하게 판단할 수 있는 검출 능력이 필요하다. 따라서 안개와 같은 악조건에 상관없이

정확한 검출을 통해 사고를 예방하며 안전하게 목표지점까지 갈 수 있어야 한다. 안개는 빛이 산란되어 주변 색상 정보 및 명암을 왜곡시켜 자율주행 능력을 저하시킨다.

안개 제거를 위해 안개 모델을 이용하여 이미지를 복원하는 방법을 사용하게 된다[1-2]. 이 방법들은 안개 제거에 효과적이다. 하지만 과도한 안개

\* Dept. of Electronics Engineering, Dong-A University

★ Corresponding author

E-mail : bongsoon@dau.ac.kr, Tel : +82-51-200-7703

※ Acknowledgment

This research was supported by Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education (NRF-2015R1D1A1A01060427).

Manuscript received Mar. 6, 2020; revised Mar. 19, 2020; accepted Mar. 21, 2020.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

검출과 잘못된 깊이맵 추정을 통하여 안개를 제거할 경우, 영상의 밝기가 낮아지거나 실세계의 색상을 정확히 반영하지 못하는 문제점이 빈번히 발생한다. 영상의 밝기가 낮아질 경우, 영상 내 정보들을 정확히 파악하기 어려우며 자율주행을 위한 차선인식 및 사물인식에도 한계가 있다. 이러한 문제점을 해결하기 위해 HSV를 사용한다.

본 논문에서는 안개 모델을 이용해 안개 제거 후 발생하는 문제점을 개선하기 위해 4K 영상에서도 채도 및 명도를 조절할 수 있는 HSV 하드웨어 설계를 제안한다. HSV는 각각 색상(Hue), 채도(Saturation), 명도(Value)로써 원통형 모양을 갖는 색상 공간이다. 색상(Hue)은 원을 기준으로 Red는 0°, Green은 120°, Blue는 240°에 위치하며 색상의 정보를 나타낸다. 채도(Saturation)는 원의 반지름에 해당하며 색상이 진하거나 옅은 정도를 나타낸다. 명도(Value)는 원통형 높이로써 낮을 경우 어두운 값, 높을 경우 밝은 값을 나타낸다. 자율주행은 실외에서 촬영되기 때문에 검출에 불필요한 요소들을 HSV 좌표계에서 채도와 명도를 조절하고 임계값을 설정해 원하는 색상 영역을 추출하기 효과적이다. 따라서 제안하는 하드웨어는 RGB정보를 HSV로 변환 후, 각각의 H, S, V 가중치를 더하거나 곱하기를 통해 색상, 채도, 명도를 조절하도록 설계하였다. 또한, HSV를 구성하는 하드웨어의 크기를 최적화하기 위해 수정된 HSV 수식을 정의한다.

본 논문은 HSV 가중치를 소개하고 제안된 HSV 수식을 하드웨어 자원을 효율적으로 사용하기 위한 방안을 설명한다. 또한, 디스플레이 향상으로 인해 영상처리 알고리즘이 4K영상에서도 대응이 필수적이다. 그러므로 4K 대응 하드웨어 설계를 검증하기 위한 Xilinx 합성 결과와 Modelsim을 통한 검증을 제시하고 본 논문의 결론에 대해 서술한다.

II. 본론

1. 알고리즘에서 사용되는 HSV parameter

HSV는 RGB 정보를 수식을 적용하면 색상, 채도, 명도를 구할 수 있다[3]. 색상은 그림 1의 원통의 윗면을 기준으로 각도에 따라 RGB 정보를 나타낸다. 따라서 RGB 정보를 각도에 따라 나뉘도록 나타내며 값은 0~1이다.

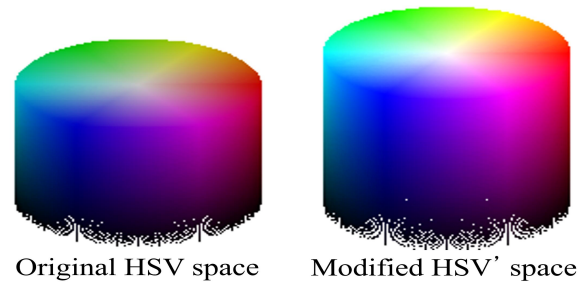


Fig. 1. HSV color space with parameter applied. 그림 1. Parameter를 적용한 HSV 좌표계

제안하는 HSV'는 그림 1과 같이 기존의 좌표계에서 각각의 가중치를 이용하여 HSV 정보를 수정할 수 있다. 왼쪽 그림은 원본 이미지에 대한 좌표계이며 오른쪽 그림은 채도와 명도에 1보다 큰 가중치를 적용하여 풍부한 색이 표현 가능하도록 수정된 좌표계를 나타낸 것이다. 채도와 명도의 가중치는 0.01~1.99값을 사용하며 기존의 값을 낮추거나 높일 수 있다. 하지만 2.0 이상의 값을 사용하면 색상의 포화 현상이 발생해 제한을 두었다. 0의 가중치 값을 곱하게 되면 채도와 명도 정보들을 잃어 제한했다.



Fig. 2. Image with HSV parameter applied. 그림 2. HSV parameter를 적용한 이미지

그림 2는 안개 제거 후 발생한 문제점에 대한 이미지를 HSV 가중치를 조절하여 채도와 명도를 선명하게 나타낸 그림이다. 가중치를 이용한 HSV'는 HSV to RGB를 통해 그림 1의 오른쪽 아래 그림과 같이 RGB 정보로 나타낼 수 있다.

### 2. 하드웨어 최적화를 위한 수식 변형

하드웨어를 설계할 때 나눗셈의 연산을 사용할 경우, 많은 플립플롭(Flip-Flop)의 사용으로 인해 하드웨어의 크기가 커진다. 따라서 알고리즘에서 사용되는 수식을 하드웨어에서 사용할 경우 하드웨어 자원을 적게 사용할 수 있는 수식으로 변형할 필요가 있다. 최종 RGB의 값과 오차가 없으며 불필요한 연산을 최소화 하여 하드웨어의 크기를 줄이는 방법은 그림 3을 통해 하드웨어의 크기를 줄일 수 있다. 여기서  $var_{max}$ 는 RGB 중 최댓값과 최솟값의 차이이다.

$$\text{Before } Hue = \begin{cases} 0 & \\ \frac{1}{6} \left( \frac{G-B}{var_{max}} \right) & \\ \frac{1}{6} \left( \frac{B-R}{var_{max}} + 2 \right) & \\ \frac{1}{6} \left( \frac{R-G}{var_{max}} + 4 \right) & \end{cases} \rightarrow \text{After } Hue = \begin{cases} 0 & var_{max} = 0 \\ \left( \frac{G-B}{var_{max}} \right) & max = R \\ \left( \frac{B-R}{var_{max}} + 2 \right) & max = G \\ \left( \frac{R-G}{var_{max}} + 4 \right) & max = B \end{cases}$$

$$var_h = \begin{cases} H' \times 6 \\ 0 \text{ (if, } var_h = 6) \end{cases} \rightarrow var_h = \begin{cases} H' \\ 0 \text{ (if, } var_h = 6) \end{cases}$$

Fig. 3. Proposed modified HSV formula.  
그림 3. 제안하는 수정된 HSV 수식

그림 3은 하드웨어 최적화를 위해 변형된 수식을 나타낸다. RGB to HSV의 Hue 값은 해당 픽셀에 위치하는 최대 RGB 값에 따라 6을 나누는 연산이 필요하다. 그리고 HSV to RGB의 최종 RGB 정보를 구하기 위해 H' 값에 6을 곱해준다. 입력 RGB의 정보를 HSV로 변환 후 최종 출력 RGB를 얻게

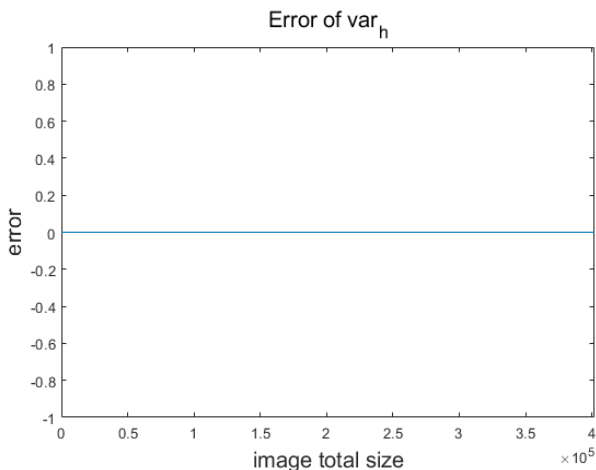


Fig. 4. Error of proposed formula and existing formula.  
그림 4. 제안한 수식과 기존 수식의 오차

된다. 이 과정에서 Hue 값을 구할 때는 6의 나눗셈과 다시 RGB 정보를 구할 때 H'와 6의 곱셈이 이루어지는데, 이 과정은 생략하여도 최종 출력 RGB에 영향을 끼치지 않는다. 따라서 bit-size가 큰 곱셈연산과 나눗셈 연산을 제거 해줌으로써 하드웨어의 크기를 줄이고 속도를 개선할 수 있다.

그림 4는 알고리즘에서 사용된 수식과 하드웨어에 최적화된 수식의  $var_h$ 에 대한 오차이다. 그림에서 최종 출력에는 아무런 영향을 주지 않는 것을 확인할 수 있다.

### 3. 속도 개선을 위한 하드웨어 설계

HSV to RGB를 하는 과정에서 데이터의 크기가 큰 두 데이터의 곱셈이 사용된다. 10bit 이상의 곱셈 연산이 진행된다면 연산과정이 길어져 하드웨어의 처리속도가 늦어진다.

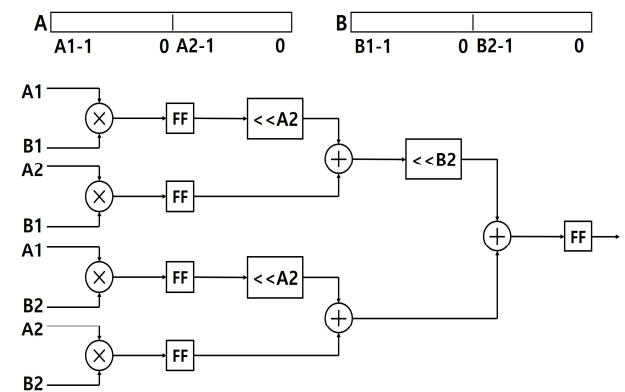


Fig. 5. Computational process of split multiplier.  
그림 5. Split multiplier의 연산과정

그림 5와 같이 데이터의 크기를 상부와 하부로 나누어 계산을 하는 split multiplier를 사용하면 하드웨어의 처리 속도를 줄일 수 있다[4]. 데이터의 상부와 하부의 비율에 따라 하드웨어의 연산 속도에 차이가 있는데 데이터 크기의 가운데를 중심으로 나누는 것이 효율적이다[5].

### 4. 하드웨어 구현 및 결과

Verilog 설계를 통한 Modelsim은 총 50개의 이미지를 이용하여 검증했다. 그림 6은 50개 중 1개의 이미지에 대하여 Modelsim 검증을 나타낸다. 그림 7은 그림 6에서 사용한 것과 동일한 이미지에 대해 Modelsim의 fixed와 Matlab의 floating 결과의

차이가 0인 것을 나타낸다. FPGA 검증은 Xilinx사의 xc7z045-2ffg900을 목표로 진행하였다. 표 1은 Xilinx사의 보드에 대한 합성 결과이며 Slice Registers와 Slice LUTs는 각각 0.59%, 1.42%를 점유하였다. 하드웨어의 최소 주기는 3.490ns, 최대 동작 주파수는 286.533MHz로써 4K에서도 원활히 동작되도록 설계되었다.

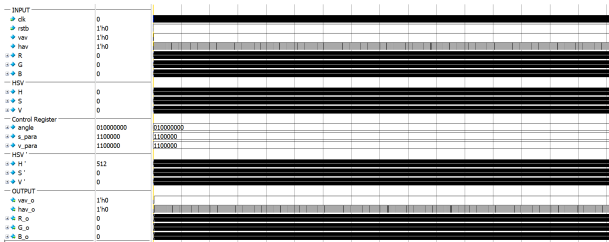


Fig. 6. Modelsim simulation.  
그림 6. Modelsim 실행화면

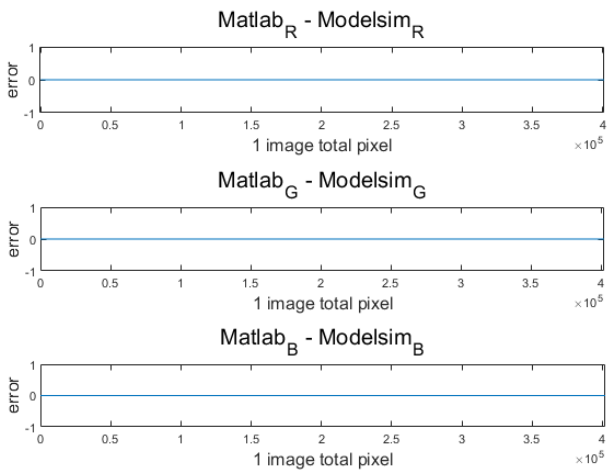


Fig. 7. Error of Matlab vs Modelsim.  
그림 7. Matlab과 Modelsim의 오차

Table 1. Xilinx Result.

표 1. Xilinx 결과

Xilinx Design Analyzer			
Device	xc7z045-2ffg900		
Slice Logic Utilization	Available	Used	Utilization
Slice Registers(#)	437,200	2,582	0.59%
Slice LUTs(#)	218,600	3,106	1.42%
Minimum period(ns)	3.490		
Maximum Freq.(MHz)	286.533		

\* The EDA tool was supported by the IC Design Education Center(IDECE), Korea.

### III. 결론

제안한 HSV알고리즘을 사용하여 하드웨어 크기를 최적화하였다. 동작 주파수가 265MHz인 4K(4096×2160)에서 동작 가능하도록 split multiplier를 사용하여 최대 동작 주파수 286.533MHz를 확인하였다. 또한, 목표 보드로 Xilinx사의 xc7c045-2ffg900로 선정하여 FPGA를 구현하였고, Slice Registers와 Slice LUTs는 각각 0.59%와 1.42%를 사용하였다. 제안하는 하드웨어는 구조 및 성능 개선을 통해 하드웨어의 크기를 줄이고 속도를 향상시켜 4K에서도 동작이 가능한 하드웨어를 설계하였다.

### References

[1] K. He, J. Sun and X. Tang, "Single Image Haze Removal Using Dark Channel Prior," in *IEEE Transactions on Pattern Analysis and Machine Intelligence*, Vol.33, No.12, pp.2341-2353, 2011. DOI: 10.1109/TPAMI.2010.168

[2] Q. Zhu, J. Mai and L. Shao, "A Fast Single Image Haze Removal Algorithm Using Color Attenuation Prior," in *IEEE Transactions on Image Processing*, Vol.24, No.11, pp.3522-3533, 2015. DOI: 10.1109/TIP.2015.2446191

[3] Martin LoesdauSébastien ChabrierAlban Gabillon, "Hue and Saturation in the RGB Color Space," *International Conference on Image and Signal Processing*, pp.203-212, 2014. DOI: 10.1007/978-3-319-07998-1\_23

[4] E. Swartzlander, L. Lome and G. Hallnor, "Digital signal processing with VLSI technology," *ICASSP '83. IEEE International Conference on Acoustics, Speech, and Signal Processing*, pp.951-954, 1983. DOI: 10.1109/ICASSP.1983.1172148

[5] Hyowon Jeong, Joo Hyun Kim, Boodong Kwak, and Bongsoon Kang, "Real-Time Gamma Correction Hardware Structure Development for Image Quality Enhancement of a HD CMOS Image Sensor in Mobile Phones," *The Institute of Electronics and Information Engineers Conference*, pp.452-455, 2009.

---

**BIOGRAPHY**

---

**Sangwook Park** (Member)

2013 : BS degree in Electronic Engineering, Dong-A University.  
2019~ : MS degree in Electronic Engineering, Dong-A University.

**Bongsoon Kang** (Member)

1985 : BS degree in Electronic Engineering, Yonsei University.  
1987 : MS degree in Electronic Engineering, Pennsylvania University.  
1990 : PhD degree in Electrical and Computer Engineering, Drexel University.

1989~1999 : Senior Staff Researcher, Samsung Electronics.

1999~ : Prof. of Dept. Electronic Engineering, Dong-A University.