

대용량 MTP IP 설계

Design of a Large-density MTP IP

김 영 희*, 하 윤 규*, 김 홍 주*, 김 수 진**, 김 승 국**, 정 인 철**, 하 판 봉*, 박 승 엽*

YoungHee Kim*, Yoon-Kyu Ha**, Hongzhou Jin*, SuJin Kim**,
SeungGuk Kim**, InChul Jung**, PanBong Ha*, Seungyeop Park*

Abstract

In order to reduce the manufacturing cost of MCU chips used in applications such as wireless chargers and USB-C, compared to DP-EEPROM (Double Poly EEPROM), which requires 3 to 5 additional process masks, it is even more necessary MTP(Multi-Time Programmable), which is less than one additional mask and have smaller unit cell size. In addition, in order to improve endurance characteristics and data retention characteristics of the MTP memory cell due to E/P(Erase / Program) cycling, the distribution of the V_{TP} (Program Threshold Voltage) and the V_{TE} (Erase Threshold Voltage) needs to be narrow. In this paper, we proposed a current-type BL S/A(Bit-Line Sense Amplifier) circuit, WM(Write Mask) circuit, BLD(BL Driver) circuit and a algorithm, which can reduce the distribution of program and V_T and erase V_T through compare the target current by performing the erase and program pulse of the short pulse several times, and if the current specification is satisfied, the program or erase operation is no longer performed. It was confirmed that the 256Kb MTP memory fabricated in the Magnachip semiconductor 0.13 μ m process operates well on the wafer in accordance with the operation mode.

요 약

무선충전기, USB 타입-C 등의 응용에 사용되는 MCU 칩은 제조 원가를 줄이기 위해 3~5개의 추가 공정 마스크가 필요한 DP-EEPROM(Double Poly EEPROM)보다는 추가 마스크가 한 장 이내이면서 메모리 셀 사이즈가 작은 MTP(Multi-Time Programmable) 메모리가 요구된다. 그리고 E/P(Erase/Program) cycling에 따른 MTP 메모리 셀의 endurance 특성과 데이터 retention 특성을 좋게 하기 위해서 V_{TP} (Program Threshold Voltage)와 V_{TE} (Erase Threshold Voltage)의 산포는 좁은 것이 필요하다. 그래서 본 논문에서는 short pulse의 erase와 program pulse를 여러 번 수행하면서 목표 전류와 비교한 뒤 전류 스펙을 만족하면 더 이상 program이나 erase 동작을 수행하지 않게 하므로 program V_T 산포나 erase V_T 산포를 줄이는 알고리즘과 current-type BL S/A(Bit-Line Sense Amplifier) 회로, WM(Write Mask) 회로, BLD(BL Driver) 회로를 제안하였다. 매그나칩반도체 0.13 μ m 공정으로 제작된 256Kb MTP 메모리 웨이퍼에서 동작 모드에 맞게 정상적으로 동작하는 것을 확인할 수 있다.

Key words : MTP, IP, Hot Carrier Injection, BTBT, BCD Process

* Dept. of Electronic Engineering, Changwon National University

**Magnachip Semiconductor

★ Corresponding author

E-mail : psy@changwon.ac.kr, Tel : +82-55-213-3653

※ Acknowledgment

This research is financially supported by Changwon National University in 2019~2020.

Manuscript received Mar. 5, 2020; revised Mar. 13, 2020; accepted Mar. 20, 2020.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

내장형 비휘발성 메모리(embedded nonvolatile memory)는 마이크로 콘트롤러(micro-controller), 스마트 카드(smart card) 등에서 폭넓게 사용되고 있으며[1-5], 주로 EEPROM(Electrically Erasable Programmable Read-Only Memory)이나 Flash 메모리 기술을 사용하고 있다[2]. 1Mb 이하의 비휘발성 메모리로는 EEPROM 메모리 IP가 사용되고, 512Kb 이상의 대용량 비휘발성 메모리는 Flash 메모리 IP가 주로 사용된다[6][7]. 한편 무선충전기(wireless charger), USB 타입-C 등의 응용에 사용되는 MCU(Micro-Controller Unit) 칩은 3~5개의 추가 공정 마스크가 필요한 EEPROM보다는 추가 마스크가 한 장 이내이면서 메모리 셀 사이즈가 작은 MTP(Multi-Time Programmable) 메모리가 요구된다[8-11].

기존의 MTP IP는 그림 1에서 보는바와 같이 $\pm 7.25V$ 의 프로그램 전압을 이용하여 기존 방식인 5ms program time동안 한번 만 프로그램한 512bit $0.13\mu m$ MTP IP에서의 program V_T (Threshold Voltage)인 V_{TP} 산포도에서 보는바와 같이 V_T 분포는 $\pm 0.5V$ 로 넓게 산포하고 있고 erase V_T 인 V_{TE} 산포도 program V_T 와 유사한 특성을 보이고 있다. V_T 분포가 넓을수록 V_T window(= $V_{TP.min} - V_{TE.max}$)를 만족하기 위해서는 minimum erase V_T 와 최대 program V_T 에 있는 셀은 erase와 program 과정에서 더 많은 전기적인 스트레스(electrical stress)를

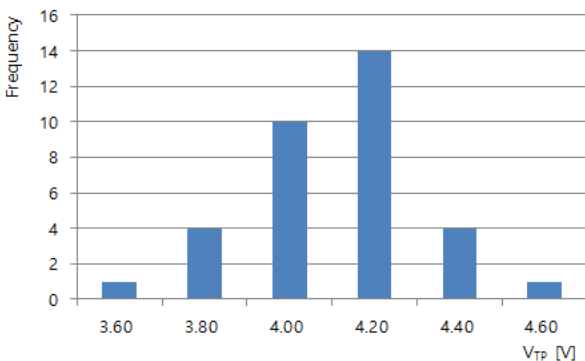


Fig. 1. Scatter plot of program V_T at 512bit $0.13\mu m$ MTP IP programmed once during 5ms program time using $\pm 7.25V$ program voltage [12].

그림 1. $\pm 7.25V$ 의 프로그램 전압을 이용하여 기존 방식인 5ms program time동안 한번 만 프로그램한 512bit $0.13\mu m$ MTP IP에서의 program V_T 산포도 [12]

많이 받으면서 E/P(Erase/Program) cycling에 따른 MTP 메모리 셀의 endurance 특성과 데이터 retention 특성이 나빠질 수 있다. 여기서 $V_{TP.min}$ 은 최소 V_{TP} 이고 $V_{TE.max}$ 는 최대 V_{TE} 를 의미한다.

그래서 본 논문에서는 긴 erase와 program 모드 동작을 긴 시간 펄스로 한번만 수행하는 것이 아니라 short pulse의 erase와 program pulse를 여러 번 수행하면서 목표 전류와 비교한 뒤 전류 스펙을 만족하면 더 이상 program이나 erase 동작을 수행하지 않게 하므로 program V_T 산포나 erase V_T 산포를 줄이는 알고리즘을 새롭게 제안하였다. 제안된 알고리즘을 적용하기 위해 erase하는 셀(cell)인 경우 선택된 셀 전류(cell current)가 $25\mu A$ 보다 큰 경우는 erase pulse가 인가되더라도 해당되는 셀은 erase 마스크(masking)을 씌워 더 이상 erase 동작이 수행되지 않도록 하는 회로를 제안하였고, program하는 셀인 경우 선택된 셀 전류가 $5\mu A$ 이하인 경우는 program pulse가 연속적으로 인가되더라도 해당되는 셀은 program 마스크를 씌워 더 이상 program 동작이 수행되지 않도록 하는 회로를 제안하였다. 256Kb MTP 메모리 IP 설계에 사용된 MTP 셀은 매그나칩반도체에서 제안된 셀이고 프로그램 동작은 HCI(Hot Carrier Injection)에 의해 수행되고 erase 동작은 BTBT(Band-To-Band Tunneling)에 의해 수행된다.

II. 회로 설계

그림 2는 하이닉스 90nm 공정을 사용한 256bit MTP IP에 대한 erase 모드와 program 모드에서의 타이밍 다이어그램을 보여주고 있다. 그림 2(a)의 erase 모드에 대한 타이밍 다이어그램에서 보는바와 같이 erase할 address를 먼저 인가한 뒤 ERS 신호에 high 펄스를 $t_{ERS}(=5ms)$ 만큼 인가하면 선택된 word 셀의 데이터를 erase한다[13]. 그리고 program 모드는 그림 2(b)에서 보는바와 같이 PGM 신호에 high 펄스를 인가하기 전 address와 DIN(Input Data)를 인가한 상태에서 PGM 신호에 high 펄스를 $t_{PGM}(=5ms)$ 만큼 인가한다[13]. 이와같이 t_{ERS} 와 t_{PGM} pulse만큼 인가하는 경우 V_T 산포가 1V 정도로 넓게 분포한다.

본 논문에서는 erase V_T 와 program V_T 산포를 줄이기 위해 short pulse의 erase와 program pulse

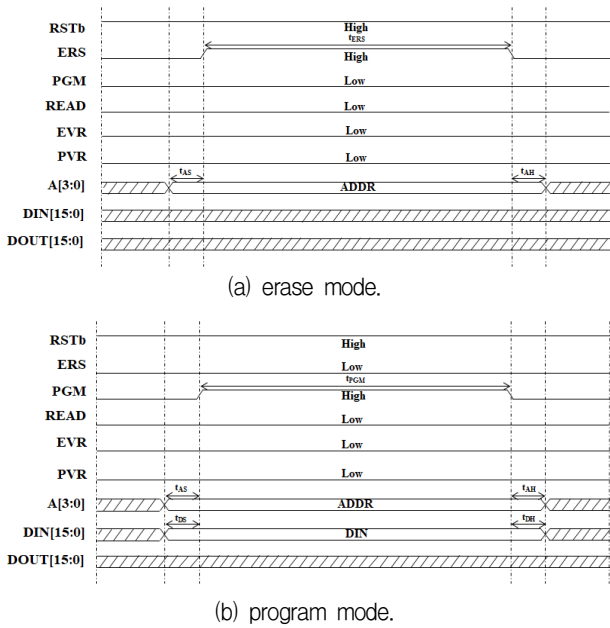


Fig. 2. Timing diagram of erase and program modes for conventional MTP memory [13].
 그림 2. 기존의 MTP 메모리에 대한 erase 모드와 program 모드에서의 타이밍 다이어그램 [13]

를 여러 번 수행하면서 목표 전류와 비교한 뒤 전류 스펙을 만족하면 더 이상 program이나 erase 동작을 수행하지 않게 하므로 program V_T 산포나 erase V_T 산포를 줄이는 알고리즘을 새롭게 제안하였다. 그림 3에서 보는바와 같이 제안된 알고리즘은 program 모드에 진입하게 되면 program-verify-read 모드 수행을 통해 선택된 셀의 전류가 $5\mu A$ 보다 작은지 판단한 뒤 셀 전류가 $5\mu A$ 보다 작으면 선택되는 셀은 program 동작을 수행을 끝내고, 만약 셀 전류가 $5\mu A$ 보다 크다면 short pulse의 program time동안 program을 수행하게 된다. 이렇게 반복해서 program-verify-read를 통해 셀 전류가 $5\mu A$ 보다 작을 때까지 프로그램 동작을 반복하게 된다. 매그나칩반도체에서 제안된 MTP 셀을 이용하여 $20\mu s$ 의 program pulse를 반복하면서 셀 전류를 측정 한 결과 20번 정도의 program pulse를 인가하여 program 동작을 수행하게 되면 셀 전류가 $5\mu A$ 보다 작아지는 것을 확인하였으며, 제안한 MTP 셀의 프로그램 동작은 HCI에 의해 수행되고 erase 동작은 BTBT에 의해 수행된다. 한편 erase 모드에 진입하게 되면 erase-verify-read 모드 수행을 통해 선택된 셀의 전류가 $25\mu A$ 보다 큰지 판단한 뒤 셀 전류가 $25\mu A$ 보다 크면 선택되는 셀은 erase 동작을 수행을 끝내고, 만약 셀 전류가 $25\mu A$ 보다 작으면 $100\mu s$ 의 erase time동

안 다시 한번 erase를 수행하게 된다. 이렇게 반복해서 erase-verify-read를 통해 셀 전류가 $25\mu A$ 보다 클 때까지 erase 동작을 반복하게 된다. $100\mu s$ 의 erase pulse를 반복하면서 셀 전류를 측정한 결과 5번 정도의 반복되는 erase 동작을 통해 셀 전류가 $25\mu A$ 를 넘긴 것을 확인하였다. 이와 같이 그림 3의 제안된 알고리즘을 적용하므로 program 전류는 $5\mu A$ 보다 살짝 작고, erase 전류는 $25\mu A$ 를 살짝 넘기는 것을 알 수 있다. 한편 V_T 관점에서 V_{TE} 와 V_{TP} 는 각각 1V와 2.3V이다.

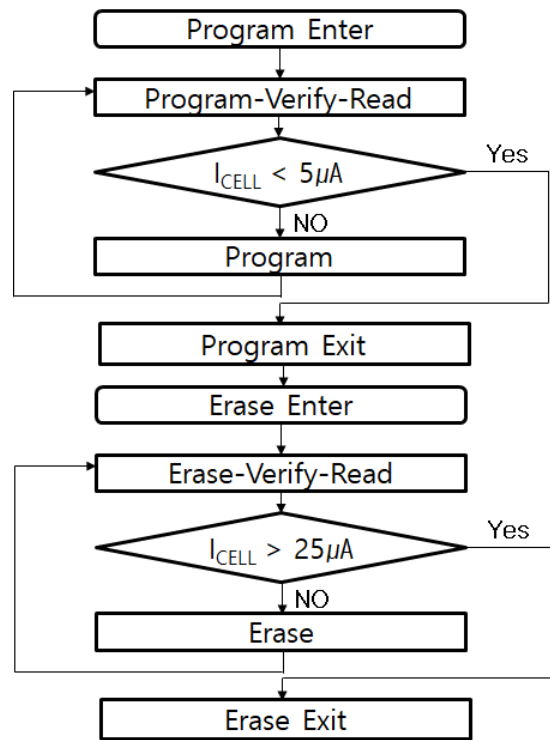


Fig. 3. Program / Erase sequence.
 그림 3. Program / Erase 시퀀스

표 1은 매그나칩반도체 $0.13\mu m$ 공정기반으로 설계된 256Kb MTP 메모리의 주요 특징을 보여주고 있다. 동작 모드는 read 모드, page buffer load 모드, program 모드와 erase 모드가 있으며, program-verify-read 모드와 erase-verify-read 모드를 지원한다.

Program 모드에서는 그림 4(a)에서 보는바와 같이 PGM 신호가 high인 구간 동안은 program 모드이며, PGM 신호가 high로 진입하자마자 RD 신호에 high 펄스를 인가하여 program-verify-read 모드 동작을 수행한다. program-verify-read 모드 구

Table 1. Main Features of Designed 256Kb MTP IP.

표 1. 설계된 256Kb MTP IP의 주요 특징

Items	Main Features	
VCC	Read	2.5V ~ 5.5V
	Write	2.5V ~ 5.5V
	Write-Verify-Read	4.5V ~ 5.5V
VDD	Read	1.35V ~ 1.65V
	Write	1.35V ~ 1.65V
	Write-Verify-Read	1.35V ~ 1.65V
Function	Normal Mode	Read / Erase / Page Buffer Load / Program / Reset
	Cell V_T Measuring Mode	V_{TE} Measuring / V_{TP} Measuring
Memory Density	256Kb	
Cell Array	256Rows x 1024Columns	
I/O	32bit	
Temperature Range	-40~125°C	
Write Time	1ms	
Endurance	1K Cycles	
Data Retention	10Years	
IP Size	1933.745 μ m X 1137.895 μ m(=2.2mm ²)	

간 동안은 선택된 셀을 '1'로 program할 때 셀 전류가 5 μ A보다 작음을 판단하여, 만약 5 μ A보다 크면 WP(Write Pulse) 신호가 high 펄스인 구간동안 해당되는 셀을 계속해서 program 동작을 수행하게 하고 5 μ A보다 작으면 더 이상 program 동작이 일어나지 않도록 program 마스크를 씌운다. 한편 erase

모드에서는 그림 4(b)에서 보는바와 같이 ERS 신호가 high인 구간 동안은 erase 모드이며, ERS 신호가 high로 진입하자마자 RD 신호에 high 펄스를 인가하여 erase-verify-read 모드 동작을 수행한다. erase-verify-read 모드 구간 동안은 선택된 셀을 '0'로 erase할 때 셀 전류가 25 μ A보다 크지를 판단하여, 만약 25 μ A보다 작으면 WP(Write Pulse) 신호가 high 펄스인 구간동안 해당되는 셀을 계속해서 erase 동작을 수행하게 하고 25 μ A보다 크면 더 이상 erase 동작이 일어나지 않도록 write 마스크를 씌운다.

한편 설계된 MTP 셀 어레이는 표 1에서 보는바와 같이 256행 x 1,024열로 구성되어 있으며, read, program, erase 동작은 각각 32bit, 8bit, 8bit 단위로 수행된다. 한편 erase time과 program time은 모두 1ms이며, endurance는 1K 사이클이고 data retention은 10년이다. Program 모드에서는 8bit씩 프로그램을 수행하며, HCI에 의해 MTP 셀의 문턱전압인 V_{TP} 는 2.3V 정도 된다. 한편 erase 모드에서 BTBT 터널링에 의해 MTP 셀의 문턱전압인 V_{TE} 는 1.0V 정도 된다.

Read 모드, program-verify-read 모드, erase-verify-read 모드와 V_T measure 모드에서 그림 5의 current-type BL S/A(Sense Amplifier)에 의해 선택된 BL 셀 전류를 센싱하여 IREF(reference current)와 비교한 뒤 그 결과를 DOUT으로 출력된다.

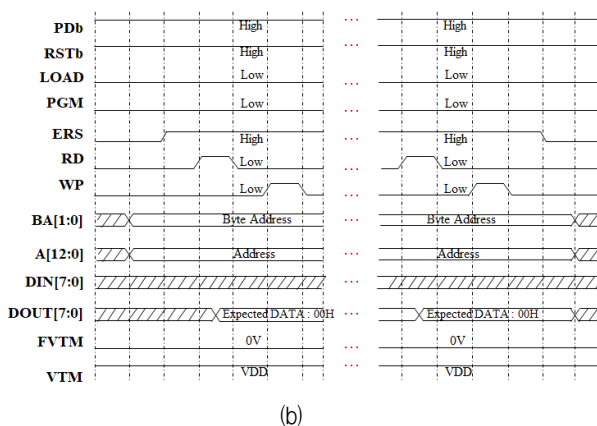
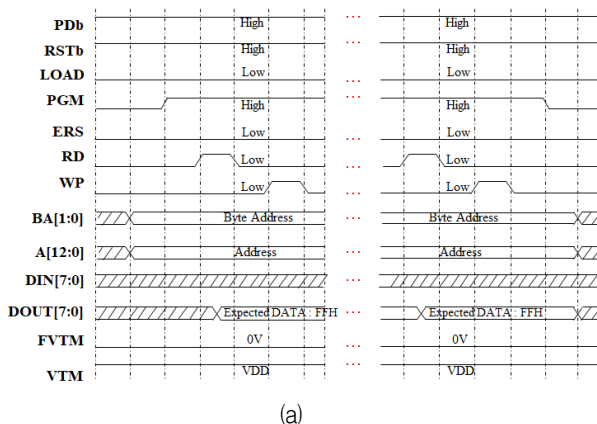


Fig. 4. Timing diagram of Write (Program / Erase) mode (a) program mode (b) erase mode.

그림 4. Write(Program / Erase) 모드에서의 타이밍 다이어그램 (a) program 모드 (b) erase 모드

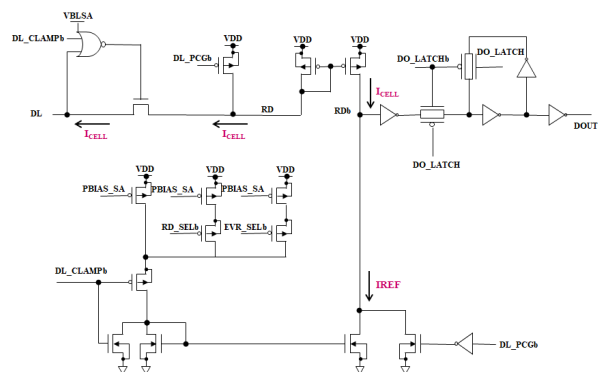


Fig. 5. Current-type BL S/A circuit comparing cell currents by operating mode [14].

그림 5. 동작 모드별 셀 전류를 비교하는 current-type BL S/A 회로 [14]

동작 모드별 IREF 전류 비교는 표 2에서 보는바와 같으며, program 모드, erase 모드, read 모드와 V_T measure 모드에서의 IREF는 각각 5 μ A, 25 μ A,

15 μ A와 1 μ A이다. IREF 전류는 동작 모드에 따라 그림 5의 BL S/A용 PMOS 바이어스 전류 PBIAS_SA, 제어 신호인 RD_SELb(Read Select bar)와 EVR_SELb(Erase-Verify-Read Select bar) 신호를 제어 하므로 결정되어진다.

Table 2. IREF current comparison by operating mode.
표 2 동작 모드별 IREF 전류 비교

Operation Mode	IREF
Program	5 μ A
Erase	25 μ A
Read	15 μ A
FVTM	1 μ A

그림 6은 program 모드와 erase 모드에서 프로그램 데이터와 BL S/A의 출력 데이터인 DOUT을 이용하여 WM(Write Mask) 신호를 만드는 회로를 보여주고 있다. Program 모드에서는 프로그램 데이터가 '1'인 경우 DOUT이 '1'인 경우나 프로그램 데이터가 '0'인 경우는 BLD(BL driver) 신호는 Hi-Z 상태를 유지하여 더 이상 선택된 셀에 HCI에 의해 FG(Floating Gate) 노드로 전자(electron) 주입이 일어나지 않도록 한다. 반면 PGM_DATA가 '1'인 경우 DOUT이 '0'인 경우는 WM 신호가 '0'가 되어 BL에 VPP가 인가되도록 그림 7의 BLD 전압을 VPP로 구동한다. 한편 erase 모드에서는 PGM_DATA는 로직 '0'이고 DOUT이 '1'인 경우는 WM이 '0'가 되어 BLD를 통해 BL에 VPP의 전압을 인가하여 BTBT 터널링에 의해 MTP 셀의 FG에 있는 electron을 소거시킨다. 반면 DOUT이 '0'인 경우 MTP 셀이 정상적으로 erase 동작이 이루어졌으므로 WM 신호가 '1'이 되어 BLD를 Hi-Z 상태로 만들어 BL도

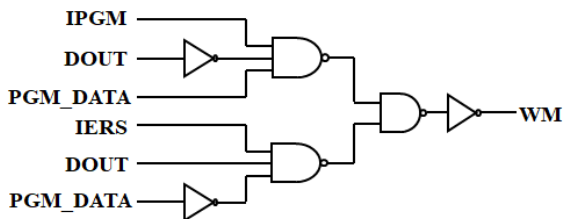


Fig. 6. WM circuit.
그림 6. WM 회로도

Hi-Z 상태가 되게 한다. 이렇게 하므로 선택된 셀은 더 이상 FG에 있는 전자(electron)가 소거되지 않는다.

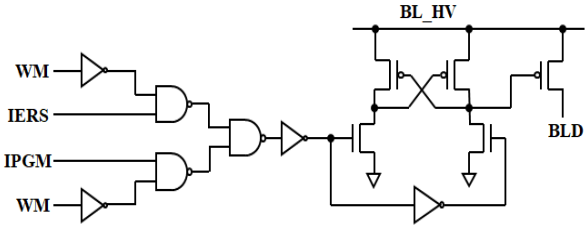


Fig. 7. BLD circuit.
그림 7. BLD 회로도

그림 8은 매그나칩반도체 0.13 μ m 공정 기반으로 설계된 256Kb MTP 메모리의 레이아웃 이미지이며, 레이아웃 면적은 933.22 μ m \times 925 μ m (=0.8632mm²)이다.

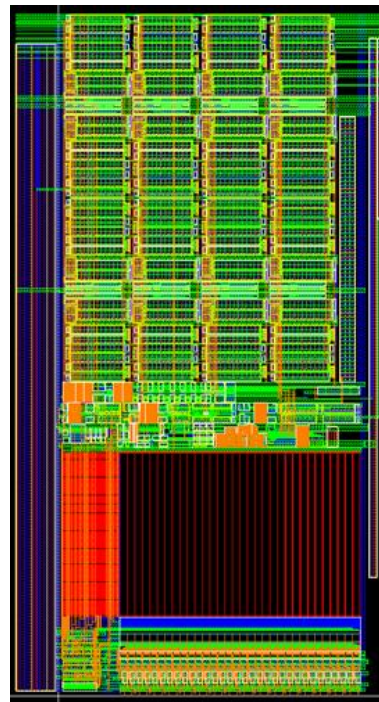


Fig. 8. Layout image of a 256Kb MTP memory designed based on Magnachip 0.13 μ m process.

그림 8. 매그나칩반도체 0.13 μ m 공정 기반으로 설계된 256Kb MTP 메모리의 레이아웃 이미지

III. 모의실험 및 측정 결과

그림 9는 Temp.=25 $^{\circ}$ C, TT(Typical NMOS Typical PMOS) 모델 파라미터의 모의실험 조건에서 program 모드의 모의실험 결과 파형을 보여주고 있다. PGM

신호가 인가된 뒤 RD 신호에 high 펄스를 인가하면 PVR(program-verify-read) 동작을 수행하게 된다. 모의실험에서는 WM[0]은 5 μ A보다 큰 전류를 갖는 셀이 선택된 경우이므로 PVR 결과 로직 '0'을 출력하여 그 다음 WP 신호에 high 펄스가 인가되면 BLD 구동신호에 VPP(Boosted Voltage)를 구동하도록 하여 해당되는 셀이 계속 HCI에 의해 FG에 전자(electron)이 주입되도록 한다. 반면 WM[1]은 5 μ A보다 작은 전류를 갖는 셀이 선택된 경우이므로 PVR 결과 로직 '1'을 출력하여 그 다음 WP 신호에 high 펄스가 인가되면 BLD 구동신호가 high-Z 상태가 되도록 하여 해당되는 셀이 program되는 것을 막아준다.

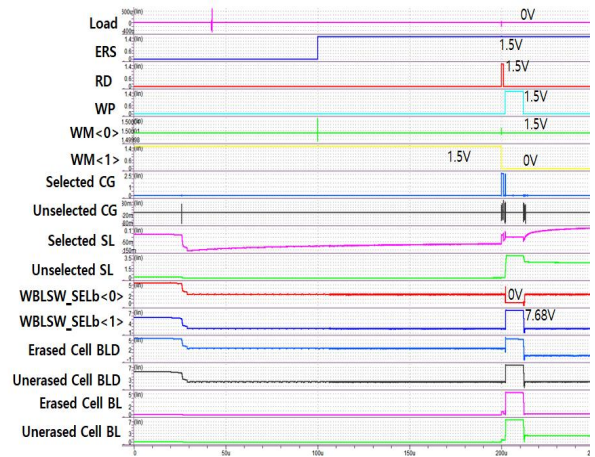


Fig. 10. Simulation result of Erase mode.
그림 10. Erase 모드에서의 모의실험 결과 파형

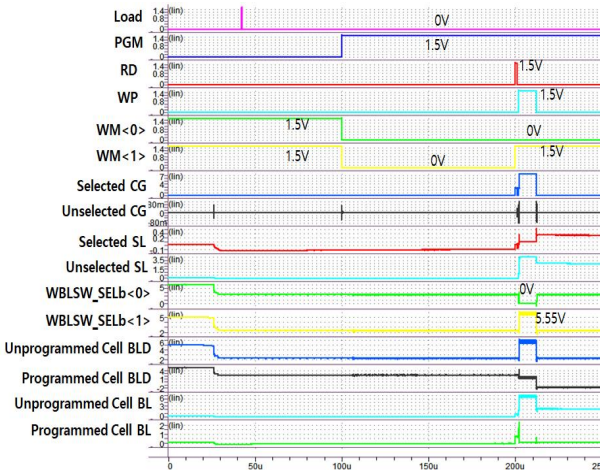
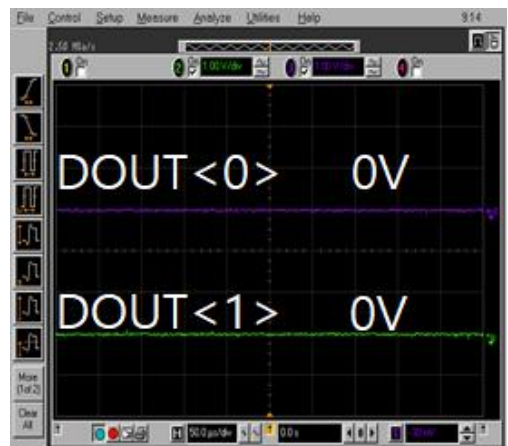


Fig. 9. Simulation result of Program mode.
그림 9. Program 모드에서의 모의실험 결과 파형

그림 10은 Temp.=25 $^{\circ}$ C, TT(Typical NMOS Typical PMOS) 모델 파라미터의 모의실험 조건에서 erase mode의 모의실험 결과 파형을 보여주고 있다. ERS 신호가 인가된 뒤 RD 신호에 high 펄스를 인가하면 EVR(erase-verify-read) 동작을 수행하게 된다. 모의실험에서는 WM[0]은 25 μ A보다 큰 전류를 갖는 셀이 선택된 경우이므로 EVR 결과 로직 '1'을 출력하여 그 다음 WP 신호에 high 펄스가 인가되면 BLD 구동신호가 high-Z 상태가 되도록 하여 해당되는 셀이 erase되는 것을 막아준다. 반면 WM[1]은 25 μ A보다 작은 전류를 갖는 셀이 선택된 경우이므로 EVR 결과 로직 '0'을 출력하여 그 다음 WP 신호에 high 펄스가 인가되면 BLD 구동신호가 VPP 전압을 구동하여 해당되는 셀이 BTBT 터널링에 의해 erase되도록 하는 것을 볼 수 있다.



(a)



(b)

Fig. 11. Measurement of read mode after program and erase on wafer of 256Kb memory processed by Magnachip semiconductor 0.13 μ m process (a) After program (b) After erase.

그림 11. 매그나칩반도체 0.13 μ m 공정으로 진행된 256Kb 메모리 웨이퍼에서 program과 erase 이후의 read mode 측정 파형 (a) program 이후 (b) erase 이후

그림 11은 매그나칩반도체 0.13 μm 공정으로 제작된 256Kb MTP 메모리 웨이퍼에서 function generator를 이용해서 program mode, erase mode와 read mode 파형을 발생하여 오실로스코프로 program과 erase 이후의 read mode 측정된 파형을 보여 주고 있다. 그림 11(a)는 DOUT[1]과 DOUT[0]를 '0'와 '1'로 프로그램한 뒤 read mode에서 프로그램 데이터 그대로 읽혀지는 것을 볼 수 있다. 그리고 그림 11(b)는 erase mode를 수행한 뒤 read mode를 수행한 파형으로 정상적으로 erase된 데이터 '0' 읽혀지는 것을 볼 수 있다. 향후 메모리 테스터 장비를 사용하여 program / erase sequence 알고리즘을 적용하여 V_{TP} 와 V_{TE} 산포를 측정해볼 계획이다.

IV. 결론

무선충전기, USB 타입-C 등의 응용에 사용되는 MCU 칩은 제조 원가를 줄이기 위해 추가 마스크가 한 장 이내이면서 메모리 셀 사이즈가 작은 MTP 메모리가 요구된다. 그리고 E/P cycling에 따른 MTP 메모리 셀의 endurance 특성과 데이터 retention 특성을 좋게 하기 위해서 V_{TP} 와 V_{TE} 의 산포는 좁은 것이 필요하다.

그래서 본 논문에서는 short pulse의 erase와 program pulse를 여러 번 수행하면서 목표 전류와 비교한 뒤 전류 스펙을 만족하면 더 이상 program이나 erase 동작을 수행하지 않게 하므로 program V_T 산포나 erase V_T 산포를 줄이는 알고리즘을 새롭게 제안하였다. 제안된 알고리즘을 적용하기 위해 erase하는 셀인 경우 선택된 셀 전류가 25 μA 보다 큰 경우는 erase pulse가 인가되더라도 해당되는 셀은 erase 마스크를 씌어 더 이상 erase 동작이 수행되지 않도록 하고, program하는 셀인 경우 선택된 셀 전류가 5 μA 이하인 경우는 program pulse가 연속적으로 인가되더라도 해당되는 셀은 program 마스크를 씌어 더 이상 program 동작이 수행되지 않도록 하는 current-type BL S/A회로, WM 회로, BLD 회로를 제안하였다. 프로그램 동작은 HCI에 의해 수행되고 erase 동작은 BTBT 터널링에 의해 수행되는 매그나칩반도체 MTP 셀을 이용하여 256Kb MTP 메모리를 설계하였으며, program과 erase 이후의 read 모드가 동작 모드에 맞게 정상적으로 동작하는 것을 확인할 수 있다.

그래서 본 논문에서는 short pulse의 erase와 program pulse를 여러 번 수행하면서 목표 전류와 비교한 뒤 전류 스펙을 만족하면 더 이상 program이나 erase 동작을 수행하지 않게 하므로 program V_T 산포나 erase V_T 산포를 줄이는 알고리즘과 회로를 새롭게 제안하였다. 매그나칩반도체 0.13 μm 공정으로 제작된 256Kb MTP 메모리 웨이퍼에서 동작 모드에 맞게 정상적으로 동작하는 것을 확인할 수 있다.

References

- [1] Y. Xu et al., "Design Techniques for a 30-ns Access Time 1.5-V 200-KB Embedded EEPROM Memory," *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol.63, No.11, pp.1064-1068, 2016. DOI: 10.1109/TCSII.2016.2548238
- [2] R. Strenz, "Embedded Flash Technologies and their Applications: Status & Outlook," *Proceedings of IEEE IEDM*, pp.9.4.1-9.4.4, 2011. DOI: 10.1109/IEDM.2011.6131521
- [3] B. Wang et al., "Opportunities and Challenges in Multi-times-programmable Floating-Gate Logic Non-Volatile Memories," pp.22-25, 2008. DOI: 10.1109/NVSMW.2008.12
- [4] F. Xu et al., "Key Design Techniques of A 40ns 16K Bits Embedded EEPROM Memory," *2004 International Conference on Communications, Circuits and Systems*, Vol.2, pp.1516-1520, 2004. DOI: 10.1109/ICCCAS.2004.1346462
- [5] A. Conte et al., "A High-Performance Very Low-Voltage Current Sense Amplifier for Nonvolatile Memory," *IEEE J. Solid-State Circuits*, Vol.40, No.2, pp.507-514, 2005. DOI: 10.1109/JSSC.2004.840985
- [6] G. S. Cho et al., "Design of a Small-Area, Low-Power, and High-Speed 128-KBit EEPROM IP for Touch-Screen Controllers," *Journal of the Korean Institute of Maritime Information and Communication Sciences*, Vol.13, No.12, pp.2633-2640, 2009.
- [7] Y. H. Kim et al., "Design of a Fast 256Kb EEPROM for MCU," *JKIICE*, Vol.19, No.3, pp.

567-574, 2015. DOI: 10.6109/jkiice.2015.19.3.567

[8] Heon Park et al., "Design of a Cell Verification Module for Large-Density EEPROMs," *JKIIECT*, Vol.10, No.2, pp.176-183, 2017.

DOI: 10.17661/jkiiect.2017.10.2.176

[9] Y. H. Kim et al., "Design of 40ns 512Kb EEPROM IP," *Proceedings of the 4th ICIECT 2018*, pp.245-246, 2018.

DOI: 10.17661/jkiiect.2017.10.5.455

[10] Y. H. Kim et al., "Design of MTP memory IP using vertical PIP capacitor," *JKIIECT*, 2020.

[11] Y. K. Kim et al., "Design of Multi-time Programmable Memory for PMICs," *ETRI journal*, Vol.37, No.6, pp.1188-1198, 2015.

DOI: 10.4218/etrij.15.0114.1428

[12] H. Park et al., "Design of 512bit MTP IP for PMICs," *Proceedings of AWAD conference*, 2017.

[13] Y. H. Kim, "Non-Volatile Memory Design," *GSINTERVISION*, 2016.

[14] Y. H. Kim et al., "A Study on Memory Circuit Architecture," *ETRI Research Report*, 2017.

BIOGRAPHY

Young-Hee Kim (Member)



1989.2 : BS degree in Electronic Engineering, Kyungpook National University.

1997.2 : MS degree in Electronic Engineering, POSTECH.

2000.8 : PhD degree in Electronic Engineering, POSTECH.

1989.1~2001.2 : Senior Research Engineer, Hyundai Electronics.

2001.3~ : Professor, Changwon National University

Yoon-Gyu Ha (Member)



2017.2 : BS degree in Electronic Engineering, Changwon National University

2019.2 : MS degree in Electronic Engineering, Changwon National University

2019.1~ : Engineer, Magnachip Semiconductor

Hongzhou Jin (Member)



2017.6 : BS degree in Communication Engineering, Yanbian University

2017.9~ : Combined MS/PhD course in Electronic Engineering, Changwon National University

SuJin Kim (Member)



2012.2 : BS degree in Physics, Chungnam National University

2012.2~ : Sr. Associate Engineer, Magnachip Semiconductor

SeungGuk Kim (Member)

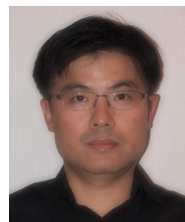


2014.2 : BS degree in Electronic Engineering, Kookmin University

2016.2 : MS degree in Electronic Engineering, Kookmin University

2016.8~ : Sr. Associate Engineer, Magnachip Semiconductor

InChul Jung (Member)



1994.2 : BS degree in Inorganic materials engineering, Busan National University

1993.10~2000.9 : R&D Engineer, LG Semiconductor & Hyundai Semiconductor

2000.10~2013.6 : Product development Engineer, Magnachip Semiconductor.

2013.7~ : NVM & Ultra HV Technology Development team leader, Magnachip Semiconductor

Pan-Bong Ha (Member)



1981.2 : BS degree in Electrical Engineering, Pusan National University.

1983.2 : MS degree in Electronic Engineering, Seoul National University.

1993.2 : PhD degree in Electronic Engineering, Seoul National University.

1987.3~ : Professor, Changwon National University

Seungyeop Park (Member)



1981.2 : BS degree in Electrical Engineering, Korea University.
1984.2 : MS degree in Electrical Engineering, Korea University.
1988.2 : PhD degree in Electrical Engineering, Korea University
1988.3~ : Professor, Changwon National University