

FPGA를 이용한 100 kHz 스위칭 주파수의 3상 3-level과 2-level의 SVPWM의 구현

Three-phase 3-level and 2-level SVPWM Implementation with 100 kHz Switching Frequency using FPGA

문 경 록*, 이 동 명*

Kyeong-Rok Moon*, Dong-Myung Lee*

Abstract

This paper presents a 3-level, 2-level SVPWM technique with 100 kHz switching using Verilog HDL, one of the languages of FPGA. In the case of IGBT devices mainly used in inverters, they have a switching frequency around 20kHz. Recent research and development of next-generation power semiconductor devices such as GAN has enabled switching of more than 100kHz, which can miniaturize power converters, and apply various new algorithms due to the injection of harmonics. In the existing system using the IGBT, the control using the DSP is common, but the controller configuration for 100 kHz switching requires the use of FPGA. Therefore, this paper explains the theory and implementation of SVPWM applied to two-level and three-level inverters using FPGAs and verifies the performance through the output waveform. In addition, this paper implements 3-level SVPWM by using only one carrier instead of using two carriers in the conventional method.

요 약

본 논문은 FPGA의 언어 중 하나인 Verilog HDL을 사용한 100 kHz 스위칭의 3-레벨, 2-레벨 SVPWM 기법을 구현에 대한 것이다. 인버터에 주로 사용되는 IGBT소자의 경우 주로 20 kHz 근방에서 스위칭 주파수를 가진다. 최근 차세대 전력 반도체 소자의 연구 개발로 100 kHz 이상의 스위칭을 구현하여 전력변환기를 소형화하고, 고조파의 주입에 따른 여러 가지 새로운 알고리즘의 적용이 가능하게 되었다. IGBT를 이용하는 기존의 시스템에서는 DSP를 이용한 제어가 이루어지는 것이 통상적이거나, 100 kHz 스위칭을 위한 제어기 구성으로는 FPGA를 이용한 제어기의 적용이 요구된다. 따라서 본 논문에서는 FPGA를 사용하여 2-레벨 인버터와 3-레벨 인버터에 적용되는 SVPWM의 이론과 FPGA 구현에 대하여 설명하고 SVPWM의 출력 파형을 통해 구현 성능을 확인한다. 한편, 본 논문에서는 3-레벨 인버터에서 SVPWM 구현 시 기존의 방식에서 반송파 2 개를 사용하는 방법을 대신하여 반송파 1개만을 사용하는 기법으로 3-레벨 SVPWM을 구현한다.

Key words : FPGA, SVPWM, 2-level, 3-level power converter, High switching frequency, Verilog HDL

* School of Electronic and Electrical Engineering, Hongik University

★ Corresponding author

E-mail : dmlee@hongik.ac.kr, Tel : +82-2-320-3047

※ Acknowledgment

This research was supported by Korea Electric Power Corporation (Grant number: R17XA05-18).

Manuscript received Feb. 4, 2020; revised Mar. 18, 2020; accepted Mar. 20, 2020.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

현재 세계적인 이슈는 환경오염 개선을 위하여 화석연료 에너지의 대체 에너지에 관심이 급등하고 있다. 그에 따라 UPS(Uninterruptible Power Supply), 연료전지 또는 태양광과 같은 신재생에너지와 결합하여 차세대 기술력이 발전함에 따라 인버터의 활용이 증가되고 있으며 그에 따라 고효율 인버터의 차세대 스위칭 소자들의 연구가 진행되고 있다.

고효율 인버터의 핵심은 기본파에 고조파의 영향을 얼마나 적게 받느냐와 스위칭 손실의 최소화가 가장 중점적인 내용이다. 3-레벨 인버터는 2-레벨 인버터의 고조파 저감 효과를 갖으며, 스위칭 소자의 정격의 한계로 적용이 불가능한 고전압 대용량에서도 전력 반도체 소자를 사용할 수 있게 한다.

차세대 전력 소자 반도체 중 하나인 GaN(Gallium Nitride) 소자의 적정 스위칭 주파수는 IGBT의 스위칭 주파수보다 훨씬 높게 되다보니 DSP(Digital Signal Processor)의 연산 속도에 부담이 된다. 그리하여 연산속도가 빠른 FPGA를 통해 이를 구현하고자 한다. 논문의 구성은 다음과 같다. 2장에서는 2-레벨과 3-레벨의 스위칭 생성 기법에 대해서 설명한다. 3장에서는 이 3-레벨과 2-레벨의 스위칭의 발생을 위한 FPGA를 이용한 구현에 대해서 설명한다. 4장에서는 FPGA를 이용하여 생성된 100[kHz] 스위칭 주파수의 2-레벨과 3-레벨에서의 지령치 전압의 형상과 스위칭의 결과 파형을 보인다. 3장에서는 결론을 보인다.

II. 본론

1. SVPWM(Space Vector Pulse Width Modulation)

3상 SVPWM은 3상의 6개 스위치를 모두 고려하여 각 폴의 스위칭 상태를 모두 고려하여 각 시간마다 계산 값에 따라 출력하는 방식이다. SVPWM 기법은 SPWM(Sine PWM) 기법보다 기본파 전압의 15.5[%] 큰 전압을 선형적으로 나타낼 수 있으며, 다른 기법보다 토크나 전류에 고조파 영향이 적다.^{[1],[2]} 이 기법은 전압 벡터를 정지좌표계 $d-q$ 변환을 이용하여 매 시간마다 변화하는 3상의 전압의 합은 항상 일정한 하나의 벡터로 나타낼 수 있다.

정지 좌표계 $d-q$ 변환을 하면 각 상의 각을 무시할 수 있게 된다. 그림 1은 3상의 전압 벡터를 하나의 V^* 로 나타낸 그림이다. 그림 2는 3상 인버터의 전압을 $d-q$ 정지좌표계로 표현한 것이다. 6개의 벡터 (V_1-V_6)는 그림 1과 같이 육각형(헥사곤, Hexagon)을 형성하고 부하에 전력을 공급한다. 인접한 두 벡터 사이의 각도는 60° 가 차이가 나며, 영 벡터(Zero-Vector)는 V_0 과 V_7 이고, 헥사곤의 원점에 있으며 부하에 0 전압을 가한다. 이 벡터들을 합성하여 지령 전압 벡터 V^* 와 크기와 위상이 같은 전압 벡터를 만들게 된다.^[3] 전압 변조 과정은 그림 3과 같이 3단계로 수행하여 T_s 의 주기로 반복하게 된다. V^* 식을 구하게 되면 식(1)과 같이 나타낼 수 있다.^[3]

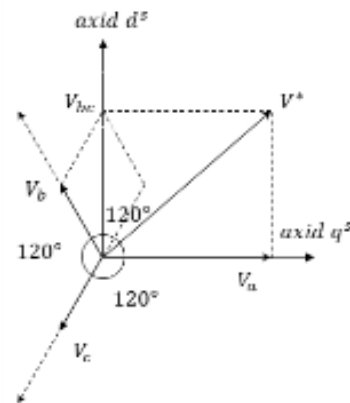


Fig. 1. 3-phase inverter SVPWM switching vector diagram. 그림 1. 3상 인버터 SVPWM 스위칭 벡터도

$$V^* \leq \frac{V_{dc}}{\sqrt{3} \sin(60^\circ + \theta)} \tag{1}$$

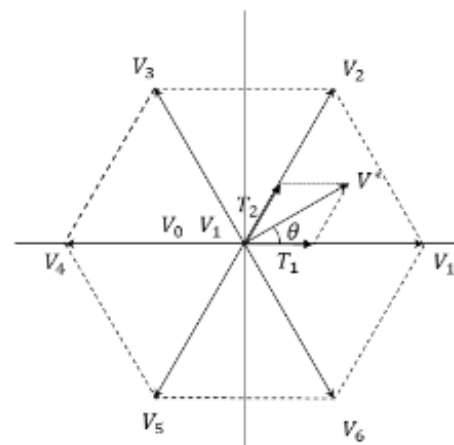


Fig. 2. SVPWM switching vector diagram. 그림 2. SVPWM 스위칭 벡터도

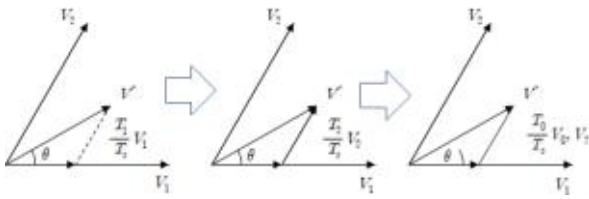


Fig. 3. Voltage modulation process.
그림 3. 전압 변조 과정

2. 2-레벨 인버터와 3-레벨 NPC 인버터의 스위칭을 위한 파형 생성

가. 2-레벨 인버터

2-레벨 인버터는 그림 4와 같이 회로가 구성하게 되며, 그림 5와 같이 1 Pole에 2개의 전력 반도체 소자가 들어가며 하나의 반송파로 극전압을 비교하여 상단 반도체 소자에 게이트 시그널을 인가하며, 하단 반도체 소자에는 상단 게이트 시그널에 반하는 게이트 시그널을 인가하는 방식으로 하나의 Pole을 구성한다. 이러한 동작을 반복하여 표 1과 같이 게이트 소자의 스위치 상태도가 출력하게 된다. 여기에 지령 전압(Reference voltage)의 크기는 직류측 전압에 전압 변조지수(Modulation Index, 이하 MI이라 통칭한다)의 값을 설정하여 곱을 해야 하며 MI는 식(2)와 같이 도출하게 된다.

$$MI = \frac{V_{1peak}}{V_{dc}/2} \quad (2)$$

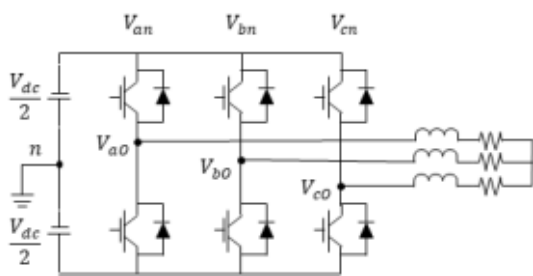


Fig. 4. 3-phase 2-level inverter.
그림 4. 3상 2레벨 인버터

Table 1. 2-level switching status diagram.

표 1. 2-레벨 스위칭 상태도

	V ₁	V ₂	V ₃	V ₄	V ₅	V ₆	V ₀
S _a	1	1	0	0	0	1	1
S _b	0	1	1	1	0	0	1
S _c	0	0	0	1	1	1	1

고조파 형식의 전압을 얻기 위해서는 V_{sn}^* 값을 3상 지령 전압을 이용하여 구할 수 있다. 식(3)은 V_{max}^* 3상 순시 전압의 최고 전압을 말하며, V_{min}^* 3상 순시 전압의 최저 전압을 말한다.^{[4]-[6]}

$$V_{sn} = -\frac{V_{max}^* + V_{min}^*}{2} \quad (3)$$

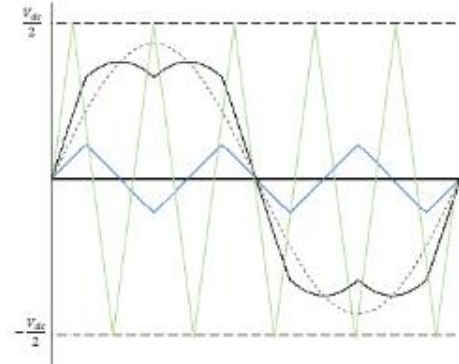


Fig. 5. 2-level voltage modulation process.
그림 5. 2-레벨 전압 변조 과정

나. 3-레벨 NPC(Neutral-Point Clamped) 인버터

3-레벨 인버터는 그림 6과 같은 회로를 구성하며, 반송파를 2개 사용하여 게이트 시그널을 출력하고 게이트 시그널을 통해 1 Pole의 전력 소자의 on/off를 제어하는 방식이다. 그림 7은 3-레벨 인버터의 스위칭 벡터도이다. 3-레벨 인버터의 벡터는 6개의 구분이 60° 간격으로 있으며, 1개의 섹터 안에 4개의 구역으로 나뉜 것을 확인할 수 있다. 표 1은 스위칭 상태이며, 24개의 유효전압과 3개의 무효전압을 가지고 있다. 3-레벨 인버터의 MI값은 식(4)와 같다.^{[7],[8]}

$$\frac{\sqrt{3}}{4} V_{dc} \cdot MI_{max} = \frac{V_{dc}}{2} \rightarrow MI_{max} = \frac{2}{\sqrt{3}} \quad (4)$$

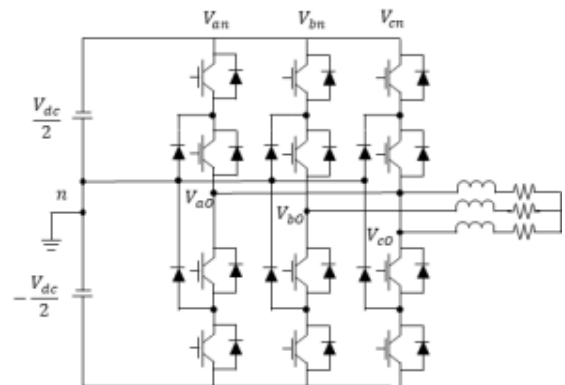


Fig. 6. 3-phase 3-level inverter.
그림 6. 3상 3레벨 인버터

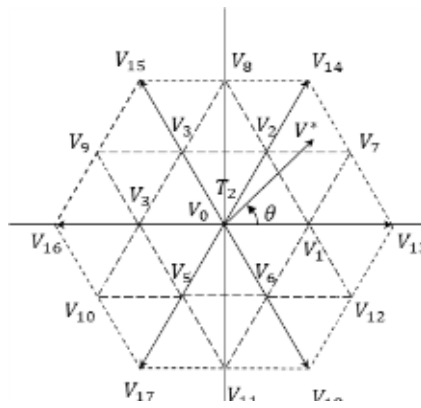


Fig. 7. 3-level inverter switching vector diagram.
그림 7. 3-레벨 인버터 스위칭 전압 벡터도

Table 2. 3-level switching status diagram.
표 2. 3-레벨 스위칭 상태도

	S_a	S_b	S_c		S_a	S_b	S_c
V_0	-1	-1	-1	V_6	0	1	0
	0	0	0		-1	0	-1
	1	1	1		V_7	1	0
V_1	1	0	0	V_8	1	0	-1
	0	-1	-1	V_9	-1	1	0
V_2	1	1	0	V_{10}	-1	0	1
	0	0	-1	V_{11}	0	-1	1
V_3	0	1	0	V_{12}	1	-1	-1
	-1	0	-1	V_{13}	1	-1	-1
V_4	0	1	1	V_{14}	1	1	-1
	-1	0	0	V_{15}	-1	1	-1
V_5	0	0	1	V_{16}	-1	1	1
	-1	-1	0	V_{17}	-1	-1	1
			V_{18}	1	-1	0	

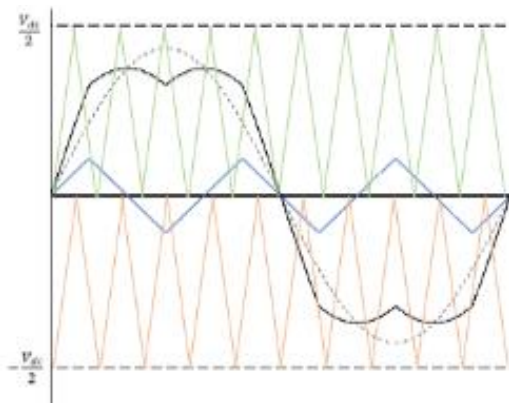


Fig. 8. 3-level voltage modulation process.
그림 8. 3-레벨 전압 변조 과정

3. FPGA의 구성

실험에 쓰인 FPGA는 Altera사의 Cyclone V를 사용하였으며, Quaturs II 툴을 사용하여 설계하였다. 그림 9는 Quaturs II 툴을 사용하여 SVPWM을 코딩한 심벌도이다. 그림 10과 같이 PLL을 사용하여 기본 클락은 PLL을 사용하여 100[MHz]로 가변하여, 사인과 반송파의 카운터로 사용하였으며, 3상 사인파의 전압을 이용하여 오프셋 값을 구하여 SVPWM을 설계하였다.

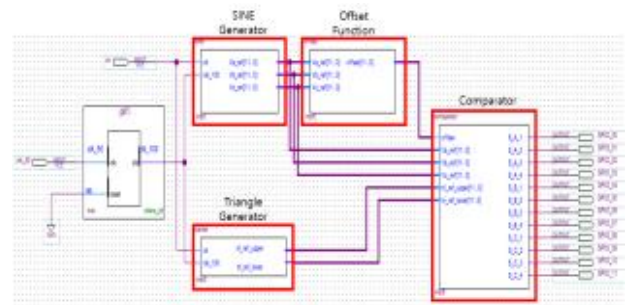


Fig. 9. Design of SVPWM using Quaturs II tool.
그림 9. Quaturs II 툴을 사용한 SVPWM 설계도

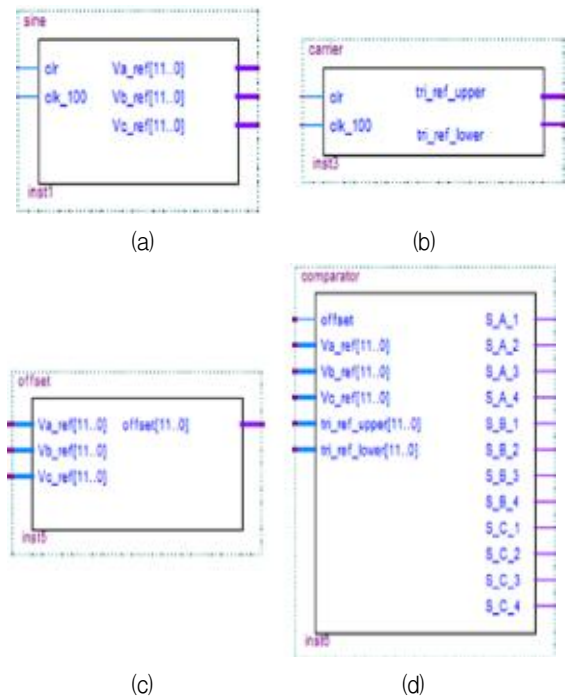


Fig. 10. (a) sine generator (b) carrier generator
(c) offset function (d) comparator and output.
그림 10. (a) 사인파 (b) 반송파 (c) 오프셋 (d) 비교기와 출력

4. 실험 결과

그림 11은 FPGA를 이용하여 2-레벨 SVPWM을 구현한 블록선도이다. PLL을 사용하여 50[MHz]를

100[MHz] 로 가변하여 사용하였다. 스위칭 주파수는 100[kHz]이며, MI값은 0.8이다. 그림 12, 13은 2-레벨 인버터의 대표적인 파형으로 그림 12는 SVPWM의 극전압 지령치이고 그림 13은 이를 이용한 선간 전압 출력파형이다.

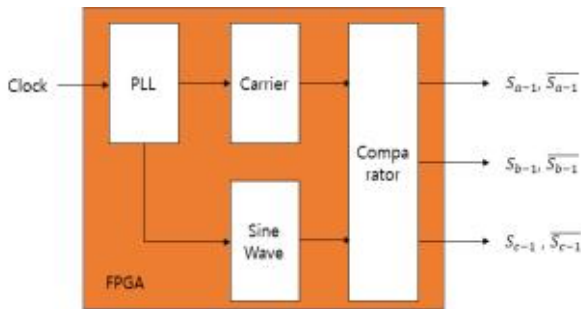


Fig. 11. 2-level SVPWM block diagram.
그림 11. 2-레벨 SVPWM 구성도

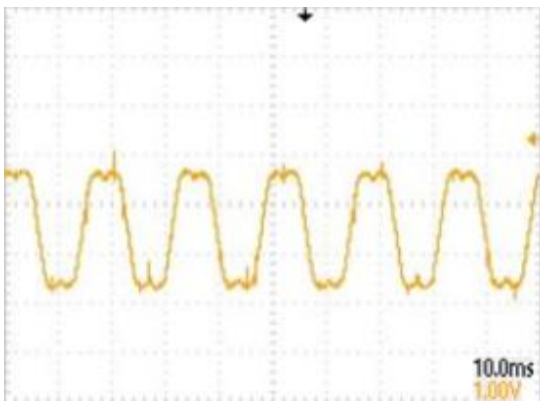


Fig. 12. 2-level pole-voltage output waveform.
그림 12. 2-레벨 극전압 출력 파형

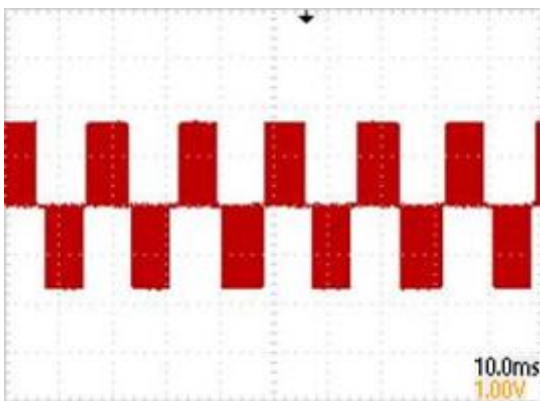


Fig. 13. 2-level line-to-line voltage output waveform.
그림 13. 2-레벨 선간 전압 출력 파형

그림 14는 3-레벨 SVPWM 구현의 구성도이다. 그림 15와 16는 3-레벨 SVPWM의 대표적인 파형

이다. 그림 15는 3레벨 PWM구현을 위한 극전압의 지령치 파형을 보인다. 그림 6에서 보듯이 3-레벨의 경우 한 암당 4개의 게이트 신호가 필요하다. 한편, 최상단 스위치와 3번째 스위치, 2번째 상단 스위치와 최하단 스위치는 상보적으로 동작하므로 한 암당 2개의 게이트 신호가 필요하다.

일반적으로 그림 8과 같이 2개의 반송파를 이용하여 구현할 수 있겠으나, 본 논문에서는 1개의 반송파만을 사용하며, 3-레벨 PWM의 구현을 위하여 그림 15와 같이 지령치 전압의 형태를 변형하여 3-레벨 SVPWM을 구현하였다. 즉 항상 양의 값을 가지는 기준파는 반송파와 비교하여 한 암의 최상단 스위치의 게이트 신호를 생성하고, 그림 15에서 항상 음의 값을 가지는 기준파 신호는 반송파와 비교되어 한 암의 두 번째 스위치의 게이트 신호 생성에 사용된다. 그림 16은 본 기법을 통해 구현한 MI=0.8인 경우의 3-레벨 인버터의 선간전압 파형이다. 그림 16에서 알 수 있듯이, 3-레벨 인버터의 전형적인 선간 전압 형태가 출력됨을 볼 수 있다.

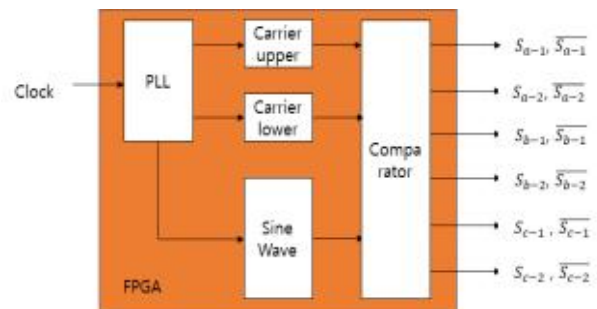


Fig. 14. 3-level SVPWM block diagram.
그림 14. 3-레벨 SVPWM 구성도

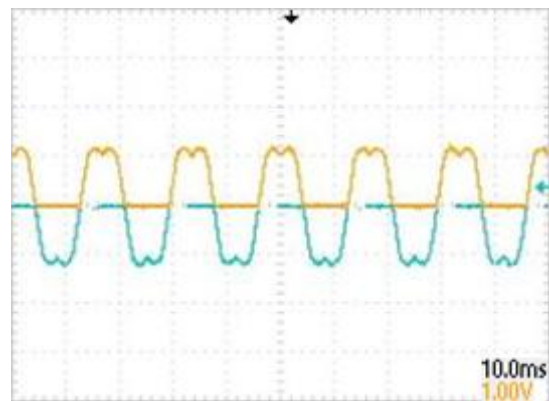


Fig. 15. 3-level pole-voltage output waveform.
그림 15. 3-레벨 극전압 출력 파형

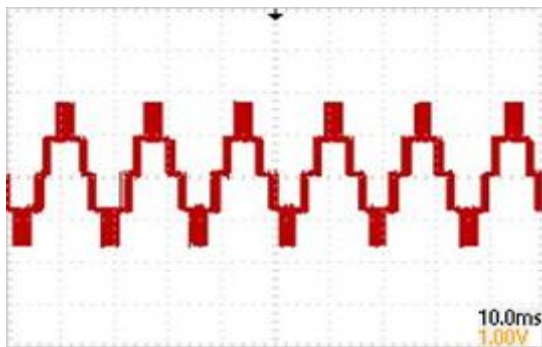


Fig. 16. 3-level line-to-line voltage output waveform.
그림 16. 3-레벨 인버터의 선간 전압 출력 파형

III. 결론

인버터 성능 향상을 위하여 GaN과 같은 차세대 소자들의 연구 개발 진행이 활발 진행되면서 스위칭 주파수의 영역이 수백 kHz가 되면서, 이러한 영역에서 통상적으로 사용되었던 기존의 DSP 시스템을 이용한 제어는 부담되어, 병렬 연산을 통한 고속 수행이 가능한 FPGA를 이용한 제어기의 적용이 필요하다. 따라서 본 논문은 FPGA의 Verilog HDL를 이용하여 스위칭 주파수가 100[kHz] 반송파 1개만을 사용하는 기법으로 3-레벨 SVPWM을 구현하여 반송파 출력 파형을 확인하였다.

References

- [1] Z. Zhou, T. Li, T. Takahashi and E. Ho, "Design of a universal space vector PWM controller based on FPGA," *Nineteenth Annual IEEE Applied Power Electronics Conference and Exposition*, vol.3, pp.1698-1702, 2004.
DOI: 10.1109/APEC.2004.1296094
- [2] D. W. Chung, J. S. Kim and S. K. Sul, "Unified voltage modulation technique for real-time three-phase power conversion," *IEEE Trans. on Indu. Appli.*, vol.34, no.2, pp.374-380, 1998.
DOI: 10.1109/28. 663482
- [3] K. K. Vinoth, et al. "Simulation and comparison of SPWM and SVPWM control for three phase inverter," *J. of Eng. and Appl. Sciences*, Vol.5, No.7, pp.61-74, 2010.
- [4] T. Y. Lim, D. H. Kim, J. M. Kim, J. G. Kim and M. H. Kim, "Implementation of SVPWM

- voltage source inverter using FPGA," *Power Elect. Sum. Annual Meeting*, pp.274-277, 1999.
- [5] S. M. Ha., D. J. Seok, T. M. Lee and S. T. Lee, "Implementation of the three-phase inverter using FPGA-based SVPWM control FPGA," *Proceeding of Institute of Control, Robotics and Systems*, pp.536-537, 2013.
- [6] D. M. Lee, "Advanced static over-modulation scheme using offset voltages injection for simple implementation and less harmonics," *J. of Elect. Eng. and Tech.*, Vol.10, No.1, pp.138-145, 2015.
DOI: 10.5370/JEET.2015.10.1.138
- [7] O. Alonso, L. Marroyo, P. Sanchis, E. Gubia and A. Guerrero, "Analysis of neutral-point voltage balancing problem in three-level neutral-point-clamped inverters with SVPWM modulation," *IEEE 2002 28th Annual Con. of the Indus. Electronics Society*. vol.2, pp.920-925, 2002.
DOI: 10.1109/IECON.2002.1185395
- [8] S. J. Lee and K. B. Lee, "A new switching method for reducing switch loss of single-phase three-level NPC inveter," *Trans of the Korean Inst. of Elec. Eng.*, Vol.64, No.2, pp.268-275, 2015.
DOI: 10.5370/KIEE.2015.64.2.268

BIOGRAPHY

Kyeong-Rok Moon (Member)



2016 : BS degree in Electrical Engineering, Hongik University.
2019~ : MS degree in Elect. and Electronic Engineering, Hongik University.

Dong-Myung Lee (Member)



1994 : BS degree in Electrical Engineering, Hanyang University.
1996 : MS degree in Electrical Engineering, Hanyang University.
2004 : PhD degree in ECE Georgia Tech.

2008~present : Professor, School of Electronic and Electrical Engineering, Hongik Univ.