

# 특허 데이터 및 재무 데이터를 활용한 글로벌 기업의 인공지능 하드웨어 연구개발 효율성 분석

박지민<sup>†</sup>, 이봉규<sup>††</sup>

## Analysis of Research and Development Efficiency of Artificial Intelligence Hardware of Global Companies using Patent Data and Financial data

Ji Min Park<sup>†</sup>, Bong Gyou Lee<sup>††</sup>

### ABSTRACT

R&D(Research and Development) efficiency analysis is a very important issue in academia and industry. Although many studies have been conducted to analyze R&D(Research and Development) efficiency since the past, studies that analyzed R&D(Research and Development) efficiency considering both patentability and patent quality efficiency according to the financial performance of a company do not seem to have been actively conducted. In this study, measuring the patent application and patent quality efficiency according to financial performance, patent quality efficiency according to patent application were applied to corporate groups related to artificial intelligence hardware technology defined as GPU(Graphics Processing Unit), FPGA(Field Programmable Gate Array), ASIC(Application Specific Integrated Circuit) and Neuromorphic. We analyze the efficiency empirically and use Data Envelopment Analysis as a measure of efficiency. This study examines which companies group has high R&D(Research and Development) efficiency about artificial intelligence hardware technology.

**Key words:** R&D(Research and Development) Efficiency, Artificial Intelligence Hardware, DEA(Data Envelopment Analysis)

### 1. 서 론

4차 산업혁명의 핵심 동력인 인공지능·자율주행·가상현실 등 최첨단 기술이 빠르게 발전하면서 이들을 안정적으로 제어·구현할 수 있는 새로운 칩 기술의 필요성이 증대하고 있다. 새로운 칩은 폭증하는 방대한 데이터를 실시간으로 빠르게 처리할 수 있는 초저능, 저전력, 고신뢰성을 요구한다. 이러한 기술

적 요구에 따라 인식·추론·학습·판단 등 지능형 서비스에 최적화된 SW와 SoC가 융합된 반도체인 인공지능 하드웨어가 전 세계적으로 급부상하고 있다. 인공지능 반도체(Artificial Intelligence Semiconductor)라고도 불리는 인공지능 하드웨어(Artificial Intelligence Hardware)는 GPU(Graphics Processing Unit), FPGA(Field Programmable Gate Array), ASIC(Application Specific Integrated Circuit) 및 Neuromor-

※ Corresponding Author : Ji Min Park, Address: (03722) 50, Yonsei-ro, Seodaemun-gu, Seoul, Republic of Korea, TEL : +82-10-6338-5996, FAX : +82-42-719-2450, E-mail : qkrwlals6@gmail.com  
Receipt date : Dec. 26, 2019, Revision date : Feb. 12, 2020  
Approval date : Feb. 18, 2020

<sup>†</sup> Dept of Technology and Business Administration  
Yonsei University, Seoul, Korea

<sup>††</sup> Graduate School of Information, Yonsei University,  
Seoul, Korea  
(E-mail : bglee@yonsei.ac.kr)

phic으로 정의된다[1,2]. 하드웨어 중심의 인공지능 개발 트렌드의 확산에 따라 IT 및 기타 기업의 반도체 산업 진출 가속화로 최근 인공지능 하드웨어에 관한 R&D(Research and Development) 활동이 전 세계적으로 활발하게 증가하고 있다[3].

R&D(Research and Development)는 오늘날 기업의 존속과 성공을 위한 필수 요소로 인식되고 있다. 연구·개발에 관한 많은 투자가 반드시 높은 경제성장을 보장하는 것은 아니지만, 많은 연구에서 R&D(Research and Development)가 조직의 흥망에 중대한 영향을 끼침이 입증되었다[4]. 연구·개발은 민간과 정부 기관의 성공 여부를 결정하는 결정적인 요인으로 작용하며, 경제 발전의 원동력으로서 중요한 역할을 한다[5]. R&D(Research and Development)에 관한 투자가 전 세계적으로 증가하는 가운데 민간부문과 공공부문의 많은 조직이 연구·개발 활동 평가에 많은 관심을 보이고 있다. 이에 따라 R&D(Research and Development) 성과 측정이 학계와 산업계에서 중요해지고 있다[6]. 과거에는 Bibliometrics 및 Peer review 등의 방법으로 R&D(Research and Development) 효율성을 측정 하였다. 하지만, Bibliometrics는 단 하나의 산출만을 분석한다는 한계가 있으며, Peer review는 전문가의 의견을 기반으로 하여 평가자의 관심사, 경험 및 지식에 의해 편향될 수 있다는 한계점이 있다[7,8].

현재까지 인공지능 하드웨어 기술과 관련된 특허 데이터를 활용한 R&D(Research and Development) 효율성 분석 연구는 활발히 진행되지 않은 것으로 보인다. Chang (2018)은 특허 CPC(Cooperative Patent Classification) 코드를 활용한 특허 네트워크 분석을 통해 뉴로모픽 시스템의 기술 트렌드 분석에 관한 연구를 수행하였으나, 연구·개발 평가에 관한 언급은 없었다[9]. Shibata et al. (2018)은 특허 IPC(International Patent Classification) 코드를 활용한 링크 마이닝(Link Mining) 방법과 특허출원의 시계열적 분석 방법을 통해 FPGA(Field Programmable Gate Array) 기술의 트렌드를 도출하였으나, 연구·개발 평가에 관한 연구는 함께 수행되지 않았다[10].

따라서, 상기의 한계점들을 극복하기 위해 정량적인 데이터를 활용하여 인공지능 하드웨어 기술과 관련된 R&D(Research and Development) 효율성을 분석하는 연구가 필요한 실정이다. 본 연구에서는 인

공지능 하드웨어 기술 관련 기업들을 SIC(Standard Industrial Classification) 코드 기준으로 반도체, IT 및 기타 기업으로 분류한 후 DEA(Data Envelopment Analysis) 방법을 사용하여 R&D(Research and Development) 효율성을 분석하는 것을 목적으로 한다. 기존 산업을 유지하고 있던 기업 집단(반도체 기업)의 R&D(Research and Development) 효율성이 다른 산업(IT 및 기타 산업)에서 새롭게 진입하는 기업 집단들의 R&D(Research and Development) 효율성보다 높은지에 관해 연구문제를 설정하였으며, 기업의 1) 재무성과에 따른 특허출원 효율성, 2) 특허출원에 따른 특허품질 효율성 및 3) 재무성과에 따른 특허품질 효율성을 산출하여 실증분석을 수행하였다.

## 2. 관련연구

### 2.1 특허데이터를 활용한 R&D 효율성 분석 선행연구

선행연구를 살펴보면 R&D 지출 등을 투입변수로 하고 특허출원 수 등을 산출변수로 하여 R&D 효율성을 분석하는 연구들이 많이 수행되었음을 알 수 있다. Jang (2015)은 R&D 비용, 고용자 수를 투입변수로 하고 특허출원 수, 특허등록 수 및 기업의 순매출액을 산출요소로 하여 글로벌 기업들의 연구·개발 효율성을 분석하였으며[11], Lee et al. (2005)에서는 R&D 비용, 연구자 수를 투입변수로 사용하고 논문 수, 특허 수를 산출요소로 사용하여 국가별 연구·개발 효율성을 분석하였다[12]. Lee et al. (2010)에서는 R&D 인적자원, R&D 예산을 투입변수로 하고 SCI 논문 수, 특허 수, 인프라 수를 산출변수로 하여 국가별 연구·개발 효율성을 분석한 연구를 수행하였다[13]. 그 외에도 자산, 기업의 규모 등과 같은 기업의 재무성과를 투입요소로 하고 특허 수, 피인용 수 등의 특허성과 지표를 산출요소로 하여 연구·개발 효율성을 분석하는 연구들이 다수 수행되었다 [14,15]. 하지만, 선행연구들에서는 R&D 비용과 같은 재무성과를 투입변수로 하고 특허 수 등의 특허 관련 지표를 산출변수로 사용한 단일의 효율성 분석만을 수행하였을 뿐, 재무성과 대비 특허출원 효율성, 특허출원 대비 특허품질 효율성 및 재무성과 대비 특허품질 효율성을 함께 고려하여 연구를 수행하지 못한 한계점이 있다.

## 2.2 특허 포트폴리오 분석

특허 데이터는 기업의 잠재력을 파악하기 위한 연구·개발 포트폴리오 분석 등을 위한 자료로 사용되며[16,17], 특허 포트폴리오 분석을 통해 기업의 경쟁력 및 업계 동향과약을 할 수 있다[18]. Tseng et al. (2011)은 기술 수준과 기업 수준을 결합한 특허 데이터 분석을 통해 특허 포트폴리오 분석을 수행하였다. 가로축을 기술 분류로 설정하고 세로축을 기술 수준으로 설정하여 태양광 기술 관련 기업들을 기술 선도 기업, 잠재 기술기업 등으로 선정하는 연구를 수행하였다[19]. Fabry et al. (2006)은 기업의 혁신 파워를 나타내는 특허활동과 등록 비율, 국제적/기술적 영역 및 피인용수를 종합한 특허품질의 상호관계를 통해 특허 포트폴리오를 분석하였으며, 이를 통해 기술 리더 기업과 잠재 기업 등을 선정하였다[20]. 본 연구에서는 선행연구의 특허 포트폴리오 분석 기법들을 결합하여 인공지능 하드웨어 기술을 보유한 기업집단의 기술별/기간별 연구·개발 효율성을 분석하고자 한다.

## 2.3 특허 및 기업 성과지표

특허지표는 특허분석의 기본이 되는 지표이다. 선행연구에 의하면 특허지표들은 1) 특허 수, 2) 국제지수, 3) 피인용수 및 4) 청구항으로 분류할 수 있다. 1) 특허 수는 출원특허 수, 공개특허 수 및 등록특허 수로 분류할 수 있으며, 기업의 특허 수를 추적하여 기업의 연구·개발 활동의 발전과 기술 개발 동향을 관찰 할 수 있다. 2) 국제지수는 시장 범위와 관련된 지표로 패밀리 특허(Family Patent) 및 PCT(Patent Cooperation Treaty) 특허로 분류할 수 있다. 국제지수를 통해 특허 포트폴리오를 비즈니스 관점에서 분석하여 기업의 시장 규모와 품질을 관찰할 수 있다. 3) 피인용수는 기술 개발의 원동력을 나타낸다. 특허의 기술적 영향을 평가하는데 사용되며, 높은 피인용인덱스 값을 가질수록 미래의 발명에 중요하고 필수

적인 특허로 판단된다. 4) 청구항은 출원된 기술의 보호범위를 나타낸다. 독립항은 출원된 발명의 본질적인 신규성을 나타내고, 종속항은 혁신의 상세한 특징들을 기술한다. 비록 특허 청구항과 관련된 지표는 특허의 가치를 평가하는데 중요한 정성적 지표로 사용될 수 있지만, 출원 특허가 심사를 받으면서 권리범위가 좁아질 가능성이 크기 때문에 특허의 가치를 평가하는 정량적인 데이터로서는 적합하지 않을 것이라 생각하여 본 연구에서는 지표로 사용하지 않았다 [19-21].

Greve (2013)와 Chen(2008) 등은 기업의 성과와 기술 탐색의 관계에 관한 연구를 수행하였다. 기업의 기술탐색에 영향을 주는 성과지표 변수로서 ROA (Return On Asset), RDI(Research and Development Intensity), 잠재적 슬랙(Potential Slack) 및 비흡수된 슬랙(Unabsorbed Slack)을 사용하였으며 각 지표는 Table 1과 같이 정의된다[22-23].

## 2.4 DEA(Data Envelopment Analysis)

R&D(Research and Development) 평가 등 다수의 투입물과 산출물을 가진 의사결정단위(DMU: Decision Making Unit)들의 상대적인 효율성을 평가하는 방법으로 DEA(Data Envelopment Analysis)가 유용하게 활용되고 있다. DEA(Data Envelopment Analysis) 모형의 종류는 크게 다음과 같이 나눌 수 있다. 먼저 규모수익에 대한 가정에 따라 불변규모수익(CRS: Constant Return to Scale)을 가정하는 CCR 모형과 가변규모수익(VRS: Variable Return to Scale)을 가정하는 BCC 모형으로 나눌 수 있다. 또한 지향성에 따라 투입요소에 초점을 두는 투입기준(Input oriented) 모형과 산출요소에 초점을 두는 산출기준(Output oriented)모형으로 나눌 수 있다[24].

Joe Zhu (2000)는 단일의 효율성 분석 모델을 확장한 모델을 통해 1) 고용자 수, 자산 및 주주지분을 투입변수로 하고 수익 및 순이익을 산출변수로 하여

Table 1. Variable related to company's performance

Variable	Explanation
ROA (Return On Asset)	Net Income / Total Asset
RDI (Research and Development Intensity)	Research and Development expense / Sales
Potential Slack	Total debt / Equity
Unabsorbed Slack	Quick Asset / Liabilities

기업의 수익성 효율성 분석(Stage1), 2) 수익성 효율성 분석(Stage1)의 산출변수인 수익 및 순이익을 투입변수로 하고 시장가치, 투자자 총수익 및 주당순이익을 산출변수로 하여 기업의 시장성 효율성 분석(Stage2) 및 3) 수익성 효율성 분석(Stage1)의 투입변수인 고용자 수, 자산 및 주주지분을 투입변수로 하고 시장성(stage2) 효율성 분석의 산출변수인 시장가치, 투자자 총수익 및 주당순이익을 산출변수로 하여 효율성 분석을 수행하였다[25]. 본 연구에서는 Joe Zhu (2000)에서 사용된 DEA 모형을 적용하여 인공지능 하드웨어관련 기업집단들의 1) 재무성과에 따른 특허출원 효율성, 2) 특허출원에 따른 특허품질 효율성 및 3) 재무성과에 따른 특허품질 효율성 분석을 수행하고자 한다.

### 3. 제안한 방법

#### 3.1 연구모델 및 자료선정

본 연구에서는 인공지능 하드웨어 기술을 보유한 글로벌 기업들의 산업집단(반도체, IT 및 기타 기업)별 연구·개발 효율성을 분석한다. 효율성 분석을 수행하기 위해 1) 선행연구를 기반으로 인공지능 하드웨어 관련 키워드 및 국제특허분류(IPC: International Patent Classification) 코드를 선정하여 특허 데이터를 추출한 후 특허 출원 상위 기업들을 대상으로 재무성과 데이터를 추출한다.

2) 인공지능 하드웨어 기술별로 특허가 출원된 전체 기간 및 최근 5년 기간을 시계열적으로 분석하는 프레임 설정 후 효율성 분석을 위해 사용할 재무성과 변수와 특허성과 변수를 선정한다. 3) 선정된 변수들과 프레임을 사용하여 재무성과 대비 특허성과 효율성을 분석하는 모델을 설정한 후 자료포락분석법(DEA: Data Envelopment Analysis)의 CCR 모형을 통해 효율성 분석을 수행한다.

특허 데이터는 특허정보진흥센터에서 제공하는 키워(KIWEET)에서 선행연구를 기반으로 작성한 검색식으로 검색을 수행하여 추출하였다. 검색결과

1988년부터 2019년 4월까지 미국, 일본, 유럽, 중국 특허청 및 WIPO(World Intellectual Property Organization) 등에서 특허 데이터 3001개를 추출하였으며, 기술별 특허 출원 수는 Table 2와 같다. 재무데이터는 Thomson Reuters에서 제공하는 EIKON에서 추출하였으며, 인공지능 하드웨어 기술별 특허출원 수 상위 기업들을 대상으로 ROA(Return On Asset), RDI(Research and Development Intensity), 잠재적 슬랙(Potential Slack) 및 비흡수된 슬랙(Unabsorbed Slack) 데이터를 수집하였다.

#### 3.2 특허 데이터 추출 과정

세계적 저널인 Nature와 컨설팅 회사인 Mckinsey에서는 인공지능 하드웨어를 GPU(Graphics Processing Unit), FPGA(Field Programmable Gate Array), ASIC(Application Specific Integrated Circuit)으로 정의하였고, 국내 R&D(Research and Development)관리 전담기관인 IITP 등에서는 상기 3가지 하드웨어뿐 아니라 Nueromorphic까지 포함하여 인공지능 하드웨어를 정의하였다[4-6]. 본 연구에서는 GPU(Graphics Processing Unit), FPGA(Field Programmable Gate Array), ASIC(Application Specific Integrated Circuit) 및 Nueromorphic을 인공지능 하드웨어 기술 특허 검색을 위한 키워드로 선정하였고, 인공지능 기술을 위한 특허를 선정하기 위해 AI, 머신러닝, 딥러닝 등의 키워드를 포함하여 특허 검색식을 만들었다.

인공지능기술 특허데이터를 분석한 선행연구에서는 IPC(International Patent Classification) 코드 G06F(전기에 의한 디지털 데이터처리)에서 관련 기술 출원이 활발함을 밝혀냈다[26]. 본 연구에서는 인공지능 하드웨어 기술 특허검색을 위한 IPC(International Patent Classification) 코드로 G06F를 선정하였고, 추가적으로 대한민국 특허청(KIPO)에서 제공하는 국제특허분류(IPC: International Patent Classification) 2019 프로그램을 분석한 후 인공지능 하드웨어와 관련된 IPC(International Patent Clas-

Table 2. Number of Patent of Artificial Intelligence Semiconductor

GPU (Graphics Processing Unit)	FPGA (Field Programmable Gate Array)	ASIC (Application Specific Integrated Circuit)	Neuromorphic	Total
1396	956	379	270	3001

Table 3. Search Formula for Artificial Intelligence Semiconductor

(AI, Artificial Intelligence, Machine Learning, Neural Network, Deep Learning) & (GPU, Graphic process, FPGA, Field programmable, ASIC, ASSP, Neuromorphic) & (IPC: G06F,G06N,G06K,G06T)
--

sification) 코드(G06F: 전기에 의한 디지털 데이터처리, G06K: 데이터의 인식; 데이터의 표시; 기록매체 및 취급, G06N: 특정 계산모델 방식의 컴퓨터시스템, G06T: 이미지 데이터 프로세싱)를 선정하였다. 선정된 키워드와 IPC(International Patent Classification) 코드로 작성된 특허 검색식은 Table 3과 같다.

3.3 분석 프레임 설정 및 변수 선정

Fig. 1을 통해 인공지능 하드웨어 관련된 4가지 모든 기술의 특허출원이 2015년도부터 기하급수적으로 증가하는 것을 알 수 있다. 따라서, 본 연구에서는 Tseng et al. (2011)과 Fabry et al. (2006)의 연구 방법을 결합하여 Fig. 2의 기술별/기간별 효율성 분석을 위한 프레임을 구성할 때 기간별 기준을 전체기

간과 최근 5년(2015-2019)으로 나누었다[18,19]. 특허성과 관련 변수로는 ① 특허출원 수, ② 3패리 사이즈 이상 특허 수, ③ PCT(Patent Cooperation Treaty) 출원 수, ④ 특허등록 수, ⑤ 기업이 보유한 특허의 총 피인용수, ⑥ 평균 피인용 수 및 ⑦ 상위 10% 피인용 특허의 상대적 피인용수 비율을 사용하였다[18-20]. 청구항과 관련된 지표는 특허의 가치를 평가하는데 중요한 정성적 지표로 사용될 수 있지만, 정량적 지표로서는 적합하지 않다고 판단하여 본 연구에서는 사용하지 않았다. 기업의 재무성과지표는 선행 연구에 기초하여 ① ROA(Return On Asset), ② RDI (Research and Development Intensity), ③ 잠재적 슬랙(Potential Slack) 및 ④ 비흡수된 슬랙(Unabsorbed Slack)을 사용하였다[22-23].

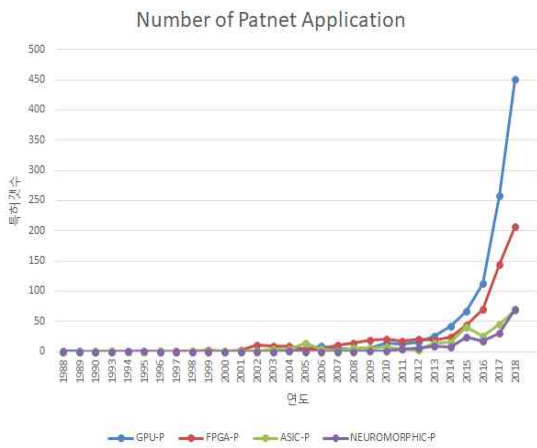


Fig. 1. Number of Patent by Artificial Intelligence Semiconductor Technology.

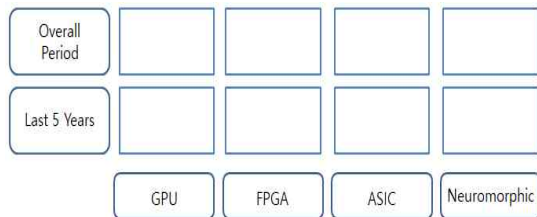


Fig. 2. Frame for Efficiency Analysis by Technology / Period.

3.4 DEA(Data Envelopment Analysis) 분석

본 연구에서는 인공지능 하드웨어 기술 특허를 보유한 기업집단(반도체, IT 및 기타 기업)의 R&D (Research and Development) 효율성을 알아보기 위해 Fig. 3의 모델을 사용하였다. Stage1을 통해 인공지능 하드웨어 기술 관련 기업집단(반도체, IT 및 기타 기업)의 재무성과 대비 특허출원 효율성을 알 수 있다. 투입변수로는 ROA(Return On Asset), RDI (Research and Development Intensity), 잠재적 슬랙 (Potential Slack) 및 비흡수된 슬랙(Unabsorbed

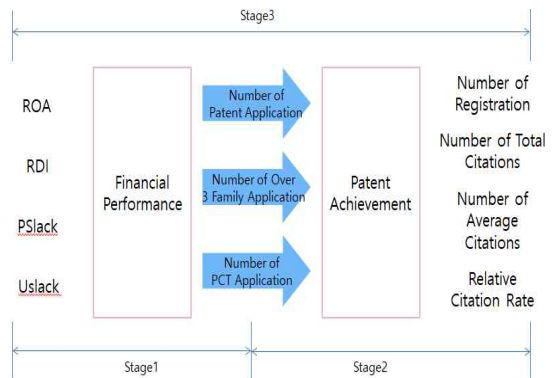


Fig. 3. Model for Analyzing Patent Performance Efficiency.

Slack)을 사용하였고, 산출변수로서 특허출원 수, 3패밀리 사이즈 이상 특허 수 및 PCT(Patent Cooperation Treaty) 출원 수를 사용하였다. Stage2를 통해서 인공지능 하드웨어 기술 관련 기업집단(반도체, IT 및 기타 기업)의 특허출원 대비 특허품질 효율성을 알 수 있다. 투입변수로는 특허출원 수, 3패밀리 사이즈 이상 특허 수 및 PCT(Patent Cooperation Treaty) 출원 수를 사용하였으며 산출변수로는 특허등록 수, 기업이 보유한 특허의 총 피인용 수, 기업이 보유한 특허의 평균 피인용 수 및 상위 10% 피인용 특허의 상대적 피인용수 비율을 사용하였다. Stage3에서는 재무성과 대비 특허품질 효율성을 알 수 있다. 투입변수로 ROA(Return On Asset), RDI(Research and Development Intensity), 잠재적 슬랙(Potential Slack) 및 비흡수된 슬랙(Unabsorbed Slack)을 사용하였고, 산출변수로는 특허등록 수, 기업이 보유한 특허의 총 피인용 수, 기업이 보유한 특허의 평균 피인용 수 및 상위 10% 피인용 특허의 상대적 피인용수 비율을 사용하였다. 본 연구에서는 인공지능 반도체의 기술 특성과 산출을 최대화 하는 기업들의 목표를 고려하여 산출기준 CCR 모델을 사용하였으며, 기업집단별(반도체, IT 및 기타 기업) 효율성을 도출하기 위해 Joe Zhu (2000)의 연구에 기초하여 기업집단에 속한 개별 기업들의 효율성 값의 평균을 이용하였다[24,25].

#### 4. 실증분석 결과

본 연구에서 특허 데이터는 분석기간 동안의 정량적인 값을 합산하여 분석을 수행하였다. 기업의 재무 데이터의 경우 전체기간의 연구·개발 효율성을 분석하기 위해서는 추출된 특허 데이터를 기준으로 기업별 최초 특허출원이 있었던 연도를 시점으로 2019년도까지의 평균값을 산출하였다. 최근 5년의 연구·개발 효율성을 분석하기 위해서는 최근 5년간의 평균값을 이용하였으며, Stata 15.1을 이용하여 DEA(Data Envelopment Analysis) 분석을 수행하였다. (Stage1: 재무성과 대비 특허출원 효율성, Stage2: 특허출원 대비 특허품질 효율성, Stage3: 재무성과 대비 특허품질 효율성)

##### 4.1 GPU(Graphics Processing Unit) 기술 분석

Fig. 4는 각 기업집단의 GPU(Graphics Processing

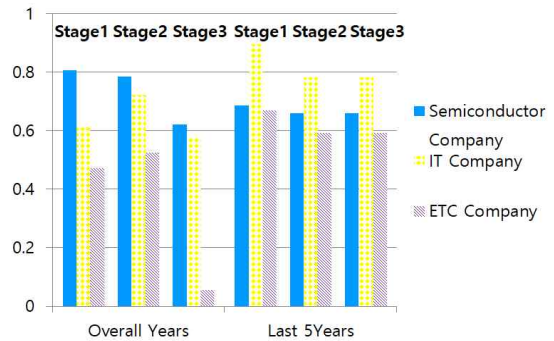


Fig. 4. R&D Efficiency about GPU (Graphics Processing Unit).

Unit) 기술 연구·개발 효율성을 나타내며, 구체적인 값은 Table 4와 같다. 전체기간(Overall Years)의 효율성을 살펴보면 재무성과 대비 특허출원 효율성(Stage1), 특허출원 대비 특허품질 효율성(Stage2) 및 재무성과 대비 특허품질 효율성(Stage3)값 모두 반도체 기업집단이 가장 높게 나타났다. 이러한 결과는 GPU(Graphics Processing Unit) 시장의 선도기업인 NVIDIA, AMD 및 Intel(반도체 기업집단)의 특허성고가 월등히 높기 때문인 것으로 보인다.

최근 5년 기간(Last 5Years)의 연구·개발 효율성은 반도체 기업집단이 IT 기업집단에 역전을 당하였다. 이러한 결과는 Microsoft 등 IT 기업들이 클라우드 컴퓨팅(Cloud computing) 시장에 활발히 진출하면서 관련 기술 연구·개발을 활발히 수행하고 있고 Nvidia, AMD 및 Intel의 최근 5년 특허성고가 감소했기 때문인 것으로 보인다.

##### 4.2 FPGA(Field Programmable Gate Array) 기술 분석

Fig. 5는 FPGA(Field Programmable Gate Array) 기술 연구·개발 효율성을 나타내며, 구체적인 값은 Table 5와 같다. 전체기간(Overall Years)의 효율성을 살펴보면 재무성과 대비 특허출원 효율성(Stage1)은 반도체 기업집단이 가장 높게 나타났으며, 특허출원 대비 특허품질 효율성(Stage2)과 재무성과 대비 특허품질 효율성(Stage3)은 기타 기업 및 IT 기업이 반도체 기업보다 높게 나타났다. 이러한 결과는 FPGA(Field Programmable Gate Array) 시장의 선도기업인 Xilinx와 Lattice Semiconductor(반도체 기업집단)의 특허출원 수가 다른 기업들과 비교했을 때 월

Table 4. R&D Efficiency about GPU (Graphics Processing Unit)

Company Group	Stage1 Efficiency		Stage2 Efficiency		Stage3 Efficiency	
	Overall Years	Last 5Years	Overall Years	Last 5Years	Overall Years	Last 5Years
Semiconductor Company	0.8074	0.6862	0.7850	0.6593	0.6221	0.6593
IT Company	0.6136	0.8953	0.7233	0.7839	0.5816	0.7839
ETC Company	0.4728	0.6691	0.5252	0.5933	0.0566	0.5933
Average	0.6313	0.7502	0.6778	0.6788	0.4201	0.6788

Table 5. R&D Efficiency about FPGA (Field Programmable Gate Array)

Company Group	Stage1 Efficiency		Stage2 Efficiency		Stage3 Efficiency	
	Overall Years	Last 5Years	Overall Years	Last 5Years	Overall Years	Last 5Years
Semiconductor Company	0.7055	0.7931	0.4652	0.5035	0.2844	0.3232
IT Company	0.6803	0.8465	0.6322	0.5667	0.3485	0.2643
ETC Company	0.3959	0.2098	1.0000	0.7381	0.6090	0.2089
Average	0.5939	0.6164	0.6991	0.6028	0.4140	0.2655

등이 많으나, 출원된 많은 특허들이 기술 권리행사가 아닌 기술 방어를 위해 출원되었으며, IBM(기타 기업집단), Microsoft 및 Amazon(IT 기업집단) 등이 클라우드 컴퓨팅(Cloud computing)에 관한 연구·개발을 활발히 수행하면서 특허품질이 높아졌기 때문인 것으로 보인다.

최근 5년 기간(Last 5Years)의 효율성을 살펴보면 재무성과 대비 특허품질 효율성(Stage3)은 반도체 기업집단이 가장 높으나, 재무성과 대비 특허출원 효율성(Stage1)과 특허출원 대비 특허품질 효율성(Stage2)은 각각 IT 기업집단과 기타 기업집단이 반도체 기업집단을 앞지른 것을 볼 수 있다. 이러한 결

과는 시장점유율 선두 기업인 Xilinx와 Lattice Semiconductor(반도체 기업집단)가 축적해놓은 기술력은 있지만 최근 5년간 특허활동을 축소하였으며, Microsoft, Amazon, Facebook 및 Uber등의 기업들이 클라우드 컴퓨팅(Cloud computing)과 자율주행 기술에 관한 연구·개발을 활발히 수행하였기 때문으로 보인다.

4.3 ASIC(Application Specific Integrated Circuit) 기술 분석

Fig. 6은 ASIC(Application Specific Integrated Circuit) 기술 연구·개발 효율성을 나타내며, 구체적

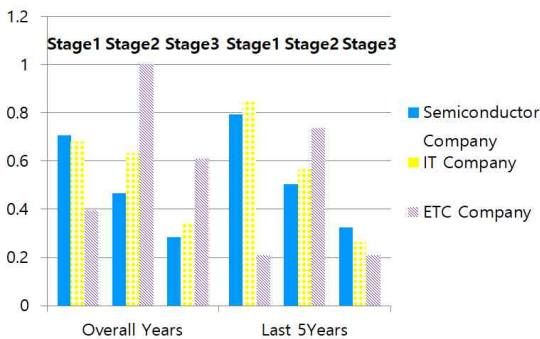


Fig. 5. R&D Efficiency about FPGA(Field Programmable Gate Array).

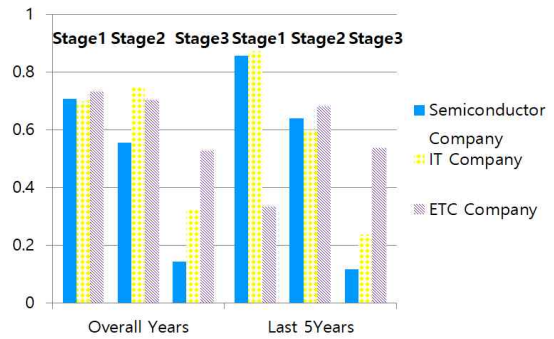


Fig. 6. R&D Efficiency about ASIC(Application Specific Integrated Circuit).

Table 6. R&D Efficiency about ASIC (Application Specific Integrated Circuit)

Company Group	Stage1 Efficiency		Stage2 Efficiency		Stage3 Efficiency	
	Overall Years	Last 5Years	Overall Years	Last 5Years	Overall Years	Last 5Years
Semiconductor Company	0.7055	0.7931	0.4652	0.5035	0.2844	0.3232
IT Company	0.6803	0.8465	0.6322	0.5667	0.3485	0.2643
ETC Company	0.3959	0.2098	1.0000	0.7381	0.6090	0.2089
Average	0.5939	0.6164	0.6991	0.6028	0.4140	0.2655

인 값은 Table 6과 같다. 전체기간(Overall Years)과 최근 5년 기간>Last 5Years)의 효율성을 살펴보면 재무성과 대비 특허출원 효율성(Stage1), 특허출원 대비 특허품질 효율성(Stage2) 및 재무성과 대비 특허품질 효율성(Stage3) 중 어느 하나에서도 반도체 기업집단이 가장 높은 효율성을 보여주지 못하고 있다. 이러한 결과는 ASIC(Application Specific Integrated Circuit)기술이 클라우드 컴퓨팅(Cloud computing)에 가장 많이 활용되기 때문인 것으로 보인다. Microsoft, Amazon, Facebook, Google(IT 기업 집단)과 IBM(기타 기업집단) 등이 클라우드 컴퓨팅(Cloud computing) 사업에 많은 연구·개발 자원을 투입하면서 ASIC(Application Specific Integrated

Circuit) 기술에 관한 특허출원을 많이 하였으며, 이에 따라 특허성과도 창출되고 있는 것으로 보인다.

4.4 Neuromorphic 기술 분석

Fig. 7은 Neuromorphic 기술 연구·개발 효율성을 나타내며, 을 나타내며 구체적인 값은 Table 7과 같다. 전체기간(Overall Years)의 효율성을 살펴보면 재무성과 대비 특허품질 효율성(Stage3)은 반도체 기업집단이 가장 높게 나타났지만, 재무성과 대비 특허출원 효율성(Stage1)과 특허출원 대비 특허품질 효율성(Stage2)은 그렇지 않다는 것을 볼 수 있다. 이러한 결과는 IBM이 오랜 기간 연구·개발을 수행하면서 Intel, Qualcomm, Samsung Electronics 등 반도체 기업집단보다 높은 R&D 성과를 창출했기 때문인 것으로 보인다.

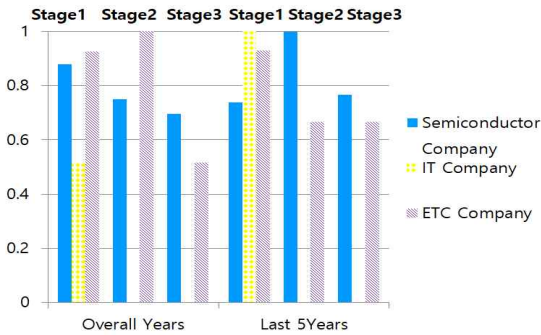


Fig. 7. R&D Efficiency about Neuromorphic.

최근 5년 기간>Last 5Years)의 효율성을 살펴보면 재무성과 대비 특허출원 효율성(Stage1)은 반도체 기업집단이 가장 낮게 나타났고, 특허출원 대비 특허품질 효율성(Stage2)과 재무성과 대비 특허품질 효율성(Stage3)은 반도체 기업집단이 가장 높게 나타났다. 기업 수 1개로 구성된 IT 기업집단을 잡음으로 고려한다면, 이러한 결과는 IBM의 특허출원 뿐 아니라 Volkswagen, Denso 등 자동차 기업들이 자율주행을 위한 연구를 시작하여 재무성과 대비 특허출원

Table 7 R&D Efficiency about Neuromorphic

Company Group	Stage1 Efficiency		Stage2 Efficiency		Stage3 Efficiency	
	Overall Years	Last 5Years	Overall Years	Last 5Years	Overall Years	Last 5Years
Semiconductor Company	0.8802	0.7373	0.7501	1.0000	0.6967	0.7660
IT Company	0.5154	1.0000	0.0000	0.0000	0.0000	0.0000
ETC Company	0.9249	0.9301	1.0000	0.6667	0.5172	0.6667
Average	0.7735	0.8892	0.5834	0.5556	0.4046	0.4775



효율성(Stage1)은 반도체 기업집단이 낮지만, Intel, Qualcomm, Samsung Electronics와 같은 기업들이 최근 5년 사이 연구·개발 성과를 활발히 창출하였기 때문으로 볼 수 있다.

## 5. 결 론

본 연구에서는 인공지능 하드웨어 기술 관련 기업들을 기업집단(반도체 기업, IT 기업 및 기타 기업)으로 구분하여 재무성과 대비 특허출원 효율성, 특허출원 대비 특허품질 효율성 및 재무성과 대비 특허품질 효율성을 분석하였다. 효율성 분석은 기술별로 시계열적으로(전체기간 및 최근 5년) 구분하여 수행하였다.

연구문제인 ‘인공지능 하드웨어 기술과 관련하여 기존 산업을 유지하고 있던 기업집단(반도체 기업)들의 연구·개발 효율성이 다른 산업에서 새롭게 진입하는 기업집단(IT 및 기타 기업)들의 연구·개발 효율성보다 높은가?’ 와 관련해서는 일부 기술의 일부 기간에서 그러하다는 것을 알 수 있었다. GPU(Graphics Processing Unit)기술 전체기간(Overall Years)의 모든 효율성(Stage1-3)과 FPGA(Field Programmable Gate Array)기술 전체기간(Overall Years)의 재무성과 대비 특허출원 효율성(Stage1), 최근 5년(Last 5Years)의 재무성과 대비 특허품질 효율성(Stage3), Neuromorphic기술의 최근 5년(Last 5 Years) 특허출원 대비 특허품질 효율성(Stage2)과 재무성과 대비 특허품질 효율성(Stage3)에서 반도체 기업집단이 가장 높은 효율성을 보여주었다.

이러한 결과가 나타난 이유로는 GPU(Graphics Processing Unit) 기술에서 시장 선도기업인 NVIDIA, AMD 및 Intel(반도체 기업집단)의 특허성과가 월등히 높고, FPGA(Field Programmable Gate Array) 기술 시장의 선도기업인 Xilinx와 Lattice Semiconductor(반도체 기업집단)의 특허출원 수가 다른 기업들과 비교했을 때 월등히 많지만, 최근 들어 Microsoft, Amazon, Facebook, Google, Uber, IBM과 같은 IT 및 기타 기업집단들이 클라우드 컴퓨팅(Cloud computing)과 자율주행기술에 관한 연구·개발을 활발히 수행하고 있기 때문인 것으로 보인다. Neuromorphic 기술에서는 Intel, Qualcomm, Samsung Electronics 등 반도체 기업집단이 최근 5년 사이 연구·개발 성과가 활발히 창출되었기 때문으로 인과율

을 추론해볼 수 있다.

본 연구는 인공지능 하드웨어 기술과 관련된 기업들의 연구·개발 효율성을 분석한 초기 연구라는 점과, DEA(Data Envelopment Analysis)를 이용하여 R&D(Research and Development) 효율성을 분석할 때, 선행연구들이 가지고 있던 한계점을 극복했다는 점에서 학문적으로 의의가 있다. 선행연구에서는 R&D(Research and Development) 비용과 같은 재무성과를 투입변수로 하고 특허 수 등의 특허 관련 지표를 산출변수로 사용한 단일의 효율성 분석만을 수행하였지만, 본 연구에서는 재무성과 대비 특허출원 효율성, 특허출원 대비 특허품질 효율성 및 재무성과 대비 특허품질 효율성 함께 고려하여 연구를 수행하였다. 또한, 연구결과를 통해 인공지능 하드웨어 기술과 관련하여 각 기술별로 시장점유율이 높은 기업이 R&D 효율성도 높다는 것을 실증적으로 보여줌으로 우리나라 기업 및 연구기관이 글로벌 기업들의 급격한 성장에 대응하기 위해 연구·개발 전략을 수립해야 한다는 인사이트를 준다는 점에서 산업적으로도 의의가 있다 할 수 있겠다.

이러한 기여에도 불구하고 본 연구는 다음과 같이 한계점을 가진다. 첫째, 데이터베이스의 한계이다. 인공지능 하드웨어 기술과 관련하여 시장에서 의미 있는 시장점유율을 차지하는 기업 중에 벤처기업들이 다수 있다. 그러나 본 연구에는 벤처기업들의 재무데이터를 획득하지 못하여 벤처기업들을 연구에 반영하지 못한 한계가 있다. 둘째, 정량적 데이터 분석의 한계이다. 본 연구는 R&D(Research and Development) 효율성을 분석하기 위해 정량적인 데이터를 사용하여 개별 특허의 가치 측면을 충분히 반영하지 못했다는 점에서 한계가 있다. 그럼에도 정량적인 데이터를 통해 주관적인 의견을 배제하였다는 점에서 기존의 연구가 가지고 있던 한계를 보완하였다. 추후 인공지능 하드웨어 기술에 관한 연구·개발이 활발히 진행되어 패널 데이터를 확보하게 된다면 기업집단 뿐 아니라 개별 기업의 R&D(Research and Development) 효율성을 분석하는 흥미로운 연구도 수행할 수 있을 것으로 사료된다.

## REFERENCE

- [ 1 ] IITP, *ICT R&D Technology Roadmap 2023 - Artificial Intelligence Semiconductor*, 2018.

- [2] Nature Electronics, *Does AI Have a Hardware Problem?*, Editorial, 2018.
- [3] McKinsey & Company, *Artificial-intelligence hardware: New Opportunities for Semiconductor Companies*, 2019.
- [4] Y.Y. Kor, "Direct and Interaction Effects of Top Management Team and Board Compositions on R&D Investment Strategy," *Strategic Management Journal*, Vol. 27, No. 11, pp. 1081-1099, 2006.
- [5] A. Pessoa, *Innovation and Economic Growth: What is the Actual Importance of R&D?*, Universidade do Porto, Faculdade de Economia do Porto, 2007.
- [6] V. Thomas, S. Sharma, and S.K. Jain, "Using Patents and Publications to Assess R&D Efficiency in the States of the USA," *World Patent Information*, Vol. 33, No. 1, pp. 4-10, 2011.
- [7] R. Smith, "Commentary: The Power of the Unrelenting Impact Factor—is It a Force for Good or Harm?," *International Journal of Epidemiology*, Vol. 35, No. 5, pp. 1129-1130, 2006.
- [8] J.M. Campanario, "Large Increases and Decreases in Journal Impact Factors in Only One Year: The Effect of Journal Self Citations," *Journal of the American Society for Information Science and Technology*, Vol. 62, No. 2, pp. 230-235, 2011.
- [9] S.H. Chang and C.Y. Fan, "Patent Technology Networks and Technology Development Trends of Neuromorphic System," *Proceeding of International Conference on Mobile and Wireless Technology, Mobile and Wireless Technology 2018*, pp. 287-297, 2018.
- [10] M. Shibata, Y. Ohtsuka, M. Takahashi, and K. Okamoto, "Advanced FPGA Technology Trend Based on Patent Analysis with Link Mining," *Proceeding of International Conference on Electronics Packaging and iMAPS All Asia Conference*, pp.147-151, 2018.
- [11] H.S. Jang and S.C. Lee, "A Comparative Analysis of the Change in R&D Efficiency: A Case of R&D Leaders in the Technology Industry," *Technology Analysis and Strategic Management*, Vol. 28, No. 8, pp. 886-900, 2016.
- [12] H.Y. Lee and Y.T. Park, "An International Comparison of R&D Efficiency: DEA Approach," *Asian Journal of Technology Innovation*, Vol. 13, No. 2, pp. 207-222, 2005.
- [13] S.K. Lee, G. Mogi, S.K. Lee, and J.W. Kim, "Econometric Analysis of the R&D Performance in the National Hydrogen Energy Technology Development for Measuring Relative Efficiency: The Fuzzy AHP/DEA Integrated Model Approach," *International Journal of Hydrogen Energy*, Vol. 35, pp. 2236-2246, 2010.
- [14] H.W. Kim, J.H. Kim, and S.K. Kim, "Measuring the Efficiency of Technology Innovation of the Global Green Car Companies by ANP/DEA Model," *Journal of Technology Innovation*, Vol. 20, No. 3, pp. 256-286, 2012.
- [15] Y.S. Chen and B.Y. Che, "Patent Indicators as Output Variables of DEA to Evaluate the Efficiency of the Computer Communication Equipment Industry in United States," *Applied Economics*, Vol. 44, No. 11, pp. 1429-1432, 2012.
- [16] S.C. Park, "Patent Application and Trend of Imaging System Applied to Automotive," *Korea Multimedia Society*, Vol. 14, Issue 1, pp. 11-15, 2010.
- [17] H. Ernst, "Patent Information for Strategic Technology Management," *World Patent Information*, Vol. 25, Issue 3, pp. 233-242, 2003.
- [18] A.K. Chakrabarti and I. Dror "Technology Transfers and Knowledge Interactions Among Defence Firms in the USA: An Analysis of Patent Citations," *International Journal of Technology Management*, Vol. 9, Issue 5, pp. 757-770, 1994.

- [19] F.M. Tseng, C.H. Hsieh, Y.N. Peng, and Y. W. Chu, "Using Patent Data to Analyze Trends and the Technological Strategies of the Amorphous Silicon Thin-film Solar Cell Industry," *Technological Forecasting and Social Change*, Vol. 78, Issue 2, pp. 332-345, 2011.
- [20] B. Fabry, H. Ernst, J. Langholz, and M. Koster, "Patent Portfolio Analysis as a Useful Tool for Identifying R&D and Business Opportunities- An Empirical Application in the Nutrition and Health Industry," *World Patent Information*, Vol. 28, Issue 3, pp. 215-225, 2006.
- [21] J.H. Kim and Y.J. Han, "Analysis of Huawei's PCT Patent Applications," *Journal of the Korea Institute of Information and Communication Engineering*, Vol. 19, No. 11, pp. 2507-2517, 2015.
- [22] H.R. Greve, "A Behavioral Theory of R&D Expenditures and Innovations: Evidence from Shipbuilding," *The Academy of Management Journal*, Vol. 46, No. 6, pp. 685-702, 2013.
- [23] W.R. Chen and K.D. Miller "Situational and Institutional Determinants of Firms' R&D Search Intensity," *Strategic Management Journal*, Vol. 28, Issue 4, pp. 369-381, 2007.
- [24] J.D. Lee and D.H. Oh, *Efficiency Analysis Theory (DEA : Data Envelopment Analysis)*, Seoul, IB Book, 2010.
- [25] J. Zhu, "Multi-factor Performance Measure Model with an Application to Fortune 500 Companies," *European Journal of Operational Research*, Vol. 123, Issue 1, pp. 105-124, 2000.
- [26] H. Oh, H.J. Lee, and T.W. Chang "A Study on the Technology Convergence of Artificial Intelligence through Patent Analysis," *ICIC Express sLetters*, Vol. 12, No. 7, pp. 699-706, 2018.



박 지 민

2020년 연세대학교 기술경영학전  
공 석사  
2015년~현재 특허정보진흥센터



이 봉 규

1988년 연세대학교 상경대학 경  
제학 학사  
1992년 Cornell University MS  
1994년 Cornell University Ph.D  
2009년~현재 연세대학교 방송통  
신정책연구소

2005년~현재 연세대학교 정보대학원 교수