

C-DAC 비트 스위치에 다른 샘플링 시간을 인가하는 12-bit, 10-Msps SAR A/D 변환기 설계

Design of a 12-bit, 10-Msps SAR A/D Converter with different sampling time applied to the bit-switches within C-DAC

심 민 수*, 윤 광 섭*, 이 중 환**★

Minsoo Shim, Kwangsub Yoon, Jonghwan Lee ★

Abstract

This paper proposes a 12-bit SAR A/D(Successive Approximation Register Analog-to-Digital) converter that operates at low power for bio-signal and sensor signal processing. The conventional SAR A/D converter utilized the reduction of the dynamic current, which resulted in reducing total power consumption. In order to solve the limitation of the sampling time due to charging/discharging of the capacitor for reducing dynamic current, the different sampling time on the C-DAC bit switch operation was applied to reduce the dynamic current. In addition, lowering the supply voltage of the digital block to 0.6V led to 70% reduction of the total power consumption of the proposed ADC. The proposed SAR A/D was implemented with CMOS 65nm process 1-poly 6-metal, operates with a supply voltage of 1.2V. The simulation results demonstrate that ENOB, DNL/INL, power consumption and FoM are 10.4 bits, $\pm 0.5\text{LSB}/\pm 1.2\text{LSB}$, 31.2 μW and 2.8fJ/step, respectively.

요 약

본 논문은 생체 신호 및 센서 신호 처리를 위하여 저전력으로 동작하는 12비트 SAR A/D 변환기를 제안한다. 기존의 SAR A/D 변환기의 전력소모를 줄이고자, 동적 전류를 감소시켜 전체 전력 소모를 감소시켰다. 동적 전류를 감소시키기 위해서 C-DAC 비트 스위치를 동작시키는 샘플링 시간을 클럭 생성기의 샘플링 시간과 다르게 인가하였다. 추가적으로 SAR A/D 변환기의 전체 전력소모 중 70%를 차지하는 디지털 블록의 공급전압을 0.6V로 낮춰 설계하였다. 제안하는 SAR A/D 변환기는 CMOS 65nm 공정 1-poly 6-metal을 사용하여 설계하였으며, 1.2V의 공급전압으로 동작하며, ENOB는 10.1 비트, INL/DNL은 $\pm 0.5\text{LSB}/\pm 1.2\text{LSB}$ 이며, 전체 전력소모는 31.2 μW 이고 FoM은 2.8fJ/step 이다.

Key words : CMOS, SAR, A/D Converter, Low Power, Bio-signal

* Dept. of Electronics Engineering, inha University

** Dept. of System Semiconductor Engineering, sangmyung University

★ Corresponding author

E-mail : jhlee77@smu.ac.kr, Tel : +82-2-2612-7417

※ Acknowledgment

※ This research was supported in part by Inha Research grant and the National Research Foundation of Korea (NRF) grant funded by the Korea government (MSIT) (2019R1F1A1050640). Authors thank to IDEC for CAD tool support and fabrication.

Manuscript received Nov. 25, 2020; revised Dec. 20, 2020; accepted Dec. 28, 2020.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

4차 산업 혁명이 급격한 발전하면서 사물인터넷 (Internet on Things, IoT) 기술과 이를 이용하는 웨어러블 기기 또한 빠른 속도로 발전하고 있다. 이러한 웨어러블 기기에는 의료, 생체 등의 신호를 바탕으로 데이터를 수집하고 처리하는 센서 인터페이스가 중요하다. 센서 인터페이스의 핵심은 A/D 변환기(아날로그/디지털 변환기)이다. A/D 변환기의 성능에 따라 신호 처리의 품질이 달라지며, 전체적인 디바이스의 성능 또한 결정된다. 또한, A/D 변환기의 전력소모를 낮춰 효율을 높이면 IoT 디바이스의 사용 효율 또한 높일 수 있다[1-2].

현재는 전력소모가 작고, 중간정도의 해상도와 샘플링 속도를 가지는 SAR A/D 변환기(Successive Approximation Register Analog to Digital Converter)를 많이 사용하고 있다. SAR A/D 변환기는 증폭기를 사용하지 않으며, 클럭 신호가 '0'일 때는 동작하지 않고 '1'일 때만 동작하여, 정적 전류가 적어 전력소모가 작다.

하지만 이러한 SAR A/D 변환기 또한 비트를 결정하는 커패시터의 충전/방전 시간으로 인하여 샘플링 속도가 제한되고, 해상도가 높아질수록 커패시터 DAC의 크기가 기하급수적으로 증가하는 단점을 가지고 있다. 위와 같은 문제를 해결하기 위하여 SAR A/D 변환기의 성능을 높이기 위하여 A/D 변환기를 교차로 병렬 배치하여 샘플링 속도를 빠르게 하는 시간 분할(Time Interleaved) 방법과, Split 커패시터를 사용하여 커패시터 DAC의 용량을 줄이는 방법, 그리고 다른 A/D 변환기와 결합

하여 SAR A/D 변환기의 성능을 높이는 방법이 많이 사용되고 있다[1-4].

본 논문은 다음과 같이 구성된다. 2장에서는 제안하는 회로의 구조 및 동작에 대하여 설명한다. 3장에서는 시뮬레이션 결과를 바탕으로 비교 및 분석하며, 4장에서는 마지막으로 결론을 맺는다.

II. 본론

1. 제안하는 회로 설계

그림 1은 제안하는 SAR A/D 변환기의 전체 블록 다이어그램을 나타낸다. 두 개의 차동 입력을 받아 변환하는 구조로 되어 있으며, 전체 블록은 캐패시터 D/A 변환기(Capacitor D/A Converter), 프리앰프(Pre-amplifier), 비교기(Comparator), 12비트 SAR 로직(12-bit SAR Logic), 클럭 발생기(Clock generator), 리셋 발생기(Reset generator), 출력 레지스터(Output register)로 구성되어 있다.

캐패시터 D/A 변환기는 입력 전압을 샘플링/홀드 하여 저장하고, 비교기를 이용하여 결정된 출력 값을 바탕으로 SAR 로직을 제어한다. SAR 로직은 받은 비교기 값을 바탕으로 다음 출력 값을 결정하고, 이 비트는 캐패시터 D/A 변환기 내의 스위치를 제어하여 다음 비트를 결정하게 된다. 결정된 SAR 로직의 값은 출력 레지스터에 저장되고, 전체 12비트가 모두 결정된 후에 전체 비트 값을 동시에 출력하게 된다.

리셋 발생기는 전체 회로의 동작을 제어하는 셋 신호와, 캐패시터 D/A 변환기의 캐패시터 전압을 초기화되는 리셋 신호를 발생시키는 역할을 한다.

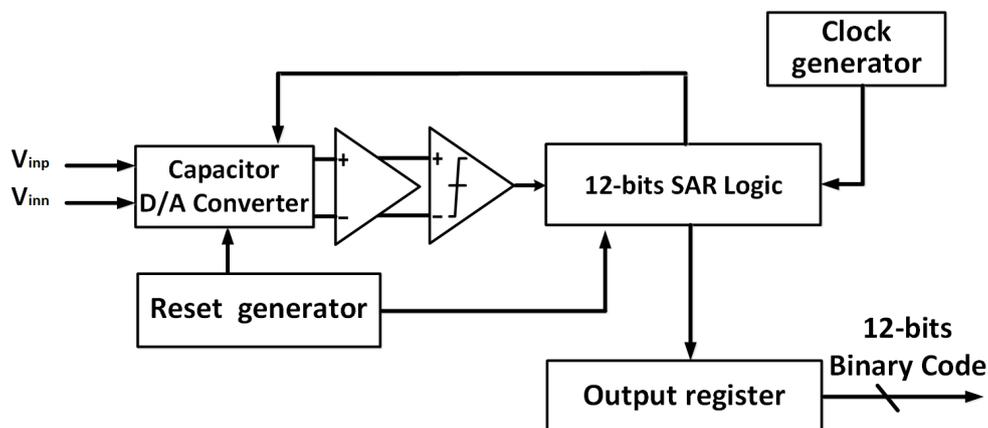


Fig. 1. Block diagram of proposed 12-bit SAR A/D Converter.

그림 1. 제안하는 12비트 SAR A/D 변환기 블록 다이어그램

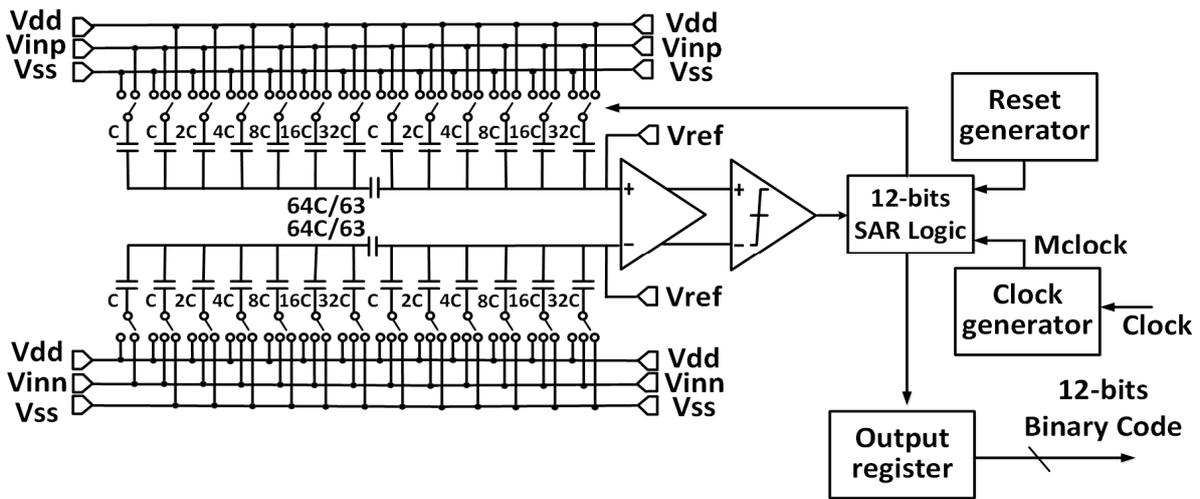


Fig. 2. Circuit diagram of proposed 12-bit SAR A/D Converter.
그림 2. 제안하는 12비트 SAR A/D 변환기 회로도

프리앰프는 비교기의 클럭으로 인한 킥백 노이즈가 캐패시터 D/A 변환기에 영향을 주는 것을 막고, 비교기에 인가되는 두 전압의 차이를 증폭시켜 비교기의 성능을 완화시키는 역할을 한다.

클럭 발생기는 제안하는 회로의 샘플링 시간을 기존의 50%에서 25% 변경하고, 32C 및 16C를 결정하는 비트 스위치를 제어하는 샘플링 클럭의 주기를 2배로 변경하는 역할을 한다.

그림 2는 제안하는 12비트 SAR A/D 변환기의 전체 회로도를 나타낸다. 일반적인 12비트 캐패시터 D/A 변환기의 캐패시터 총합이 $8192C_{unit}$ 로 매우 크기 때문에 선형성 문제 및 면적 문제가 발생할 수 있다. 이를 해결하기 위하여 Split 캐패시터를 사용하여 전체 용량을 $127C_{unit}$ 로 줄여서 전체 캐패시터 용량을 96.9% 감소시켰다.

그림 3은 제안하는 회로의 동작 타이밍 다이어그램이다. Clock은 외부에서 인가하는 샘플링 클럭 신호이고, MClock은 클럭 발생기에서 생성한 C-DAC 사이즈에 따라 주기를 변경한 샘플링 클럭 신호이다. Reset 신호는 리셋 생성기에서 만든 클럭 신호이다. 앞서 설명한 회로의 샘플링 클럭의 듀티비를 50%에서 25%로 변경하게 되면 캐패시터 D/A 변환기에서 용량이 큰 캐패시터들의 충/방전 시간이 부족한 문제가 발생하게 된다. 이를 해결하기 위해서, MSB, MSB-6, MSB-1, MSB-7은 그림 2에 나와있는 32C, 16C에 해당하는 캐패시터 용량에 인가하는 전압을 제어하는 비트 스위치로서, 4개의 비트를 결정하는 신호는 나머지 비트 스위치를 결정하는 클럭의 2배의 주기로 동작한다. LSB가 결정된 후에는 O1 신호를 통하여 출력 레지스터에 모든 SAR 로직에 있는 값들을 출력하여 저장하게 된다.

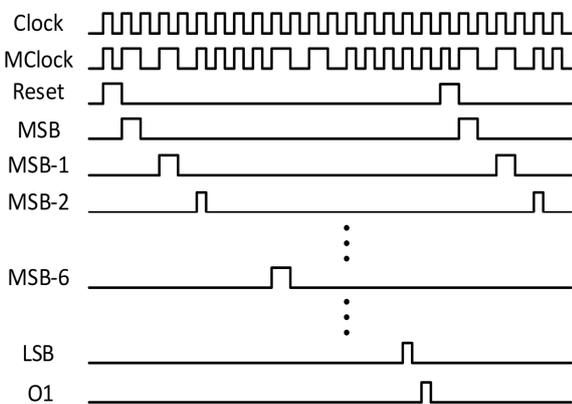


Fig. 3. Timing diagram of proposed 12-bit SAR A/D Converter.

그림 3. 제안하는 12비트 SAR A/D 변환기 타이밍도

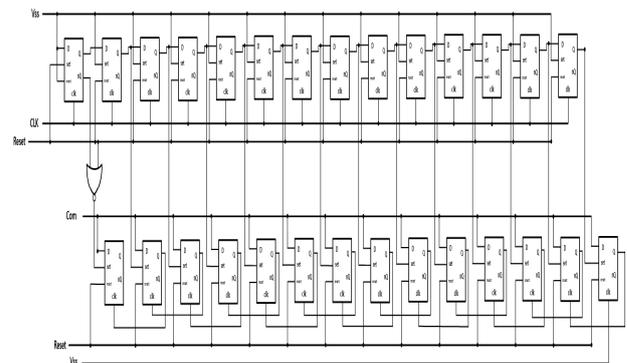


Fig. 4. Block diagram of 12-bit SAR Logic.

그림 4. 12비트 SAR 로직 블록 다이어그램

그림 4은 Shift Register 및 SAR Logic의 블록 다이어그램이다. D 플립플롭으로 구성되어 있으며, 리셋 생성기 및 클럭 발생기의 신호를 바탕으로 동작한다. SAR Logic의 주요 동작은 각 비트의 값을 저장하고, 이를 바탕으로 비교기의 신호와 이전 비트를 바탕으로 다음 비트를 결정하여 저장한다.

리셋 신호가 인가되면 시프트 레지스터의 첫 번째 D 플립 플롭의 왼쪽 아래의 Res 단자는 그라운드에 연결되고 왼쪽 가운데의 Set 입력에 리셋 신호가 인가된다. 나머지 모든 D 플립플롭의 Res 단자에는 리셋 신호가 입력된다.

동작을 살펴보면 리셋 신호가 “1”이 되면 시프트 레지스터의 첫 번째 D 플립플롭은 “1”이 저장되고, 나머지 D 플립플롭은 “0”이 저장된다. 따라서 시프트 레지스터의 디지털 코드는 “100000000000”가 된다. 이후, 클럭 신호가 “0”에서 “1”이 되면, 첫 번째 D 플립플롭의 출력이 두 번째 D 플립플롭으로 전달되어 이 때의 시프트 레지스터의 디지털 코드는 “010000000000”가 된다. 이와 같이 클럭이 “1”이 될 때마다 시프트 레지스터의 디지털 코드는 오른쪽으로 하나씩 이동하게 된다.

시프트 레지스터의 각 D 플립플롭의 출력 단자는 SAR Logic의 Set 입력단자와 연결된다. 시프트 레지스터의 디지털 코드가 “100000000000”라면 커패시터 D/A 변환기의 출력 전압은 입력 전압에서 $\frac{V_{ref}}{2}$ 만큼 뺀 값이 되고, 이 값과 입력 신호를 비교해서 나온 비교기의 출력값이 SAR Logic의 모든 D 플립플롭으로 인가된다. 다음 클럭이 “1”이 되면, 시프트 레지스터의 디지털 코드는 “010000000000”이 되고, SAR Logic의 두 번째 D 플립플롭의 출력이 “1”이 된다. 이 신호가 SAR Logic의 첫 번째 D 플립플롭의 클럭 신호에 인가되어 비교기 결과가 SAR Logic에 저장된다. 이와 같은 과정을 반복하면서 12비트를 결정하여 저장하게 된다.

전체 전력소모 중 디지털 블록의 전력소모는 70%를 차지한다. 따라서 “1” 또는 “0”으로 동작하는 디지털 블록의 공급전압을 낮춰 전력소모를 감소시키는 방법을 사용하였다. 시프트 레지스터와 SAR Logic, 아웃풋 레지스터와 같은 디지털 블록은 0.6V의 공급전압으로 동작하며, 이를 제외한 나머지 아날로그 블록은 1.2V로 동작한다. SAR Logic에서 결정된 비트로 C-DAC의 비트 스위치를 동작

시키기 위해서 전압 레벨 시프터를 이용하여 1.2V로 상승시켜 스위치를 동작시킨다.

III. 실험 및 고찰

제안하는 SAR A/D 변환기는 65nm CMOS 공정을 이용하여 설계하였다. 그림 4.1은 제안하는 SAR A/D 변환기의 레이아웃 배치도이다. 전체 회로의 면적은 $600\mu m \times 500\mu m$ 이다. 전체 회로에서 아래쪽은 디지털 블록이 존재하며, 위쪽은 아날로그 블록이 배치되어 있다. 디지털 블록은 스위치 로직, 리셋 발생기, 클럭 발생기, 시프트 레지스터 및 SAR Logic, Output Register이 있으며, 아날로그 블록은 커패시터 D/A 변환기, 전단증폭기, 비교기 가 배치되어 있다.

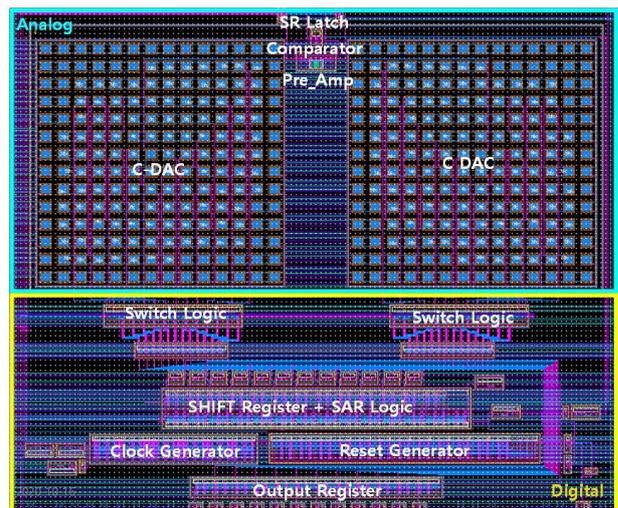


Fig. 5. Layout of proposed 12-bit SAR A/D Converter.
그림 5. 제안하는 12비트 SAR A/D 변환기 레이아웃

제안한 12비트 SAR A/D 변환기의 모의실험은 공급전압이 1.2V, 차동 동작을 위한 기준 전압은 0.6V이다. 클럭 주파수는 0V에서 1.8V의 10MHz의 펄스 파형을 인가하였다. 입력 신호는 0V에서 1.2V까지 입력가능하다. 12비트를 한번 결정하는데 리셋 및 출력을 포함해 14번의 클럭이 필요하므로, 나이퀴스트 이론에 따라 실제 입력 가능한 입력 주파수는 450kHz까지 가능하다.

그림 6은 Post-simulation에서 FFT 결과이다. DNL (Differential Non-Linearity) 및 INL(Integral Non-Linearity)는 각각 $\pm 1.2\text{LSB}$ (Least Significant Bit), $\pm 0.5\text{LSB}$ 이고, SNR(Signal to Noise Ratio)는 67.1325dB,

ENOB(Effective number of bits)는 10.4bit이다. 아날로그 블록의 전력소모는 7.2uW이고, 디지털 블록의 전력소모는 24uW로 전체 전력 소모는 31.2uW이다. 종합 평가 지수인 FoM(Figure of Merit)은 2.84fJ/ step이다. 아래 표 2에 Post-simulation 결과를 정리하였다.

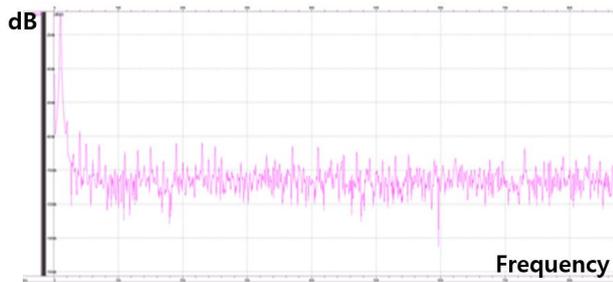


Fig. 6. FFT Result in Post-Simulation.
그림 6. 포스트 시뮬레이션 FFT 결과

Table 2. Comparison of performance.
표 2 성능 비교

	[5]	[6]	this work
Architecture	65nm	65nm	65nm
Type	SAR	SAR	SAR
Resolution	12-bit	12-bit	12-bit
Supply Voltage	0.6V	1.2V	1.2V
Sampling rate	10MS/s	100MS/s	10MS/s
ENOB	10.4bit	9.8bit	10.4bit
SNDR	64.3dB	60.7dB	63dB
INL/DNL	0.24, 0.45LSB	1.6/1.2LSB	1.2, 0.5LSB
Power	83uW	1.9mW	31.2uW
FoM	6.2fJ/step	21.3fJ/step	2.84fJ/step

IV. 결론

제안하는 SAR A/D 변환기는 기존 SAR A/D 변환기의 전력소모를 줄이고, 이로 인하여 발생하는 문제를 보완하기 위하여 제안하였다.

첫 번째, 제안하는 SAR A/D 변환기는 샘플링 클럭의 듀티 비를 기존의 50%에서 25%로 줄임으로써 동적 전력소모를 50% 감소시켰다.

두 번째로, 위의 방법으로 인하여 발생하는 커패시터 D/A 변환기에서 용량이 큰 커패시터의 충/방전 문제를 해결하기 위하여 샘플링 시간을 조절하였다. 기존 샘플링 시간의 듀티비가 절반으로 감소

함으로써 커패시터 D/A 변환기의 충/방전 시간이 절반으로 감소하는 문제가 발생한다. 이를 보완하기 위해서 32C, 16C에 해당하는 비트를 결정할 때 충/방전 샘플링 시간을 2배로 증가시킴으로써 문제를 해결하였다.

마지막으로, 전체 전력소모의 대부분을 차지하는 디지털 블록의 공급전압을 낮춤으로서 전력소모를 감소시켰다. 제안하는 SAR A/D 변환기에서는 디지털 블록의 공급전압을 기존의 1.2V에서 0.6V로 감소시킴으로써 디지털 블록의 전력소모를 1/4로 줄였다.

References

[1] DEEKSHA VERMA, KHURAM SHEHZAD, DANIAL KHAN, QURAT UL AIN, Sung-Jin KIM, Dong-Soo LEE, YOUNGGUN PU, Min-jae LEE, Keum-Cheol HWANG, YOUNGOO YANG and Kang-Yoon LEE, "A 1GS/s 10b 18.9mW Time-interleaved SAR ADC With Background Timing Skew Calibration," *IEEE J. Digital Object Identifier*, Vol.8, No. 12, pp.85869-85879, 2020.

[2] Kyojin Dabid Choo, Li Xu Yejoong Kim, Ji-Hwan Seol, Xiao Wu, Dennis Sylvester, and David Blaauw, "Energy Efficient Motion-Triggered IoT CMOS Image Sensor With Capacitor Array-Assisted Charge-Injection SAR ADC," *IEEE J. Solid-state circuits*, VOL. 54, No.11, pp.2921-2931, 2019. DOI: 10.1109/JSSC.2019.2939664

[3] Sung-Hyuk Lee, Anantha P. Chandrakasan, and Hae-Seung Lee, "A 1GS/s 10b 18.9mW Time-interleaved SAR ADC With Background Timing Skew Calibration," *IEEE J. Solid-state circuits*, Vol.49, No.12, pp.2846-2856, 2014. DOI: 10.1109/JSSC.2014.2362851

[4] Dezhi Xing, Yan Zhu, Chi-Hang Chan, Franco Maloberti, Seng-Pan U, and Rui Paulo Martins, "Design of a High Speed Time-Interleaved Sub-Ranging SAR ADC With Optimal Code Transfer Technique," *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS -I: REGULAR PAPERS*, Vol.66, No.2, pp.489-501, 2019. DOI: 10.1109/TCSI.2018.2866958

[5] Wan Kim, Hyeok-Ki Hong, Yi-Ju Roh, Hyun-Wook Kang, Sun-Il Hwang, Dong-Shin Jo, DongJin Chang, Min-Jae Seo, and Seung-Tak Ryu, "A 0.6V 12b 10MS/s Low Noise Asynchronous SAR-Assisted Time-interleaved SAR (SATI-SAR) ADC," *IEEE J. Solid-State Circuits*, Vol.51, No.8, pp. 826-1839, 2016. DOI: 10.1109/JSSC.2016.2563780

[6] Yung-Hui Chung, and Ya-Mien Hsu, "A 12-Bit 100-MS/s Subrange SAR ADC With a Foreground Offset Tracking Calibration Scheme," *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS-II: EXPRESS BRIEFS*, VOL.66, NO.7, pp.1094-1098, 2019.

DOI: 10.1109/TCSII.2018.2876874

BIOGRAPHY

Min-Soo Shim (Member)



2019 : BS degree in Electronic Engineering, Inha University, Incheon, Korea.

2021 : MS degree in Electric and Computer Engineering, Inha University, Incheon, Korea.

His research interests include a low power mixed-signal circuit and system design such as SAR A/D Converter.

Kwang-Sub Yoon (Member)



1981 : BS degree in Electronic Engineering, Inha University, Incheon, Korea.

1983 : MS degree in Electronic Engineering, Georgia Institute of Technology.

1990 : PhD degree in Electronic Engineering, Georgia Institute of Technology.

He worked at Silicon System Inc, Tustin Calif, U.S.A as a Senior Design Engineer for 1988-1992.

Since 1992, he joined Inha University as a professor. His research interests include a low power mixed-signal circuit and system design such as PMIC, data converters (Nyquist and oversampling), and PLL.

Jong-Hwan Lee (Member)



1991 : BS degree in Electronic Engineering, Inha University, Incheon, Korea

1993 : MS degree in Electronic Engineering, Inha University, Incheon, Korea

2003 : PhD degree in University of Florida, Gainesville

From 2003 to 2016, he was with Samsung Display Inc., Korea, as a Principal Research Engineer, where he worked on semiconductor and display devices design and development. In 2017, he joined the Department of System Semiconductor Engineering, Sangmyung University, Korea, where he is currently a Professor. His current research interests include a mixed-signal circuit and device modeling and simulation, physics-based artificial neural network, noise modeling in nanoscale MOSFETs, display device design, and thermoelectric transport modeling.