

출력 신호의 진폭 제어 회로를 가진 10 GHz LC 전압 제어 발진기

10 GHz LC Voltage-controlled Oscillator with Amplitude Control Circuit for Output Signal

송 창 민*, 장 영 찬*

Changmin Song* and Young-Chan Jang*

Abstract

A 10 GHz LC voltage-controlled oscillator (VCO), which controls an amplitude of output signal, is proposed to improve the phase noise. The proposed amplitude control circuit for the LC VCO consists of a peak detector, an amplifier, and a current source. The peak detector is performed detecting the lowest voltage of the output signal by using two diode-connected NMOSFET and a capacitor. The proposed 10 GHz LC VCO with an amplitude control circuit for output signal is designed using a 55 nm CMOS process with a supply voltage of 1.2 V. Its area is 0.0785 mm². The amplitude control circuit used in the proposed LC VCO reduces the amplitude variation 242 mV generated in the output signal of the conventional LC VCO to 47 mV. Furthermore, it improves the peak-to-peak time jitter from 8.71 ps to 931 fs.

요 약

위상 잡음을 개선하기 위한 출력 신호의 진폭을 제어하는 회로를 가진 10 GHz LC 전압 제어 발진기(VCO : voltage-controlled oscillator)가 제안된다. 제안된 LC VCO를 위한 진폭 제어 회로는 피크 검출 회로, 증폭기, 그리고 전류원 회로로 구성된다. 피크 검출 회로는 2 개의 diode-connected NMOSFET과 하나의 커패시터로 구성되어 출력 신호의 최저값을 감지함으로써 수행된다. 제안하는 진폭 제어 회로를 가진 LC VCO는 1.2 V 공급 전압을 사용하는 55 nm CMOS 공정에서 설계된다. 설계된 LC VCO의 면적은 0.0785 mm²이다. 제안된 LC VCO에 사용된 진폭 제어 회로는 기존 LC VCO의 출력 신호에서 발생하는 242 mV의 진폭 변화를 47 mV로 줄인다. 또한, 출력 신호의 peak-to-peak 시간 지터를 8.71 ps에서 931 fs로 개선한다.

Key words : CMOS LC VCO, amplitude control, peak detector, phase noise, diode connected NMOSFET

* Department of Electronic Engineering, Graduate School, Kumoh National Institute of Technology, Korea

★ Corresponding author

Email : ycjang@kumoh.ac.kr, Tel : +82-54-478-7434

※ Acknowledgment

• This research was supported by the sabbatical year program of Kumoh National Institute of Technology.

• Authors are thankful to the IC Design Education Center, Korea, for supporting EDA softwares.

Manuscript received Nov. 25, 2020; revised Dec. 20, 2020; accepted Dec. 22, 2020.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

전압 제어 발진기(VCO : voltage-controlled oscillator)는 위상 고정 루프(PLL : phase-locked loop)의 전체 특성에 큰 영향을 끼치는 중요한 블록이다. LC VCO는 ring VCO 대비 우수한 위상 잡음의 특성을 가지므로 고속 인터페이스 및 RF 회로에 널리 사용된다. LC VCO의 설계에는 Q factor, 전원 잡음의 영향, 그리고 발진 신호의 진폭이 고려되어야 한다. Q factor가 작으면 발진 신호의 위상 잡음의 특성이 나빠진다. 저주파 전원 잡음은 발진 신호의 크기에 변화를 발생시키는데, 이는 시간 jitter의 특성을 악화시킨다[1][2]. 또한, 발진 신호의 진폭이 크면 VCO 회로의 tail 전류원에 발진 주파수의 배수에 해당하는 주파수를 가지는 노이즈가 생성된다. 이로 인해 VCO의 출력 신호의 위상 잡음이 악화된다[3, 4]. 본 논문에서는 진폭에 따른 위상 잡음을 개선하기 위한 VCO 출력 신호의 진폭을 제어하는 회로를 제안한다. 또한, 제안한 진폭 제어 회로를 가지는 10GHz LC VCO를 소개한다.

II. LC VCO의 노이즈 감소 방안

그림 1은 기존의 LV VCO의 회로도이다[1]. ω_0 의 발진 주파수를 가지는 LC VCO를 설계하는데 고려할 부분은 크게 세 가지로 나뉘는데, 저주파 전원 잡음, L과 C에 존재하는 기생 저항 성분

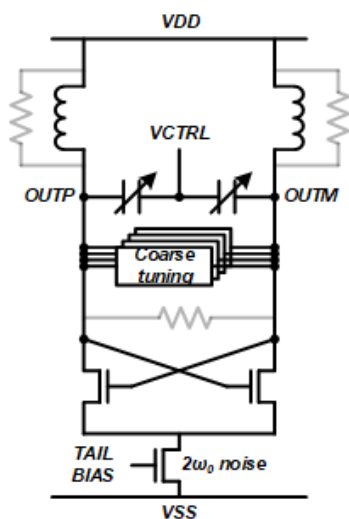


Fig. 1. Circuit diagram of conventional LC VCO. 그림 1. 기존 LC VCO의 회로도

한 Q factor 감소, 그리고 tail 전류원에서 발생하는 $2\omega_0$ 노이즈이다. LC VCO의 전원을 선형 전압 레귤레이터의 한 종류인 low-dropout(LDO) 레귤레이터를 사용하여 생성하여 공급함으로써 저주파 전원 잡음 문제는 해결할 수 있다[2]. 그림 2는 LC VCO에 사용되는 LC 탱크 회로에서의 기생 저항 성분을 보여준다. 일반적으로 LC VCO의 발진 주파수는 수식 (1)과 같이 나타나는데, LC 탱크에 기생 저항 성분이 존재할 경우 수식 (2)와 같이 발진 주파수가 변화하며 Q factor도 감소한다. 그림 1의 NMOSFET으로 구성된 cross coupled 회로는 negative 저항을 생성함으로 LC 탱크 회로에서 발생하는 기생 저항 성분의 영향을 최소화할 수 있다[3].

$$\omega_{ideal} = \frac{1}{\sqrt{LC}} \tag{1}$$

$$\omega_{real} = \frac{1}{\sqrt{LC}} \cdot \sqrt{\frac{1 - \frac{C}{L}R_L^2}{1 - \frac{C}{L}R_C^2}} \tag{2}$$

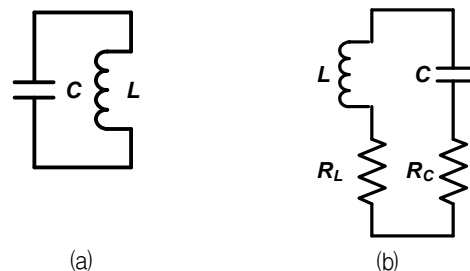


Fig. 2. LC tank circuit (a) ideal LC tank (b) LC tank with parasitic resistance.

그림 2. LC 탱크 회로 (a) 이상적인 LC 탱크 (b) 기생 저항 성분이 포함된 LC 탱크

LC VCO의 tail 전류원에서 발생하는 $2\omega_0$ 노이즈는 LC VCO 출력에 위상 잡음을 증가시킨다. 그림 3(a)는 LC VCO에 사용된 tail 전류원에서 발생하는 플리커 노이즈와 화이트 노이즈의 전압 밀도를 보여준다. 그림 3(b)는 LC VCO의 출력 신호에 대한 파워 스펙트럼 밀도를 보여주는데, 차동 구조를 가지는 LC VCO에 대해 위상 노이즈가 없이 발진 주파수 ω_0 와 하모닉 성분은 $3\omega_0$ 에 전력 스펙트럼을 가지는 모습을 보여준다[4, 5]. 그러나 LC VCO의 tail 전류원에서 발생하는 노이즈는 그림 3(c)와 같이 플리커 노이즈는 상향 주파수 변환되고 $2\omega_0$ 주파수 성분의 화이트 노이즈는 하향 주파수 변환되

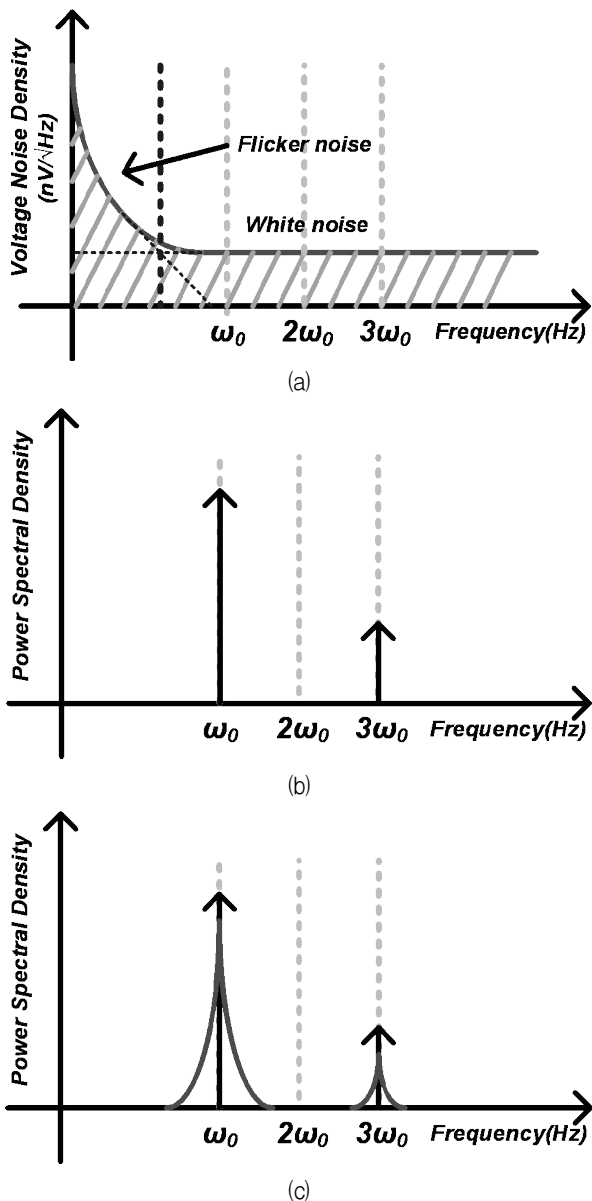


Fig. 3. AM noise generated in current source of LC VCO
 (a) current source noise (b) ideal power spectral density (c) real power spectral density.
 그림 3. LC VCO의 전류원에서 발생하는 AM 노이즈 (a) 전류원 노이즈 (b) 이상적인 전력 스펙트럼 밀도 (c) 실제적인 전력 스펙트럼 밀도

어 ω_0 의 위상 잡음으로 나타나게 된다. LC VCO의 특성을 개선하기 위해 tail 전류원에서 발생하는 노이즈를 제거하는 방법들이 제안되었다[6]-[8]. 그림 4(a)는 tail 전류원의 드레인 노드에 커패시터를 추가함으로써 AC 적으로 그라운드와 도통 시킴으로 $2\omega_0$ 주파수 성분의 노이즈를 제거한다. 그림 4(b)는 그림 4(a)와 달리 tail 전류원의 드레인 노드에 인덕터를 직렬로 추가하여 AC 차단하며 노이즈는 커패시터를 통해 필터 시킨다. 그림 4(a)와 (b)에 제

시된 방법들은 많은 면적을 차지함으로 진폭 제어 회로를 이용하여 위상 잡음을 개선하는 회로를 설계한다.

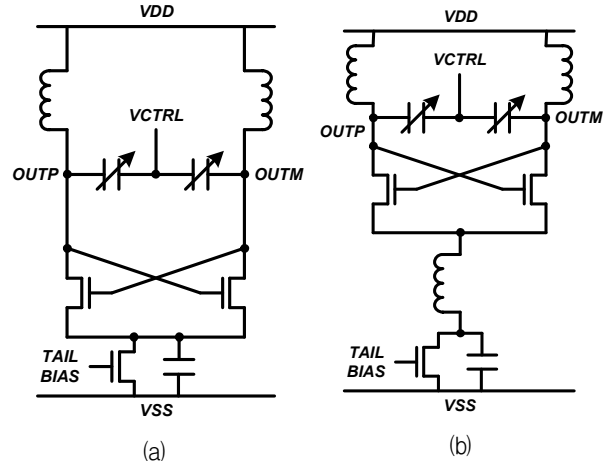


Fig. 4. Current source noise reduction schemes of LC VCO
 (a) LC VCO with capacitive noise filter
 (b) LC VCO with complete noise filter.
 그림 4. LC VCO의 전류원 노이즈 제거 방법들
 (a) 커패시터 노이즈 필터를 가지는 LC VCO
 (b) 완전한 노이즈 필터를 포함하는 LC VCO

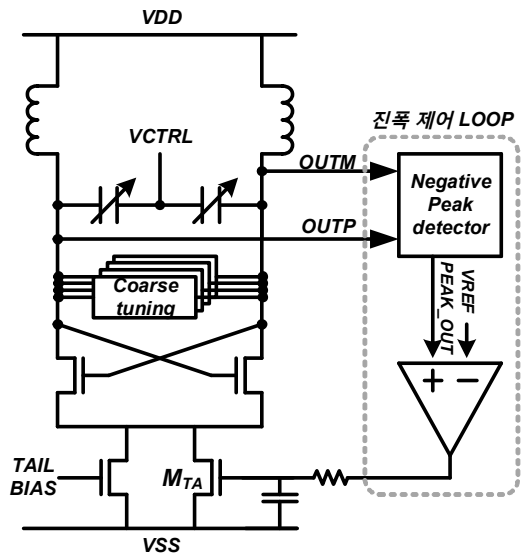


Fig. 5. Circuit diagram of proposed LC VCO with amplitude control loop.
 그림 5. 제안하는 진폭 제어 루프를 가지는 LC VCO의 회로도

II. 진폭 제어 회로를 포함하는 LC VCO

그림 5는 제안하는 진폭 제어 루프를 가지는 LC VCO 회로를 보여준다. Cross coupled 구조를 사용

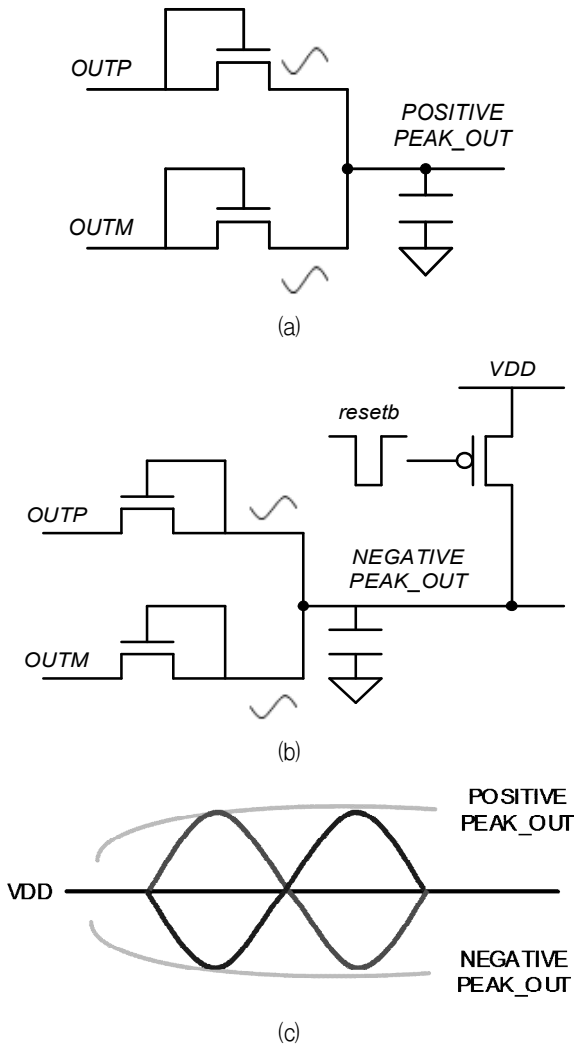


Fig. 6. Peak detector (a) circuit diagram of positive peak detector (b) circuit diagram of negative peak detector (c) output signal of peak detector.
 그림 6. 피크 검출기 (a) positive 피크 검출기의 회로도 (b) negative 피크 검출기의 회로 (c) 피크 검출 회로 출력 신호

하여 negative 저항을 생성하여 L과 C에 존재하는 기생 저항 성분들을 제거하는 기본적인 구조이다. Varactor capacitor를 사용하여 fine tuning을 하며 MIM capacitor array를 사용하여 coarse tuning을 한다[9, 10]. 제안하는 LC VCO는 출력 신호의 진폭을 제어하는 진폭 제어 루프가 추가된 구조를 가진다[11, 12]. 기존의 LC VCO의 경우 tail 전류원에 의해 발진 진폭이 결정된다. 따라서, tail 전류원의 바이어스가 과도하게 인가될 경우 $2\omega_0$ 노이즈가 발생되어 출력 쪽에 나타나며 이는 위상 잡음을 악화시키는 중요한 요인이 된다.

진폭 제어 루프는 negative 피크 검출 회로, 증폭

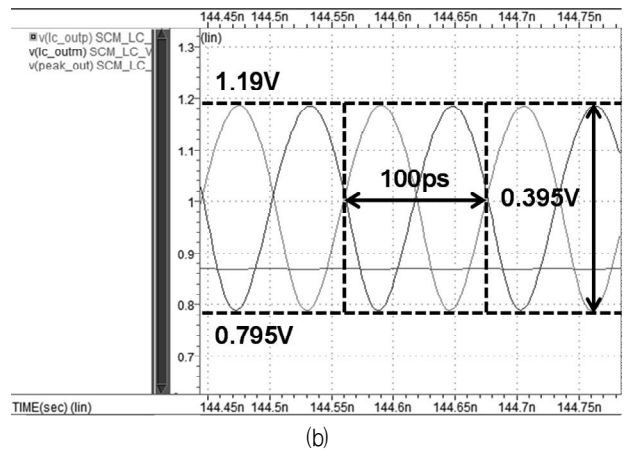
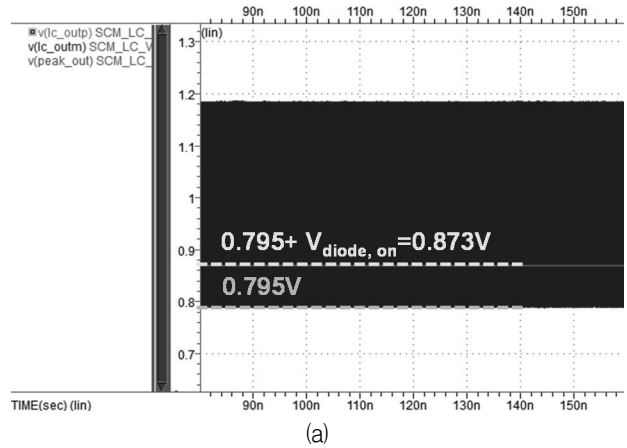


Fig. 7. Simulation results of LC VCO with amplitude control loop (a) output signal of negative peak detector (b) output signal of LC VCO.
 그림 7. 진폭 제어 루프 회로를 포함하는 LC VCO의 시뮬레이션 결과 (a) negative 피크 검출기의 출력 신호 (b) LC VCO의 출력 신호

기, 그리고 추가적인 tail 전류원(M_{TA})으로 구성된다. 그림 6에 나타난 바와 같이 피크 검출 회로에는 positive 피크 검출 회로와 negative 피크 검출 회로가 있다. LC VCO의 출력은 전원 전압을 common 전압으로 발진하므로 positive 피크 검출 회로로 사용하면 증폭기를 saturation 영역에 동작시킬 수 없으므로 증폭기 동작에 어려움이 있다. 따라서, 본 설계에서는 negative 피크 검출 회로를 사용한다[13]. negative 피크 검출 회로는 2개의 diode-connected NMOSFET과 하나의 커패시터, 그리고 초깃값의 설정을 위한 reset 스위치로 구성된다. 초기에 출력값을 VDD로 설정하기 위해 PMOSFET이 turn-on 된다. 이후 입력되는 신호에 따라 diode-connected NMOSFET이 turn-on 되어 커패시터에 전압이 낮아지는 방향으로 저장됨으로 negative 피크 전압값

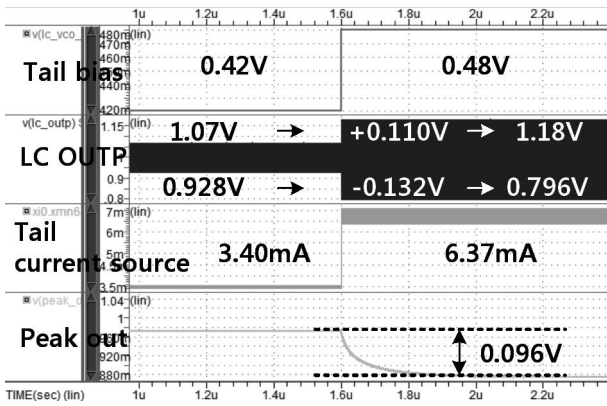
을 검출한다. 제안된 negative 피크 검출 회로의 출력은 수식 (3)과 같이 입력 신호 대비 다이오드의 turn-on 전압이 더해진 값으로 출력된다.

$$V_{peak\ detector} = V_{VCO,negative\ peak} + V_{diode,on} \quad (3)$$

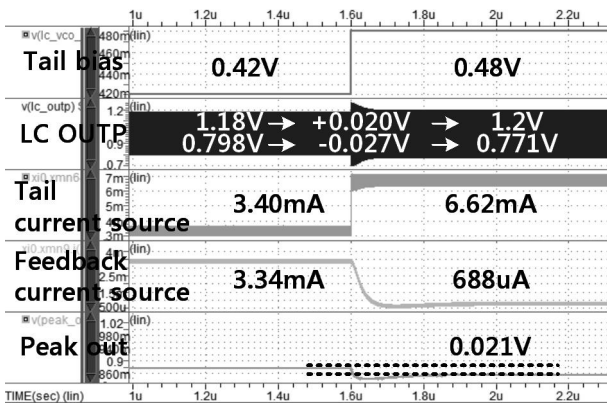
그림 7(a)는 negative 피크 검출 회로의 시뮬레이션 결과이다. LC VCO의 negative peak가 0.795V 일 때, negative peak detector의 출력값은 다이오드 turn-on 전압이 더해진 0.873V로 결정된다. 따라서, negative 피크 검출기 이후의 증폭기의 기준 전압인 VREF 값은 diode on 전압값을 고려하여 설정되어야 한다. 그림 7(b)은 LC VCO의 동작을 위한 시뮬레이션 결과이다. negative 피크 검출 회로의 값이 0.873V일 때 LC VCO의 출력 진폭은 1.19V에서 0.795V로 스윙하며 0.395V의 진폭을 가

진다. 그림 8은 LV VCO의 전류원의 tail 바이어스가 순간적으로 변동되었을 때의 LC VCO의 특성을 분석하기 위한 시뮬레이션 결과를 보여준다. 그림 8(a)은 진폭 제어 루프가 포함되어 있지 않을 때의 시뮬레이션 결과이다. LC VCO의 tail 바이어스가 0.42V일 때 LC VCO의 출력은 1.07V에서 0.928V로 스윙하며 이때의 진폭은 0.142V이다. Tail 바이어스가 0.42V에서 0.48V로 증가하였을 때 LC VCO의 출력은 1.18V에서 0.796V까지 스윙한다. 즉, tail 바이어스 전압의 변화에 따라 LC VCO의 출력 스윙의 진폭이 0.142V에서 0.384V로 증가하여 0.242V의 진폭의 변화를 가진다. 이에 따라 LC VCO의 tail 전류원의 전류도 3.40mA에서 6.37mA로 증가하게 된다. 그림 8(b)는 제안하는 진폭 제어 루프가 포함된 LC VCO 회로의 결과이다. Tail 바이어스가 0.42V일 때 LC VCO의 출력은 1.18V에서 0.798V까지 스윙하여 0.382V의 진폭을 가진다. Tail 바이어스가 0.42V에서 0.48V로 변동되었을 때 LC VCO의 출력은 순간적으로 증가하지만, 제안된 진폭 제어 루프의 동작에 의해 출력 신호는 0.771V에서 1.20V까지 스윙하게 되어 0.429V의 진폭으로 수렴된다. 결론적으로, LC VCO의 바이어스 전압의 변화로 나타나는 출력 신호의 진폭의 변화는 진폭 제어 루프의 추가적인 tail 전류원에서의 전류 보상을 통해 0.242V에서 0.047V로 감소된다.

제안된 진폭 제어 루프를 포함하는 LC VCO는 1.2V 전원 전압을 사용하는 55nm CMOS 공정을 사용하여 설계되었다. 그림 9는 LC VCO layout을 보여준다. 제안하는 LC VCO와 진폭 제어 루프의 면적은 각각 305 $\mu\text{m} \times 245 \mu\text{m}$ 과 75 $\mu\text{m} \times 50 \mu\text{m}$ 이다.



(a)



(b)

Fig. 8. Simulation results of LC VCO according to bias noise of current source (a) w/o amplitude control loop (b) w/ amplitude control loop.

그림 8. 전류원의 바이어스 노이즈에 따른 LC VCO의 시뮬레이션 결과 (a) 진폭 제어 루프가 없는 경우 (b) 진폭 제어 루프가 있는 경우

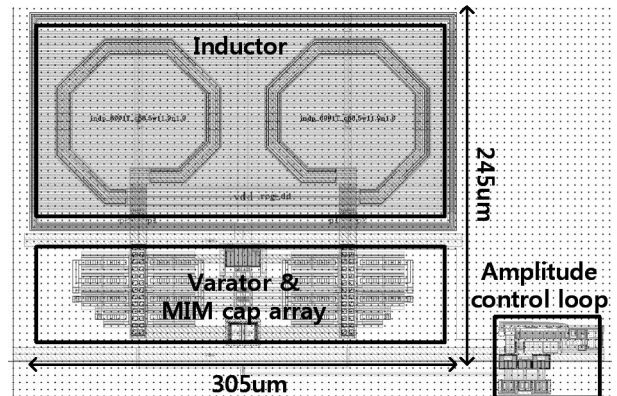


Fig. 9. Layout of proposed LC VCO. 그림 9. 제안된 LC VCO의 레이아웃

그림 10(a)는 LC VCO의 출력 신호의 진폭에 따른 tail 전류원의 드레인 노드의 전압값을 보여준다. LC VCO의 전원은 LDO 레귤레이터를 사용하여 1V를 생성하여 공급하였다. LC VCO의 출력 신호의 진폭이 0.4V인 경우 tail 전류원 노드에서는 $2\omega_0$ 가 발생하지 않는다. 하지만, 발진 진폭이 1.6V로 증가한 경우 tail 전류원의 드레인 노드에서 $2\omega_0$ 노이즈가 발생하는 것이 확인된다. 그림 10(b)는 LC VCO의 출력 신호의 진폭이 0.4V와 1.6V일 때의 타임 지터 특성을 비교한 시뮬레이션 결과이다. LC VCO의 출력 진폭이 1.6V인 경우 노이즈에 의해 위상 잡음이 악화되어 타임 지터 특성은 8.71ps로 나타났다. 그러나 LC VCO의 출력 신호의 진폭이 0.4V로 줄어들 경우 타임 지터는 931fs로 개선된다.

표 1은 최근 발표된 LC VCO와 제안하는 LC VCO와의 특성을 비교한다. 제안하는 LC VCO의

경우 면적과 전력 소모가 증가되었지만, 넓은 주파수 제어 범위를 가진다. 또한, 제안하는 LC VCO는 $2\omega_0$ 주파수 성분으로 인한 위상 노이즈를 제거하기 위한 calibration circuit이 간단히 구현된다.

Table 1. Performance comparison.

표 1. 성능 비교

| Item | [8] | [12] | This work |
|--------------------------------|-----------------------|-----------------|------------------|
| Calibration circuit | Complete noise filter | Feedback loop | Feedback loop |
| CMOS process (μm) | 0.065 | 0.065 | 0.055 |
| Supply voltage (V) | 1.2 | 1.1 | 1.2 |
| Frequency tuning range (GHz) | 8.5-13.2 (43%) | 9.2-12.47 (30%) | 7.38-12.63 (56%) |
| Power (mW) | 3.4 | 1 | 6.7 |
| Area (mm ²) | - | 0.047 | 0.078 |
| Peak-to-peak time jitter (ps) | - | - | 0.931 |

III. 결론

위상 잡음을 줄이기 위해 진폭 제어 회로를 포함하는 LC VCO가 1.2V의 공급 전압을 이용하는 55nm CMOS 공정에서 설계되었다. 바이어스 전압의 잡음에도 VCO의 출력을 일정하게 유지함으로 발진 신호의 위상 잡음을 개선하는 진폭 제어 회로가 제안되었다. 제안된 LC VCO에 사용된 진폭 제어 회로는 기존 LC VCO의 출력 신호에서 발생하는 242 mV의 진폭 변화를 47 mV로 줄였다. 또한, 출력 신호의 peak-to-peak 시간 지터를 8.71 ps에서 931 fs로 개선하였다.

References

[1] Behzad Razavi, "Design of Analog CMOS Integrated Circuits," McGraw-Hill, 2002.
 [2] X. Wang and B. Bakkaloglu, "Systematic Design of Supply Regulated LC-Tank Voltage-Controlled Oscillators," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol.55, no.7, pp.1834-1844, 2008.
 DOI: 10.1109/TCSI.2008.918004

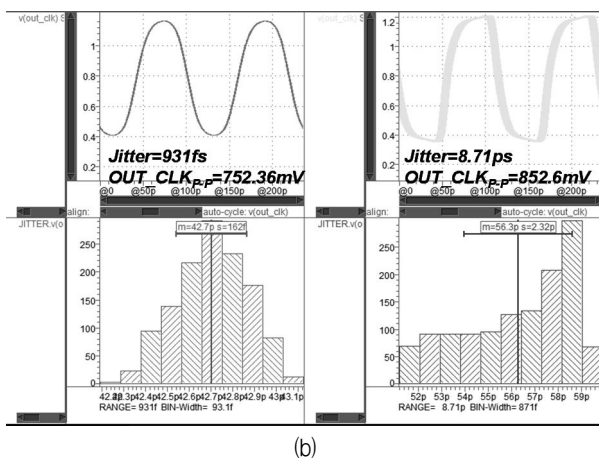
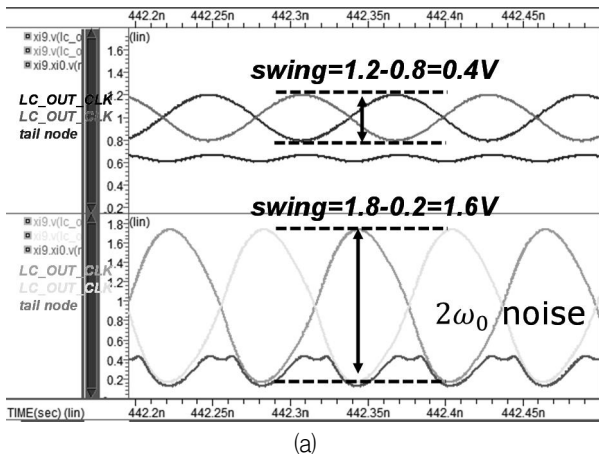


Fig. 10. Simulation results of PLL using LC VCO
 (a) oscillation amplitude (b) jitter characteristic.
 그림 10. LC VCO를 이용하는 PLL의 시뮬레이션 결과
 (a) 발진 진폭 (b) 지터 특성

- [3] D. Fischette, "First Time, Every Time-Practical Tips for Phase-Locked Loop Design," *IEEE Distinguished Lecturer Ser. PLL Tutorial*, 2009.
- [4] A. Hajimiri and T. H. Lee, "Design issues in CMOS differential LC oscillators," *IEEE Journal of Solid-State Circuits*, vol.34, no.5, pp.717-724, 1999. DOI: 10.1109/4.760384
- [5] A. Kral, F. Behbahani, and A. A. Abidi, "RF-CMOS oscillators with switched tuning," *IEEE Custom Integrated Circuits Conference*, pp.555-558, 1998. DOI: 10.1109/CICC.1998.695039
- [6] A. Mazzanti and P. Andreani, "Class-C Harmonic CMOS VCOs, With a General Result on Phase Noise," *IEEE Journal of Solid-State Circuits*, vol.43, no.12, pp.2716-2729, 2008. DOI: 10.1109/JSSC.2008.2004867
- [7] W. Yan and C. H. Park, "Filtering technique to lower phase noise for 2.4GHz CMOS VCO," *International Conference on Solid-State and Integrated-Circuit Technology*, pp.1649-1652, 2008. DOI: 10.1109/ICSICT.2008.4734867
- [8] A. Bhat and N. Krishnapura, "A tail-resonance calibration technique for wide tuning range LC VCOs," *IEEE International Symposium on Circuits and Systems*, pp. 2070-2073, 2016. DOI: 10.1109/ISCAS.2016.7538986
- [9] S. Singh and R. C. Gurjar, "A low power, low phase noise wide tuning LC VCO with varactor bank," *International Conference on Recent Innovations in Signal processing and Embedded Systems*, pp.413-417, 2017. DOI: 10.1109/RISE.2017.8378191
- [10] X. Gui, B. Tang, R. Tang, D. Li, and L. Geng, "Low-Supply Sensitivity LC VCOs With Complementary Varactors," *IEEE Transactions on Very Large Scale Integration Systems*, vol.28, no.7, pp.1589-1599, 2020. DOI: 10.1109/TVLSI.2020.2991765
- [11] W. S. Titus and J. G. Kenney, "10 GHz VCO for 0.13 μ m CMOS Sonet CDR," *IEEE Radio Frequency Integrated Circuits Symposium*, pp.4-7, 2006. DOI: 10.1109/RFIC.2006.1651162
- [12] A. G. Amer, S. A. Ibrahim and H. F. Ragai, "A 1-mW 12-GHz LC VCO in 65-nm CMOS

technology," *IEEE International Conference on Electronics, Circuits and Systems*, pp.456-459, 2016. DOI: 10.1109/ICECS.2016.7841237

- [13] H.M Song, Y.C Jang, "10 GHz LC VCO with amplitude control circuit," *ki-it Conference*, pp. 130-131, 2020.

BIOGRAPHY

Chang min Song (Member)



2019 : BS degree in School of Electronic Engineering, Kumoh National Institute of Technology.
2019 : pursuing MS degree in Department of Electronic Engineering, Graduate School, Kumoh National Institute of Technology.

Young-Chan Jang (Member)



1999 : BS degree in School of Electrical Engineering, Kyungpook National University.
2001 : MS degree in Department of Electronic Engineering, Pohang University of Science and Technology.

2005 : Ph. D. degree in Department of Electronic Engineering, Pohang University of Science and Technology.
2005~2009 : Senior Engineer, Memory Division, Samsung Electronics.
2009~2019 : Professor, School of Electronic Engineering, Kumoh National Institute of Technology