

# 커패시터의 비율과 무관하고 OP-Amp의 이득에 둔감한 CMOS Image Sensor용 Algorithmic ADC Capacitor Ratio-Independent and OP-Amp Gain-Insensitive Algorithmic ADC for CMOS Image Sensor

홍재민, 모현선, 김대정\*

Jaemin Hong, Hyunsun Mo, Daejeong Kim\*

## Abstract

In this paper, we propose an improved algorithmic ADC for CMOS Image Sensor that is suitable for a column-parallel readout circuit. The algorithm of the conventional algorithmic ADC is modified so that it can operate as a single amplifier while being independent of the capacitor ratio and insensitive to the gain of the op-amp, and it has a high conversion efficiency by using an adaptive biasing amplifier. The proposed ADC is designed with 0.18- $\mu\text{m}$  Magnachip CMOS process, Spectre simulation shows that the power consumption per conversion speed is reduced by 37% compared with the conventional algorithmic ADC.

## 요약

본 논문에서는 column-parallel readout 회로에 적합하도록 개선된 CMOS 이미지 센서용 algorithmic ADC를 제안한다. 커패시터의 비율과 무관하고 연산 증폭기의 이득에 둔감하면서 증폭기 하나로 동작 할 수 있도록 기존 algorithmic ADC를 수정하고 적응형 바이어싱을 적용한 증폭기를 사용하여 높은 변환효율을 갖도록 하였다. 제안하는 ADC는 0.18- $\mu\text{m}$  매그나칩 CMOS 공정으로 설계되었으며, Spectre 시뮬레이션을 통해 기존 algorithmic ADC에 비해 변환속도당 전력소모가 37% 줄어들었음을 확인하였다.

*Key words* : CMOS Image Sensor(CIS), column-parallel readout, algorithmic adc, ratio-independent, gain-insensitive, adaptive biasing

\* Dept. of Electronics Engineering, Kookmin University

★ Corresponding author

E-mail : kimdj@kookmin.ac.kr, Tel : +82-2-910-5173

※ Acknowledgment

This work was supported by the Korea Grant funded by the Korean Government (Grant NRF-2016R1A5A1012966 and 2019M3F3A1A02071845), and it was supported by the IC Design Education Center (IDEC) for the chip fabrication and EDA tool.

Manuscript received Aug. 24, 2020; revised Dec. 13, 2020; accepted Dec. 22, 2020.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

## 1. 서론

공정이 발달함에 따라 on-chip 설계가 가능하고 저전력 특성을 가진 CMOS Image Sensor(CIS)의 수요가 늘고 있다[1].

또한 CIS의 픽셀 밀도가 커지고 속도가 빨라지는 추세이므로 이미지 센서의 성능을 결정하는 readout 회로설계가 중요하다[2].

Readout 회로 구조는 그림 1처럼 세 가지로 구분되는데, 그림 1(a)에 나타난 single-channel readout 구조는 면적에 대한 설계제한이 비교적 작고 readout 회로 간 성능차이에 의해 발생하는 Fixed Pattern

Noise(FPN)가 작다는 장점이 있지만 픽셀 신호를 단일 ADC로 처리하기 때문에 ADC의 속도가 매우 빨라야 하며 이로 인해 ADC의 전력효율이 감소한다.

그림 1(b)에 나타낸 Column-parallel readout 구조는 column마다 ADC가 존재하기 때문에 처리해야 하는 픽셀수가 줄어들어 ADC의 속도가 빠르지 않아도 되므로 ADC의 전력효율이 증가하지만 좁은 pixel pitch에 설계해야하는 어려움이 있고 column-ADC간 성능차이로 인한 FPN이 발생하는 단점이 있다.

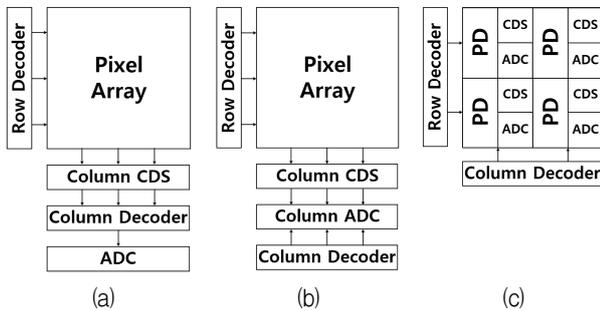


Fig. 1. Three types of readout architectures of the CMOS image sensor.

그림 1. CMOS 이미지 센서의 readout 구조

Pixel-parallel readout 구조는 그림 1(c)처럼 픽셀마다 readout회로가 존재하기 때문에 CIS의 이미지 처리속도가 매우 빠르다는 장점이 있지만, 픽셀의 면적과 CIS의 전력소모가 커진다. 이 중에서 column-parallel readout 구조는 속도, 전력소모, 면적간의 적절한 trade-off가 가능하여 CIS에 널리 이용된다[3].

Column-parallel readout 구조로 가장 적합한 ADC는 회로구성이 간단하고 높은 선형성을 가지는 single-slope ADC[4]이다. 하지만 single-slope ADC는 신호를 변환하는데  $2^N$ -clk이 필요하여 디지털회로의 전력소모가 증가하므로 고속 동작이 제한된다.

반면 Successive Approximation Register(SAR) ADC[5]는 동작에 (N+1)-clk이 필요하므로 고속 동작이 가능하고 전력소모가 낮지만 capacitor array의 면적이 크므로 좁은 pixel pitch에 설계하는데 어려움이 있다.

Cyclic ADC[6] 또한 동작에 (N+1)-clk이 필요하므로 고속 동작이 가능하며 커패시터가 차지하는 면적이 작아서 column-parallel readout 구조로 적

합하지만 요구되는 정확도를 만족하기 위해 커패시터 정합이 요구되고 고이득 증폭기가 필요하기 때문에 전력소모가 증가한다.

Ratio-independent technique[7]과 gain-insensitive technique[8]은 각각 커패시터의 부정합 오차와 증폭기의 유한이득에 의한 오차를 줄여주지만 두 가지 방식을 모두 적용한 algorithmic ADC[9]의 경우 S/H와 multiplier가 각각 존재하기 때문에 여전히 전력소모가 크다는 문제가 있다.

따라서 본 논문에서는 단일 단에서 커패시터의 비율과 증폭기의 이득에 둔감하고 적응형 바이어싱 증폭기(adaptive biasing amplifier)[10]를 사용하여 높은 변환효율을 가지는 개선된 CIS용 algorithmic ADC를 제안한다.

## II. 본론

### 1. 제안하는 algorithmic ADC의 설계

가. 제안하는 algorithmic ADC의 동작

그림 2는 제안하는 ADC의 회로도이다. 모든 커패시터의 크기는 동일하고 동작 순서는 그림 3에 나타내었으며 각 phase에서의 동작은 다음과 같다.

$PH_1$  : 증폭기의 입력노드와  $C_c$ 를 공통모드전압으로 초기화하고  $C_1$ 에 입력신호를 샘플링 한다.

$PH_2$  :  $C_1$ 에 저장된 신호를 홀딩하여 식(1)과 같은

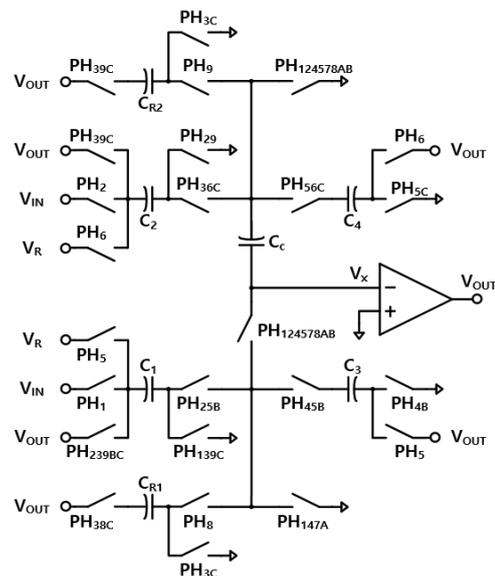


Fig. 2. Schematic of proposed ADC.

그림 2. 제안하는 ADC의 회로도

출력을 발생시키고 유한이득오차는  $C_c$ 에 저장된다.

$$V_{out,ph2} \cong \frac{A_v}{A_v+2} V_{in} \quad (1)$$

이와 동시에  $C_2$ 에 입력신호를 샘플링한다.

$PH_3$ : @  $C_2$ 에 저장된 신호를 홀딩한다.  $C_c$ 에 저장된 오차로 보정된 출력은 식(2)와 같으며 1.5bit 비교기가 출력신호의 bit를 판별한다.

$$V_{out,ph3} = V_{res} \cong \frac{A_v^2+3A_v}{A_v^2+3A_v+2} V_{in} \quad (2)$$

또한 다음동작을 위해  $C_1, C_{R1}, C_{R2}$ 는 증폭기의 출력으로 샘플링 되고  $V_{out,ph3}$ 는 잔여신호를 생성하는  $PH_4-PH_C$ 의  $V_{res}$ 가 된다.

$PH_4$ : 증폭기의 입력노드와  $C_c, C_2$ 를 공통모드전압으로 초기화한다.

$PH_5$ :  $V_{res}$ 와 비교기의 출력에 따라 결정되는  $V_R$ 의 차이만큼  $C_1$ 에서  $C_3$ 으로 전하가 이동하고 식(3)과 같은 출력을 갖는다.

$$V_{out,ph5} \cong \frac{C_1}{C_3} \frac{A_v}{A_v+3} (V_{res} - V_R) \quad (3)$$

이 때 유한이득오차는  $C_c$ 에 저장된다.

$PH_6$ :  $V_{res}$ 와 비교기의 출력에 따라 결정되는  $V_R$ 의 차이만큼  $C_2$ 에서  $C_4$ 으로 전하가 이동한다.  $C_c$ 에 저장된 오차로 보정된 출력은 식(4)와 같다.

$$V_{out,ph6} \cong \frac{C_2}{C_4} \frac{A_v^2+5A_v}{A_v^2+5A_v+6} (V_{res} - V_R) \quad (4)$$

$PH_7$ : 증폭기의 입력노드와  $C_c$ 를 공통모드전압으로 초기화한다.

$PH_8$ :  $C_{R1}$ 에 저장된 신호를 홀딩하여 식(5)와 같은 출력을 발생시키고 유한이득오차는  $C_c$ 에 저장된다.

$$V_{out,ph8} \cong \frac{A_v}{A_v+2} V_{res} \quad (5)$$

$PH_9$ :  $C_{R2}$ 에 저장된 신호를 홀딩한다.  $C_c$ 에 저장된 오차로 보정된 출력은 식(6)과 같으며

$$V_{out,ph9} \cong \frac{A_v^2+3A_v}{A_v^2+3A_v+2} V_{res} \quad (6)$$

$C_1, C_2$ 는 증폭기의 출력으로 샘플링된다.

$PH_A$ : 증폭기의 입력노드와  $C_c$ 를 공통모드전압으로 초기화한다.

$PH_B$ :  $C_3$ 에 저장된 전하를  $C_1$ 에 돌려보내 식(7)과 같은 출력을 얻는다.

$$V_{out,phB} \cong \frac{A_v}{A_v+3} V_{res} + \frac{A_v^2+A_v}{A_v^2+6A_v+9} (V_{res} - V_R) \quad (7)$$

이 때 유한이득오차는  $C_c$ 에 저장된다.

$PH_C$ :  $C_4$ 에 저장된 전하를  $C_2$ 에 돌려보낸다.

$C_c$ 에 저장된 오차로 보정된 출력은 식(8)과 같고 1.5bit 비교기가 출력신호의 bit를 판별한다.

$$V_{out,phC} \cong \frac{A_v^2+5A_v}{A_v^2+5A_v+6} V_{res} + \frac{A_v^5+13A_v^4+49A_v^3+85A_v^2+39A_v}{A_v^5+13A_v^4+67A_v^3+171A_v^2+216A_v+108} (V_{res} - V_R) \quad (8)$$

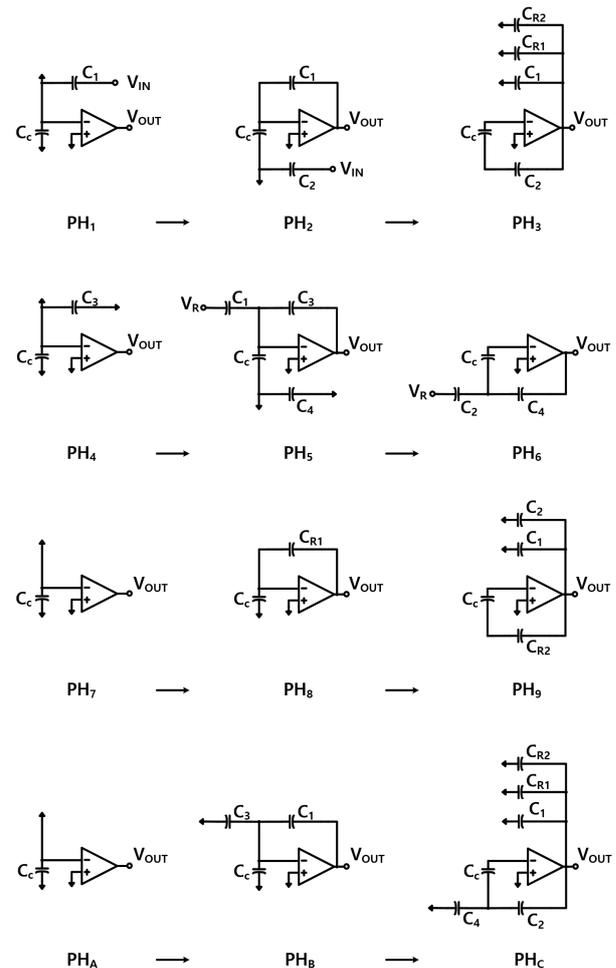


Fig. 3. operating phases of proposed ADC. 그림 3. 안하는 ADC의 동작 순서

또한 다음 cycle을 위해  $C_1$ ,  $C_{R1}$ ,  $C_{R2}$ 는 증폭기의 출력으로 샘플링 되고  $V_{out,phC}$ 는 다음 cycle의  $V_{res}$ 가 된다.

$PH_1 - PH_3$ 는 입력신호를 샘플링 할 때 한번만 수행하고, 잔여신호를 생성하는  $PH_4 - PH_C$ 는 원하는 분해능을 가질 때까지 (N-1)번 반복한다.

$V_{out,phC}$ 는 커패시터의 비율과 무관하므로 커패시터의 정합요구가 줄어든다.  $V_{out,phC}$ 의 유효이득은 증폭기의 이득의 제곱과 같으므로 증폭기의 고이득 요구가 줄어든다.

나. 적응형 바이어싱 증폭기의 특성

연산 증폭기의 회로도도 그림 4와 같으며 flipped voltage follower[11]를 이용한 적응형 바이어싱 입력 쌍[10]은 Class AB 동작을 하여 작은 전류로 높은 트랜스컨덕턴스와 슬루율을 가진다.

연산 증폭기의 등가 트랜스컨덕턴스는 식(9)와 같다.

$$G_m \cong 2Mg_{m,in} \tag{9}$$

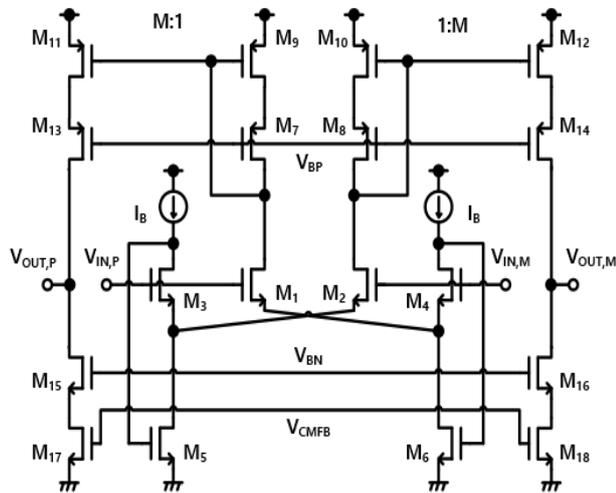


Fig. 4. Schematic of the adaptive biasing op-amp.  
그림 4. 적응형 바이어싱 증폭기의 회로도

다. 1.5bit 비교기

그림 5에 나타난 1.5bit 비교기는 서로 다른 threshold로 출력된 디지털신호를 이용해서 비교기의 입력 오프셋 전압을 최대  $\pm 0.25 V_{ref}$ 만큼 보정이 가능하다. 비교기에 사용된 래치는 그림 6과 같고 비교기의 문턱전압은 식(10)처럼 입력 쌍의 채널 폭 비율로 결정되며,  $V_R$ 은 식(11)으로 결정된다[12].

$$V_{threshold} = \frac{W_{34}}{W_{12}}(V_{REF,P} - V_{REF,M}) \tag{10}$$

$$V_R = \begin{cases} +V_{ref} & +0.25V_{ref} < V_{res} \\ 0 & -0.25V_{ref} < V_{res} < +0.25V_{ref} \\ -V_{ref} & V_{res} < -0.25V_{ref} \end{cases} \tag{11}$$

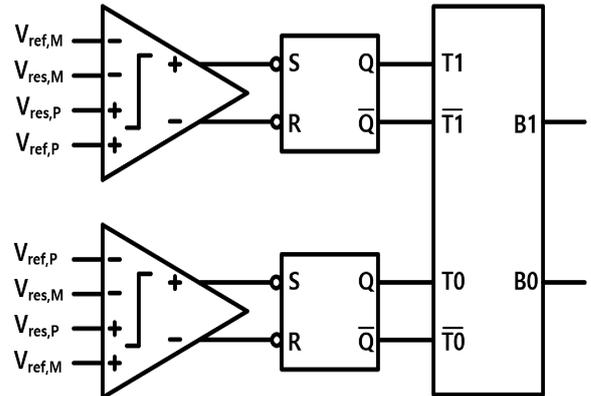


Fig. 5. Schematic of the 1.5bit comparator.  
그림 5. 1.5bit 비교기의 회로도

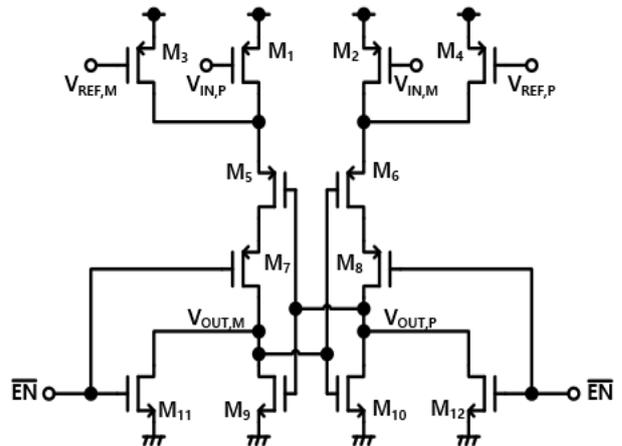


Fig. 6. Schematic of the dynamic latch.  
그림 6. 동적 래치의 회로도

2. 시뮬레이션 결과

제한하는 algorithmic ADC의 특성 검증과 변환 효율이 개선되는 것을 확인하기 위하여 Cadence사의 Spectre 시뮬레이션을 사용하였고, 사용된 공정은 0.18-um 매그나칩 CMOS 공정이다.

가. 유효이득 오차와 이득의 관계

유효이득이 증폭기의 이득의 제곱을 갖는 것을 확인하기 위하여 이득의 변화에 따른 유효이득 오차를 표 1에 정리하였다.

Table 1. Relationship between finite gain error and open loop gain.

표 1. 유한이득 오차와 이득의 관계

A <sub>v</sub>	Finite gain error	
	Conventional MDAC[6]	This Work
10	108.084mV	54.3086mV
50	25.411mV	2.4986mV
100	13.019mV	599.6uV
500	2.68mV	25.5uV
1000	1.362mV	119.6uV

유한이득 오차가 이득의 제곱에 반비례하므로 유효이득이 증폭기의 이득의 제곱을 갖는 것을 알 수 있다.

나. 커패시터의 부정합과 이득의 관계

커패시터의 정합요구가 줄어드는 것을 확인하기 위해 커패시터의 부정합(ΔK)에 대한 V<sub>res</sub>의 변화율을 표 2.에 정리하였다.

Table 2. Relationship between capacitor mismatch error and open loop gain.

표 2. 커패시터의 부정합과 이득의 관계

A <sub>v</sub>	$\frac{\partial V_{res}}{\partial \Delta K}$	
	Conventional MDAC[6]	This Work
10	89.305mV	12.81mV
50	61.115mV	1.5mV
100	55.88mV	0.645mV
500	51.275mV	0.11mV
1000	50.665mV	0.06mV

커패시터의 부정합에 대한 V<sub>res</sub>의 변화율( $\frac{\partial V_{res}}{\partial \Delta K}$ )이 이득에 반비례하므로 커패시터의 정합요구가 증폭기의 이득으로 감소함을 알 수 있다.

다. 연산증폭기의 성능비교

그림 7은 증폭기의 성능을 비교하기 위한 과도응답 시뮬레이션 결과이다.

부하 커패시턴스가 800fF, 입력전압이 0.7V이며

트랜지스터의 크기가 동일할 때 시뮬레이션 한 결과를 표 3에 정리하였다.

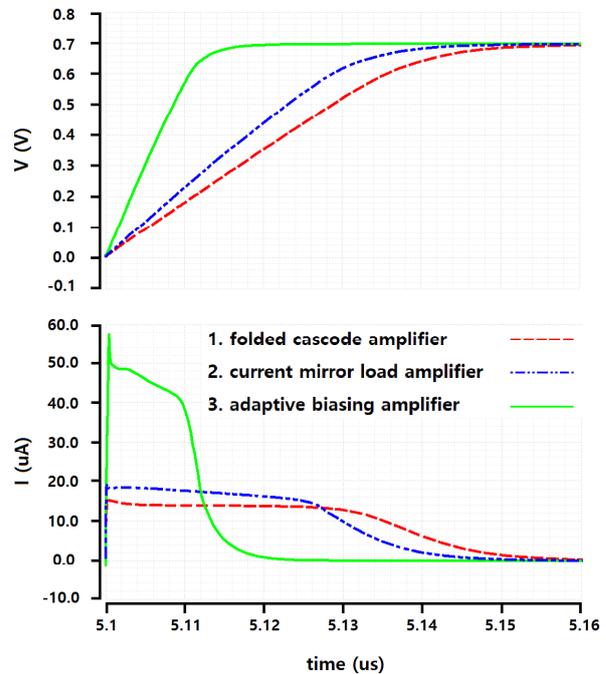


Fig. 7. Simulated transient response of the op-amp.

그림 7. 증폭기의 과도응답 시뮬레이션

Table 3. Performance comparison of op-amp.

표 3. 연산 증폭기의 성능비교

	Folded cascode amplifier	Current mirror load amplifier	Adaptive biasing amplifier (This Work)
Class	A	A	AB
Slew rate	17.8 V/us	22.94 V/us	60.74 V/us
I <sub>sw</sub>   <sub>avg</sub>	5.572 uA	5.583 uA	5.603 uA
G <sub>m</sub>	148.971 uS	156.395 uS	336.974 uS
I <sub>supply</sub>	32.6092 uA	34.6167 uA	55.1808 uA
G <sub>m</sub> /I <sub>supply</sub>	4.568 /V	4.518 /V	6.107 /V

적용형 바이어싱 증폭기가 동일한 조건에서 더 높은 슬루율과 전류효율을 가지는 것을 확인 할 수 있다.

라. 변환효율 비교

변환효율(P<sub>avg</sub>\*t<sub>conv</sub>)이 개선되는 것을 확인하기 위해 ADC 구조와 사용된 증폭기를 바꿔가면서 시뮬레이션한 결과를 표 4에 정리하였다.

Table 4. Comparison of conversion efficiency.

표 4. 변환효율 비교

	Sim 1.	Sim 2.	Sim 3. (This Work)
ADC structure	7N-clk algorithmic ADC	9N-clk algorithmic ADC	9N-clk algorithmic ADC
Amp structure	Folded cascode	Folded cascode	Adaptive biasing
Number of amplifier	2	1	1
Unity gain frequency	45.06 MHz @ 500 fF	56.2 MHz @ 800 fF	67.5 MHz @ 800 fF
$P_{avg}$	266.1 uW	201.5 uW	139.3 uW
$P_{static}$	214.5 uW	165.8 uW	102 uW
$P_{switching}$	51.6 uW	35.7 uW	37.3 uW
$t_{conv}$	3.5 us	4.2 us	4.2 us
$P_{avg} * t_{conv}$	931.35 pJ	846.3 pJ	585.06 pJ

sim 1과 sim 2를 비교하여 증폭기의 수가 줄어들었을 때 변환효율이 개선되는 것을 확인 할 수 있으며, sim 2와 sim 3을 비교하여 적응형 바이어싱 증폭기를 사용했을 때 변환효율이 개선되는 것을 확인 할 수 있다.

마. 설계된 ADC의 성능요약

제안하는 algorithmic ADC는 완전 차동 구조로 설계되었으며 분해능은 10bit이고  $V_{ref}=0.7V$ 이다.

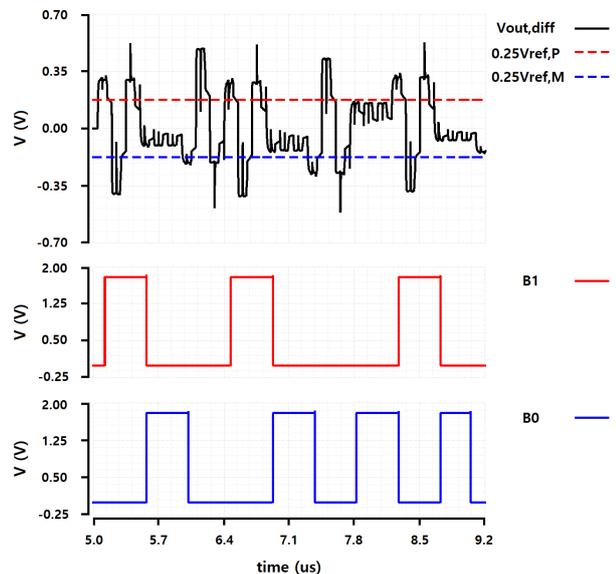


Fig. 8. Output waveform of proposed ADC.  
그림 8. 제안하는 ADC의 출력 파형

스위치는 최소 크기로 설계된 Transmission gate를 사용하였고, 커패시터의 크기는 200fF이며, 신호를 변환하는데 (9N-6)-clk이 필요하다.

그림 8은 제안하는 ADC의 차동 출력( $V_{out,diff} = V_{out,P} - V_{out,M}$ ) 파형과 비교기의 bit 판별 결과이다. conversion time은 4.2us이며  $B_1=0b1001000100$ ,  $B_0=0b0100101010$ 이므로 비교기의 입력 오프셋 전압이 보정된 디지털 출력  $D_{out}=0b1011011001$  임을 확인 할 수 있다.

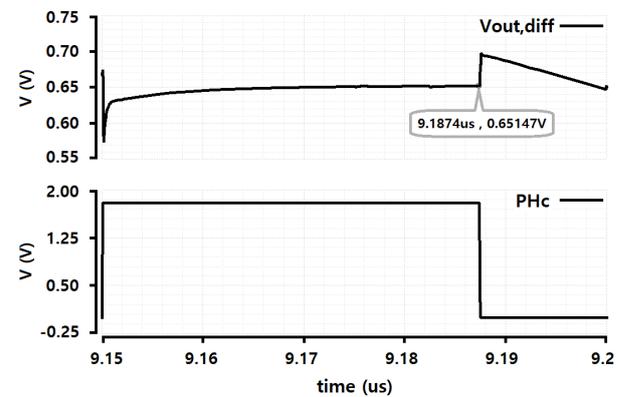


Fig. 9. Simulated full scale input response of the ADC.  
그림 9. ADC의 풀 스케일 입력응답 시뮬레이션

그림 9는 full scale input에 대한 마지막 phase의 출력 시뮬레이션 결과이다.

full scale input은 0.7V이며 마지막 phase의 출력은 0.65147V이다. 따라서 누적된 출력 오차는 -48.53mV이고 이를 입력 참조 전압으로 환산하면 -94.785uV이다. 1LSB=1.367mV이므로 gain error는 -0.07LSB임을 확인 할 수 있다.

표 5는 제안하는 ADC의 성능을 요약한 것이며, 표 6은 사용된 연산 증폭기의 사양이다.

Table 5. Performance summary of the proposed ADC.

표 5. 제안하는 ADC의 성능요약

Parameter	Value
Technology	0.18-um IP6M CMOS process
ADC type	Algorithmic
ADC input range	1.4 Vpp
ADC resolution	10 bit
Conversion time	4.2 us
Supply voltage	1.8 V
Power consumption	139.3 uW

Table 6. Specification of the op-amp.

표 6. 연산 증폭기의 사양

Parameter	Value
Open loop gain	55 dB
Unity gain frequency	67.5 MHz @ 800 fF
Phase margin	73' @ 150 fF
Bias current	4 uA
Output current	10 uA

### III. 결론

본 논문은 커패시터의 비율과 무관하고 연산 증폭기의 이득에 둔감한 개선된 CIS용 algorithmic ADC를 제안했다. 회로는 0.18- $\mu\text{m}$  Magnachip CMOS 공정을 사용하여 설계되었으며 적응형 바이어싱 기법을 적용하여 기존 algorithmic ADC에 비해 변환 속도당 전력소모를 37% 줄였다.

### References

[1] B. S. Carlson, "Comparison of modern CCD and CMOS image sensor technologies and systems for low resolution imaging," in *IEEE Proc. Sensors*, pp.171-176, 2002.  
DOI: 10.1109/ICSENS.2002.1037011

[2] Hongjie Zhu, Milin Zhang, Yuanming Suo, Trac D. Tran, Jan Van der Spiegel, "Design of a Digital Address-Event Triggered Compressive Acquisition Image Sensor," *IEEE Transactions on Circuits and Systems-I: Regular Papers*, vol.63, no.2, pp.191-199, 2016.  
DOI: 10.1109/TCSI.2015.2512719

[3] Fei Wang, Liqiang Han, Albert J. P. Theuwissen, "Development and Evaluation of a Highly linear CMOS Image Sensor With a Digitally Assisted Linearity Calibration," *IEEE Journal of Solid-State Circuits*, vol.53, no.10, pp.2970-2981, 2018.  
DOI: 10.1109/JSSC.2018.2856252

[4] N. Cho, B. Song, K. Kim, and J. Burm, S. W. Han, "A VGA CMOS Image Sensor with 11-bit column parallel single-slope ADCs," *IEEE International SoC Design Conference*, pp.25-27.

DOI: 10.1109/SOCD.2010.5682981

[5] S. Matsuo et al., "8.9-megapixel video image sensor with 14-b column-parallel SA-ADC," *IEEE Trans. Electron Devices*, vol.56, no.11, pp. 2380-2389, 2009. DOI: 10.1109/TED.2009.2030649

[6] S. Lim, J. Cheon, Y. Chae, W. Jung, D.-H. Lee, M. Kwon, K. Yoo, S. Ham, and G. Han, "A 240-frames/s 2.1-Mpixel CMOS image sensor with column-shared cyclic ADCs," *IEEE Journal of Solid-State Circuits*, vol.46, no.9, pp.2073-2083, 2011. DOI: 10.1109/JSSC.2011.2144010

[7] P. W. Li, M. J. Chin, P. R. Gray, and R. Castello, "A Ratio-Independent Algorithmic Analog-to-Digital Conversion Technique," *IEEE Journal of Solid-State Circuits*, vol.SC-19, no.6, pp.828-836, 1984. DOI: 10.1109/JSSC.1984.1052233

[8] K. Nagaraj, T. R. Viswanathan, K. Singhal, and J. Vlach, "Switched-capacitor circuits with reduced sensitivity to amplifier gain," *IEEE Transactions on Circuits and Systems*, vol.CAS-34, no.5, pp.571-574, 1987.  
DOI: 10.1109/TCS.1987.1086170

[9] S.-Y. Chin, C.-J. Wu, "A CMOS Ratio-Independent and Gain-Insensitive Algorithmic Analog-to-Digital converter," *IEEE Journal of Solid-State Circuits*, vol.31, no.8, pp.1201-1207, 1996. DOI: 10.1109/4.508271

[10] S. Baswa, A. J. Lopez-Martín, J. Ramirez-Angulo, and R. G. Carvajal, "Low-voltage micropower super class AB CMOS OTA," *Electron. Lett.*, vol.40, pp.216-217, 2004. DOI: 10.1049/el:20040166

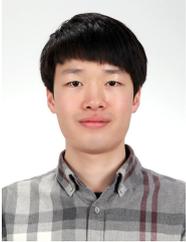
[11] S.-Y. Chin, C.-J. Wu, "The Flipped Voltage Follower: A Useful Cell for Low-Voltage Low-Power Circuit Design," *IEEE Transactions on Circuits and Systems- I: Regular Papers*, vol.52, no.7, pp.1276-1291, 2005.  
DOI: 10.1109/TCSI.2005.851387

[12] T. B. Cho and P. R. Gray, "A 10 b, 20 Msample/s, 35mW pipeline A/D converter," *IEEE Journal of Solid-State Circuits*, vol.30, no.3, pp. 166-172, 1995. DOI: 10.1109/4.364429

---

**BIOGRAPHY**


---

**JaeMin Hong** (Member)

2019 : BS degree in Electrical Engineering, Kookmin University.  
 2019~ : Course of master's in Electronics Engineering, Kookmin University.  
 Current research interest : analog to digital converter

**Hyunsun Mo** (Member)

1993 : BS degree in Electrical Engineering, Kookmin University.  
 2011 : MS degree in Electronics Engineering, Kookmin University.  
 2014 : Ph.D degree in Electrical Engineering, Kookmin University.  
 1993~2007 : Research Engineer, Samsung Electronics.  
 2018~ : Associate Professor in Kookmin University.

**Daejeong Kim** (Member)

1987 : BS degree in Electronics Engineering, Seoul National University.  
 1989 : MS degree in Electronics Engineering, Seoul National University.  
 1994 : Ph.D degree in Electronics Engineering, Seoul National University.  
 1994~1999 : Research Engineer, LG Semiconductor.  
 1999~ : Professor in Kookmin University.