

# 모바일 기기의 전원 무결성을 위한 설계 연구

사기동\* \*\* · 임영석\*\*

## Design Study for Power Integrity in Mobile Devices

Gi-Dong Sa\* \*\* · Yeong-Seog Lim\*\*

### 요 약

최근 모바일 기기는 사용자 요구에 따라 다양한 기능이 있는 소형 컴퓨터의 형태로 발전하였다. 모바일 기기의 다양한 기능을 구현하기 위해 실장되는 AP( Application processor)와 무선통신용 모듈 및 고성능 카메라 외 다양한 인터페이스를 위한 IC 들의 안정적인 동작을 위해서는 전원 공급 네트워크 설계에 주의가 필요하다. 본 논문에서는 실장 밀도 제한으로 인해 배선형으로 설계해야하는 모바일 기기의 전원 공급 네트워크의 안정성 확보를 위해 드라이버 IC 칩에서 요구하는 목표 임피던스를 만족하도록 디커플링 커패시터의 위치, 용량, 개수 등의 설계 파라미터를 최적화하는 방법에 대해 분석하고 시뮬레이션을 통해 검증하였다. 본 논문을 통해 제안된 배선형 전원 공급 네트워크 설계 방법은 모바일 어플리케이션 외 고속신호 전송선로가 포함되는 다양한 응용분야에 확대 적용될 수 있을 것으로 판단된다.

### ABSTRACT

Recently, mobile devices have evolved into small computers with various functions according to user requirements. Careful attention must be paid to the design of the power supply network for the stable operation of the application processor (AP), the wireless communication modem, the high performance camera, and the various interfaces of the mobile device to implement various functions of the mobile device. In this paper, we analyzed and verified the method of optimizing the design parameters such as the position, capacity, and number of decoupling capacitors to meet the target impedance required by the driver IC chip to ensure the stability of the power supply network of mobile devices that should be designed as wiring type due to mounting density limitation. The proposed wired power supply network design method can be applied to various applications including high-speed signal transmission line in addition to mobile applications.

### 키워드

Mobile Devices, Power Delivery Networks, Target Impedance, Simultaneous Switching Noise, Capacitors  
모바일 기기, 전원 공급 네트워크, 목표 임피던스, 동시 스위칭 노이즈, 커패시터

## 1. 서 론

최근 모바일 기기는 전자우편, 인터넷, 전자책 읽기, 소셜 네트워크, 게임, 비즈니스 활동 등 다양한 기

능이 있는 소형 컴퓨터의 형태로 발전하였다. 이러한 모바일 기기는 다양한 기능을 구현하기 위해서 AP와 무선통신용 모듈 및 고성능 카메라 외 다양한 인터페이스를 위한 IC 들이 시스템 내부에 실장 된다. AP

\* 한국광기술원 (gdsa@kopti.re.kr)

\*\* 교신저자 : 전남대학교 전자컴퓨터공학부

• 접수 일 : 2019. 09. 18

• 수정완료일 : 2019. 10. 01

• 게재확정일 : 2019. 10. 15

• Received : Sep. 18, 2019, Revised : Oct. 01, 2019, Accepted : Oct. 15, 2019

• Corresponding Author : Yeong-Seog Lim

School of Electronics and Computer Engineering, Chonnam National University,

Email : limys@jnu.ac.kr

의 다양한 IC 들은 VRM( Voltage regulator module)에서 안정적으로 전원을 공급 받아야 정상 동작 가능한 활성 상태로 진입할 수 있다[1-3].

모바일 기기의 전원 공급 네트워크는 실장 밀도 제한으로 인해 일반적인 고속 시스템에 적용되는 평판형이 아니라 전원 선로의 폭이 제한된 배선형으로 설계되어 지고 있다. 따라서 모바일 기기의 전원 공급 네트워크는 DC부터 1 GHz 이상의 주파수 대역까지 임피던스가 목표 기준 이하가 될 수 있도록 설계에 주의를 기하여야 한다.

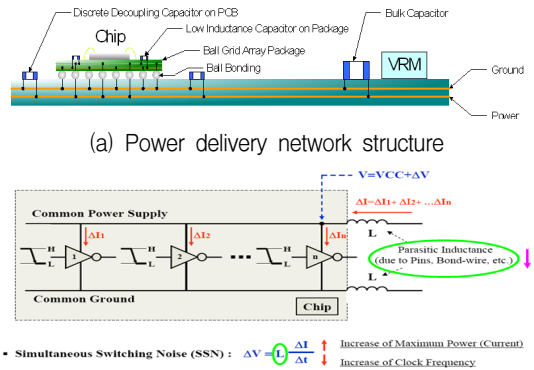
본 논문에서는 모바일 기기의 VRM에서 드라이버 IC까지 연결되는 배선형 전원 공급 네트워크의 불안정성에 의한 동시 스위칭 노이즈 문제를 해결하기 위해 드라이버 IC 칩에서 요구하는 목표 임피던스를 만족하도록 디커플링 캐패시터의 위치, 용량, 개수 등의 설계 파라미터를 최적화하는 방법에 대해 분석하고 시뮬레이션을 통해 검증하였다.

## II. 모바일 기기의 전원 공급 네트워크

### 2.1 전원 공급 네트워크

고속 디지털 시스템 내의 인쇄회로기판은 수 GHz 이상의 대역폭을 가지는 디지털 신호를 빠른 속도로 전송할 수 있는 성능이 요구된다. 이와 같은 고속 인쇄회로기판에 있어 안정적인 전원 공급 네트워크 설계가 전제되지 않으면 신호의 무결성은 보장될 수 없으며, 전자파 장애 문제로도 귀결된다. 전원 공급 네트워크의 안정성은 설계구조에 의존적이다. 고성능을 요구하는 디지털 시스템의 전원 공급 네트워크는 안정성 확보를 위해 평판형으로 설계된다. 평판형 전원 공급 네트워크 설계에서 주의할 점은 평판 구조의 공진이다. 드라이버 IC 위치의 전원 공급 네트워크 평판 구조에서 공진이 발생되면 시스템 동작 주파수와 동일한 공진주파수에서는 작은 양의 스위칭 전류가 발생되더라도 전원 공급 네트워크의 전압 변동이 크게 증폭되어 나타나게 되어 신호선의 노이즈 발생에 의한 시스템 오동작을 일으킬 수 있다. 따라서 평판형 전원 공급 네트워크는 주파수응답 시뮬레이션을 통한 공진 특성 분석 결과를 반영한 설계가 필요하다[4]. 모바일 기기의 전원 공급 네트워크는 실장 밀도 제한

으로 인해 일반적으로 평판형이 아닌 전원 선로의 폭이 제한된 배선형으로 설계되어 지고 있다. 따라서 모바일 기기의 전원 공급 네트워크는 공진 특성보다 전압강하 현상이 발생되지 않도록 DC 저항을 목표 이하로 설계하는 것이 중요하다[5]. 고속 디지털 시스템은 내부에 여러 개의 드라이버 IC들을 포함하고 있다. 전원 공급 네트워크는 이러한 IC가 동작될 수 있도록 안정적인 전원을 공급하여야 한다. 전원 공급 부인 VRM부터 드라이버 IC까지 경로를 살펴보면 아래 그림 1(a)와 같이 VRM과 드라이버 IC 사이에 인쇄회로기판, 패키지, 다이들 거쳐 칩까지 연결된다. VRM으로부터 드라이버 IC까지의 전원 공급 네트워크 길이는 가능하면 짧을수록 좋다. 전원 공급 네트워크가 길어지면 아래 그림 1(b)와 같이 기생 루프 인덕턴스가 커져서 동시 스위칭 노이즈가 유발된다. 동시 스위칭 노이즈는 clock 주파수가 크거나 여러 개의 드라이버 IC가 동시에 동작하기 위해 순간적으로 많은 전류가 요구될 때 더욱 커진다[6-7].



(b) Loop inductance in power delivery network

그림 1. 전원 공급 네트워크

Fig. 1 Power delivery network

그러나 모바일 기기의 VRM에서 모든 드라이버 IC 사이의 전원 공급 네트워크 배선 길이를 최소화 할 수 없기 때문에 위 그림 1(a)와 같이 드라이버 IC 인접 위치에 다양한 용량의 캐패시터를 실장하여 순간적으로 요구되는 전원을 캐패시터에서 공급하도록 하여 동시 스위칭 노이즈에 의한 공급 전원 불안정성을 막을 수 있다. 캐패시터의 주파수 응답 특성을 보면 아래 그림 2와 같이 기생 인덕턴스와 기생 저항 성분

이 포함되어 있다. 이러한 기생 성분에 의해 캐패시터의 공진 주파수 아래 영역에서는 캐패시터로 동작하지만 공진 주파수 이상이 되면 인덕터로 동작하게 되어 전원 공급 네트워크의 루프 인덕턴스를 증가시키는 문제가 발생할 수 있다. 따라서 전원 공급 네트워크에 적용되는 캐패시터는 실장 위치에 맞는 공진주파수와 용량을 가지도록 설계하여야 한다.

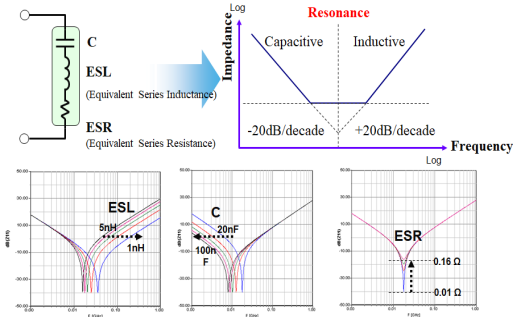


그림 2. 디커플링 캐패시터 등가회로와 특성  
Fig. 2 Decoupling capacitor equivalent circuit and characteristics

### 2.2 동시 스위칭 노이즈

이상적인 전원 선로에는 일정한 공급 전압을, 접지면에는 항상 0V의 전압을 유지하여야 하지만, 전원 및 접지선로에 인덕턴스(L)과 저항(R) 성분이 존재하면 전압 강하( Voltage drop) 현상이 생긴다. 전원 선로가 가진 저항 성분(R)에 의해 IR 만큼의 전압 강하가 발생하며 이를 IR-drop이라고 하며 전원 선로의 자항이 작더라도 전류가 크면 IR 전압 강하는 무시할 수 없는 정도의 크기가 되므로 주의가 필요하다. 또한 전원 선로가 가진 기생 인덕턴스(L) 성분 때문에 시간에 따라 빠르게 변하는 전류가 흐르게 되면  $L \cdot di/dt$  전압 변동이 생긴다. 이러한 순간적 전압 변동 현상을 Delta-I 노이즈라고도 한다. 최근 디지털 전자기기에서는 전류의 크기는 커지고 시스템 속도가 빨라지면서  $dt$ 가 줄어드는 추세이므로 전원 선로에 걸리는 전압 노이즈는 심각하게 증가하게 된다. 하나의 IC에는 여러 개의 게이트들이 내장되어 있으며 이들이 동시에 on 되거나 off 되면 매우 큰 전류가 흐르게 되는데 이를 동시 스위칭이라 한다. 이때 큰 전류에 의해 생기는 전원이나 접지선로에 발생하는 노

이즈를 SSN( Simultaneous switching noise)이라고 한다. 즉 SSN은 아래 그림 3과 같이 전원 혹은 접지 선로에 기생 인덕턴스와 저항으로 인해 전원으로 부터 공급되어야 할 전류가 방해 를 받음으로써 발생하는 IC의 전원 및 접지 핀에 발생하는 Delta-I 노이즈와 IR-Drop에 의한 전원 노이즈이다[8-9].

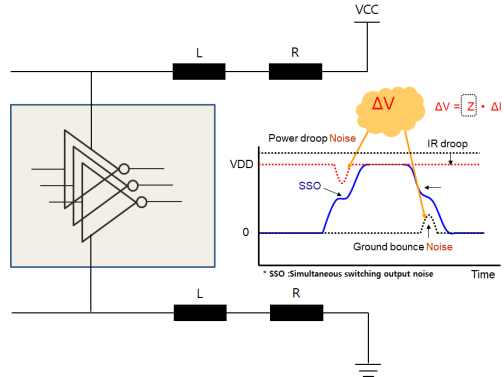


그림 3. 전원 공급 네트워크 노이즈  
Fig. 3 Power delivery network noise

### 2.3 목표 임피던스

전원 공급 네트워크 설계에 있어 중요한 파라미터는 목표 임피던스이다. IC 입장에서 VRM 쪽을 바라보았을 때의 임피던스는 특정의 임피던스 값 이하로 유지할 필요가 있는데, 이러한 기준 임피던스를 목표 임피던스  $Z_{target}$  이라고 한다. 목표 임피던스는 IC에 공급되는 전원 전압의 허용 리플 전압을 최대 천이 전류로 나누어 아래 식과 같이 계산될 수 있다. 여기서  $V_{psv}$ 는 공급 전압,  $R_{ar}$ 는 허용 리플  $I$ 는 전류이다.

$$Z_{target} = \frac{V_{psv} \times R_{ar}}{I} \quad (1)$$

VRM에서 IC로 전원 전류 공급에 문제가 없도록 하기 위해서는 아래 그림 4와 같이 DC부터 목표 주파수인 최대 스위칭 주파수 전체 범위에 대해 IC에서 VRM 측을 바라본 임피던스가 목표 이하가 되도록 설계 되어야 한다. 따라서 시스템 전원 공급 네트워크 설계 후 반드시 목표 임피던스 특성이 드라이버 IC에서 요구하는 수준을 만족하는지 Spice 해석 tool을 적

용하여 주파수 대역별 임피던스 시뮬레이션으로 분석 및 검증 되어야한다.

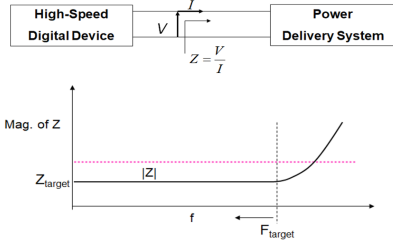


그림 4. 목표 임피던스와 주파수  
Fig. 4 Target impedance and frequency

시뮬레이션 과정에서 전원 공급 네트워크 임피던스가 목표 임피던스 보다 낮은 값을 유지하도록 디커플링 캐패시터 위치, 개수, 용량을 최적화할 수 있다. 목표 임피던스는 규정된 주파수 범위에서의 IC에 공급되는 전원 전압의 리플 전압을 관리하는 기준이다. 실제 목표 임피던스 값은 시스템에 따라 달라지지만 일반적으로 수십 mΩ 이하이다. 목표 임피던스는 전압 변동량( $\Delta V$ )으로 나누어 계산할 수 있다. 전원 전압의 변동량은 전원 전압에 허용 리플을 곱해서 계산하며, 전류에 변동량은 최대 천이 전류량을 적용한다. 일반적인 고속 디지털 시스템에서는 IC의 전원 단 전원 전압 변동률을 5% 이하로 관리되어야 하며, 1 GHz 이상 대의 스위칭 전류 대역까지 원활한 전류 공급이 되어야 한다.

아래 그림 5는 전원 공급 네트워크 위치별로 적용되는 캐패시터의 요구 특성을 나타낸다. VRM 인접 위치의 캐패시터는 낮은 공진주파수를 가지는 대용량의 bulk 캐패시터가 적용되어야 하며, 드라이버 IC 다이에 위에 적용되는 캐패시터는 높은 공진주파수를 가지는 저용량이면서 낮은 기생성분을 가지는 캐패시터가 적용되어야 한다. 또한 드라이버 IC의 패키지 내부에 적용되는 캐패시터는 중간 값의 공진주파수와 용량을 가지도록 선정하여야 전원 공급 네트워크의 임피던스가 스위칭 주파수 전체 대역에서 목표 임피던스 이하 기준을 만족할 수 있다[10-12].

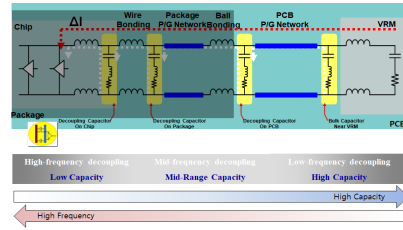


그림 5. 전원 공급 네트워크 캐패시터 특성  
Fig.5 Power delivery network capacitor requirements

### III. 모바일 기기 전원 공급 네트워크 설계

모바일 기기는 회로의 밀집도가 높아서 인쇄회로기판 내부 층 전체를 전원 공급 네트워크로 설계할 수 없고 레이어 내의 일부 영역만을 전원 공급 네트워크로 사용해야 한다.

본 절에서는 모바일 기기의 전원 왜곡에 의한 전송 성능 및 EMI 방사 문제가 발생되지 않는 기준을 확인하기 위해 전원 공급 네트워크 IR-drop과 디커플링 캐패시터의 위치, 용량 개수가 임피던스에 미치는 영향을 분석하였다. 아래 그림 6은 모바일 기기의 1.26 V, 2.52 A 전원 공급 네트워크이다. 드라이버 IC의 허용 리플은 2%이며, 목표 임피던스는 10 mΩ이다.

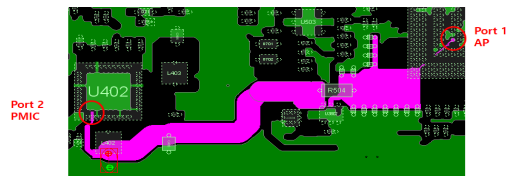


그림 6. 모바일 기기 전원 공급 네트워크  
Fig. 6 Mobile device power delivery network

전원 공급 네트워크에 디커플링 캐패시터를 표 1과 같이 배치하고 임피던스를 분석하였다. 임피던스 시뮬레이션 결과는 아래 그림 7과 같이 Case 1의 경우 500 KHz 이하의 주파수 대역의 임피던스가 목표 이상인 결과를 보였으나 Top 면에 PMIC와 최대 6 mm 이격 거리에 47 uF 용량의 캐패시터를 추가한 Case 2는 100 KHz 부터 500 KHz 까지 주파수 대역에서 목표 이하의 임피던스를 가지며, 300 KHz에서는 Case 1 대비 최대 106 mΩ 감소하였다.

표 1. 전원 공급 네트워크에 적용된 디커플링 캐패시터

Table 1. Decoupling capacitors applied to power delivery networks

Capacitance (uF)	Count		Mounting distance [mm]
	Case 1	Case 2	
1	4	4	max. 0.8 (from AP)
2.2	9	9	max. 3 (from AP)
22	1	1	max. 8 (from PMIC)
47	-	2	max. 6 (from PMIC)
Total	14	16	

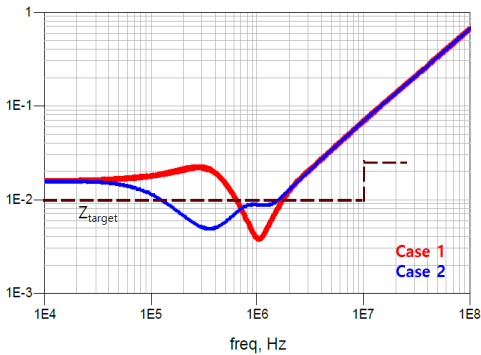


그림 7. PMIC 위치 bulk 캐패시터 추가에 따른 임피던스 분석 결과  
Fig. 7 Impedance analysis results by adding PMIC position bulk capacitors

다음으로 Case 1의 결과에서 100 KHz 이하의 임피던스 특성을 개선하기 위해 series 저항을 삭제하고 배선 저항을 줄이기 위해 전원 선로를 아래 그림 8의 우측과 같이 배선의 shape을 확장하여 설계를 변경하고 임피던스를 분석하였다. 임피던스 시뮬레이션 결과는 아래 그림 9의 Case 3과 같이 series 저항 성분이 작아져서 100 KHz 이하 주파수에서 임피던스가 약 4 mΩ 감소하였다.

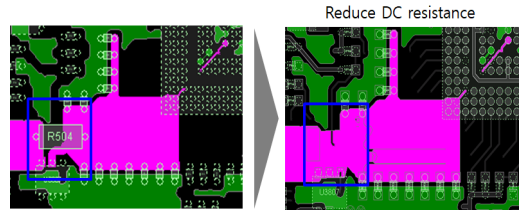


그림 8. 전원 선로 확장  
Fig. 8 Extension of power line

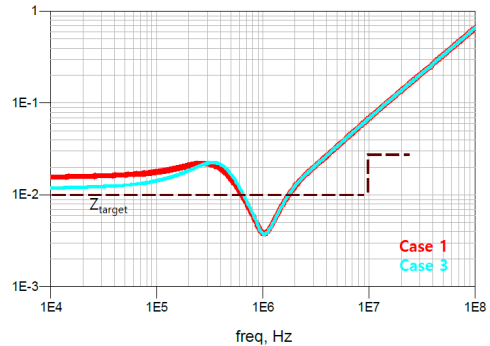


그림 9. 전원 선로 확장에 따른 임피던스 분석 결과  
Fig. 9 Impedance analysis results according to power line expansion

세 번째로 공진주파수 대역의 임피던스 특성을 개선하기 위해 bottom 면 드라이버 IC 근처에 2.2 uF 캐패시터를 아래 그림 10과 같이 추가하여 임피던스를 분석하였다. 임피던스 시뮬레이션 결과는 아래 그림 11과 같이 루프 인덕턴스가 줄어 1 MHz 이상 주파수에서 전원 공급 네트워크 임피던스가 약 5 mΩ 줄어들었고 1 MHz 주파수 대역의 직병렬 공진현상이 제거되어 목표 임피던스에 근접한 결과를 보였다.

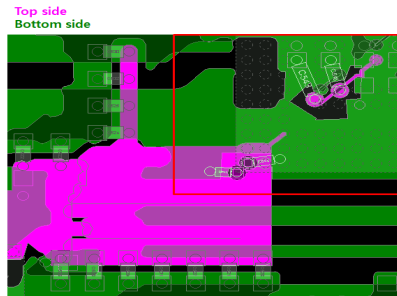


그림 10. 드라이버 IC 위치 2.2 uF 캐패시터 추가  
Fig. 10 Add driver IC position 2.2 uF capacitor

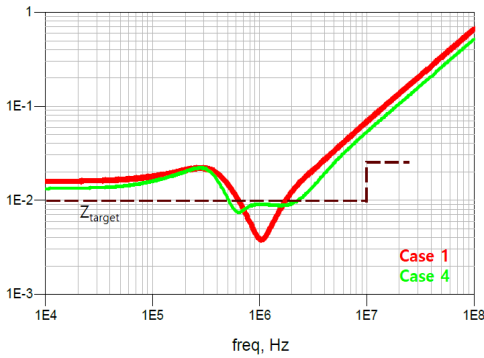


그림 11. 드라이버 IC 위치 2.2 uF 캐패시터 추가에 따른 임피던스 분석 결과  
 Fig. 11 Impedance analysis result by Adding driver IC position 2.2 uF capacitor

전체 대역의 임피던스 특성을 개선하기 위해 먼저 그림 12의 좌측과 같이 Top 면의 전원 공급 네트워크 배선 폭을 넓히고, 길이를 줄이도록 설계 변경하여 DC 저항을 13.2 mΩ에서 9.8 mΩ으로 감소시켰다. 그리고 공진주파수 이상의 임피던스 특성을 개선하기 위해 드라이버 그림 12의 우측과 같이 IC 인접 위치의 Top 면과 Bottom 면에 0.47 uF 캐패시터를 각각 7개 씩 실장 되도록 설계하여 임피던스를 분석하였다. 임피던스 시뮬레이션 결과는 아래 그림 13과 같이 1 MHz이하의 저주파수 대역과 4 MHz 이상의 고주파수 대역의 임피던스는 목표 기준 이하로 줄어들었지만, 공진주파수 대역에서는 캐패시터의 유효 용량의 감소에 의해 목표 임피던스 보다 높은 결과를 보였다.

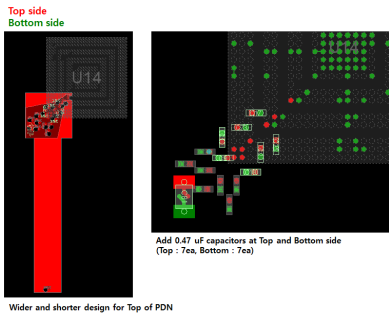


그림 12. 전원 라인 확장 및 드라이버 IC 위치 0.47 uF 캐패시터 추가  
 Fig. 12 Power line expansion and adding driver IC position 0.47 uF capacitor

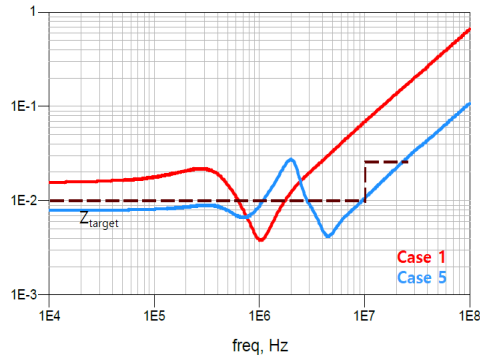


그림 13. 전원 라인 확장 및 드라이버 IC 위치 0.47 uF 캐패시터 추가에 따른 임피던스 분석 결과  
 Fig. 13 Impedance analysis results with power line extension and adding driver IC position 0.47 uF capacitor

그림 12의 설계 구조에서 공진주파수에서 유효 용량을 높여 전체 대역의 임피던스를 목표 이하로 낮추기 위해 아래 그림 14와 같이 Top 면의 0.47 uF 캐패시터 7개를 제거하고 동일 위치에 캐패시터가 0.47 uF 보다 1.73 uF 만큼 높은 2.2 uF 용량(ESL 작음, 0402 크기)의 캐패시터로 설계 변경하여 임피던스를 분석하였다. 임피던스 시뮬레이션 결과는 아래 그림 15와 같이 1 MHz이하의 저주파수 대역과 4 MHz 이상의 고주파수 대역의 임피던스는 위 그림 13의 결과와 동일하게 유지하고 공진 주파수에서 유효 용량을 상승시켜 임피던스를 낮춤으로써 전체 스위칭 대역의 임피던스가 목표 기준 이하를 만족하는 결과를 보였다.

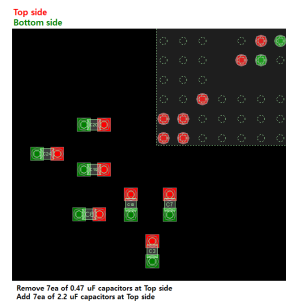


그림 14. PMIC 위치 0.47 uF 제거 및 ESL이 작은 2.2 uF 캐패시터 추가  
 Fig. 14 Remove 0.47 uF PMIC position and adding 2.2 uF capacitors with small ESL



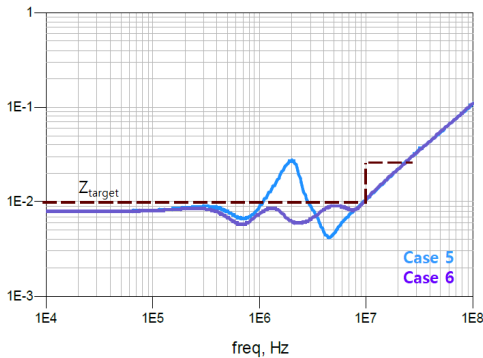


그림 15. PMIC 위치 0.47  $\mu\text{F}$  제거 및 ESL이 작은 2.2  $\mu\text{F}$  캐패시터 추가에 따른 임피던스 분석 결과  
 Fig. 15 Impedance analysis results with removal of PMIC position 0.47  $\mu\text{F}$  and adding 2.2  $\mu\text{F}$  with small ESL

모바일 기기의 전원 무결성 확보를 위한 전원 공급 네트워크 임피던스 특성 분석결과를 바탕으로 주파수 구간별로 최적화 방법을 요약해 보면 아래와 같다.

1. DC ~ 1 MHz : 전원 공급 네트워크 배선 폭을 조정하여 특성 최적화
2. 1 MHz ~ 4 MHz : 1 ~ 4  $\mu\text{F}$  용량으로 기생 성분이 작은 캐패시터를 드라이버 IC 근처에 적용하여 특성 최적화
3. 4 MHz 이상 : 1  $\mu\text{F}$  이하 용량으로 기생성분이 작은 캐패시터를 드라이버 IC 근처에 적용하여 특성 최적화

## V. 결 론

모바일 기기의 전원 공급 네트워크는 실장 밀도 제한으로 인해 일반적인 고속 시스템에 적용되는 평판형이 아니라 전원 선로의 폭이 제한된 배선형으로 설계되어 지고 있다. 따라서 모바일 기기의 전원 공급 네트워크는 DC부터 1 GHz 이상의 주파수 대역까지 임피던스가 목표 기준 이하가 될 수 있도록 설계에 주의를 기하여야 한다.

본 논문에서는 모바일 기기의 VRM에서 드라이버 IC까지 연결되는 배선형 전원 공급 네트워크의 불안정성에 의한 동시 스위칭 노이즈 문제를 해결하기 위해 드라이버 IC 칩에서 요구하는 목표 임피던스를 만

족하도록 디커플링 캐패시터의 위치, 용량, 개수 등의 설계 파라미터를 최적화하는 방법에 대해 분석하고 시뮬레이션을 통해 검증하였다.

본 연구를 통해 제안된 배선형 전원 공급 네트워크 설계 방법은 모바일 어플리케이션 외 고속신호 전송 선로가 포함되는 다양한 응용분야에 확대 적용될 수 있을 것으로 사료된다.

## 감사의 글

본 논문은 2019년도 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 미래선도기술개발사업(NRF-2018M3C1B9089119)의 성과임

## References

- [1] G. Sa and Y. Lim, "Study on Design Criteria of HDMI Transmission Line according to Surface Roughness of Printed Circuit Board Wiring Material," *J. of Korea institute of electronic communication science*, vol. 14, no. 2, 2019, pp. 289-296.
- [2] Y. Jeon, B. Song, J. Kim, J. Park, and Y. Yu, "Implementation of Automotive Multimedia Interface Supporting Multi-Channel Display in Multi-Screen Display," *J. of Korea institute of electronic communication science*, vol. 8, no. 1, 2013, pp. 199-206.
- [3] G. Sa, S. Kim, and Y. Lim, "Design of Ultra Small Dual Cross-dipole Antenna for mobile devices," *J. of Korea institute of electronic communication science*, vol. 14, no. 3, 2019, pp. 489-496.
- [4] G. W. Peterson, J. L. Prince, and K. L. Virga, "Investigation of Power/Ground Plane Resonance Reduction Using Lumped RC Elements," *IEEE Int. Conf. on Electronic Components and Technology*, Las Vegas NV, USA, 2001.
- [5] J. Mao, C. Wang, and G. Selli, "Memory DIMM DC Power Distribution Analysis and Design," *IEEE Int. Conf. on Electronic Components and Technology*, Las Vegas NV,

USA, 2000.

- [6] P. Zhou, K. Sridharan, and S. S. Sapatnekar, "Optimizing Decoupling Capacitors in 3D Circuits for Power Grid Integrity," *IEEE J. of Design & Test of Computers*, vol. 26, no. 5, 2009, pp. 15-25.
- [7] S. W. Guan, C. W. Kuo, C. C. Wang, and T. Kitazawa, "Power and signal integrity co-design for quad flat non-lead package," *IEEE L. of Electronics*, vol. 48, no. 15, 2012, pp. 942-943.
- [8] W. Shenglong, S. Ling, S. Haiyan, Y. Lingling, Z. Boyuan, and L. Junwei, "Relationship between SSN and EMC in SiP," *IEEE Int. Con. on Electronic Packaging Technology*, Dalian, China, 2013.
- [9] S. Huh, D. Chung, and M. Swaminathan, "Near zero SSN power delivery networks using Constant Voltage Power Transmission Lines," *IEEE Int. Symp. on Electrical Design of Advanced Packaging & Systems*, Hong Kong, China, 2009.
- [10] J. Kim, E. Park, J. Lee, K. Park, and Y. Park, "Novel target impedance for power distribution network of simultaneous switching output (SSO) buffers," *IEEE Int. Symp. on Electrical Design of Advanced Packaging & Systems*, Bangalore, India, 2014.
- [11] Y. Chung, S. Kang, and Y. Joung, "Analysis of process parameters on cell capacitances of memory devices," *J. of Korea institute of electronic communication science*, vol. 12 no. 5, 2017, pp. 791-796.
- [12] M. Hua, N. Minxi, T. Anju, and M. Jianghong, "Power and Signal Integrity Analysis of High-speed Mixed-signal Backplanes Based on VPX," *IEEE Int. Symp. on Electromagnetic Compatibility, Signal Integrity and Power Integrity*, Long Beach, CA, USA, 2018.

저자 소개



**사기동(Gi-Dong Sa)**

2003년 영남대학교 전자공학과 졸업(공학사)  
 2005년 영남대학교 대학원 전자공학과 졸업(공학석사)

2013년~현재 전남대학교 대학원 전자공학과 재학 (박사과정)  
 2005년~2010년 ㈜이수페타시스 선행기술연구소 전임연구원  
 2010년~2012년 한국모토로라 H/W개발 전임연구원  
 2012년~2013년 삼성테크윈(주) 선행기술연구소 책임연구원  
 2013년~현재 한국광기술원 책임연구원  
 ※ 관심분야 : Signal and Power Integrity, RF Circuit Design, Computational Electromagnetics, Stretchable and Implantable bio system



**임영석(Yeong-Seog Lim)**

1980년 서울대학교 전자공학과 졸업(공학사)  
 1982년 서울대학교 대학원 전자공학과 졸업(공학석사)

1989년 전북대학교 대학원 전자공학과 졸업(공학박사)  
 1984년~현재 전남대학교 전자공학과 교수  
 ※ 관심분야 : Antenna and RF Circuit Design