

# PERC 태양전지에서 반사방지막과 p-n 접합 사이에 삽입된 SiO<sub>x</sub> 층의 두께가 Potential-Induced Degradation (PID) 저감에 미치는 영향

정동욱<sup>1</sup> · 오경석<sup>2</sup> · 장은진<sup>1</sup> · 천성일<sup>2</sup> · 유상우<sup>1,†</sup>

<sup>1</sup>경기대학교 신소재공학과

<sup>2</sup>전자부품연구원 신재생에너지연구센터

## Thickness Effect of SiO<sub>x</sub> Layer Inserted between Anti-Reflection Coating and p-n Junction on Potential-Induced Degradation (PID) of PERC Solar Cells

Dongwook Jung<sup>1</sup>, Kyoung-suk Oh<sup>2</sup>, Eunjin Jang<sup>1</sup>, Sung-il Chan<sup>2</sup>, and Sangwoo Ryu<sup>1,†</sup>

<sup>1</sup>Department of Advanced Materials Engineering, Kyonggi University, Suwon, 16227, Korea

<sup>2</sup>New & Renewable Energy Research Center, Korea Electronics Technology Institute, Seongnam 13509, Korea

(Received September 6, 2019; Corrected September 18, 2019; Accepted September 27, 2019)

**초 록:** 친환경 및 고효율의 장점 때문에 신재생 에너지원으로 널리 사용되고 있는 실리콘 태양 전지는 모듈을 직렬 연결하여 발전할 때 500-1,500 V의 전압이 걸리게 된다. 모듈 프레임과 태양 전지 사이에 걸린 이러한 고전압 차에 의해 장시간 가동시 효율 및 최대 출력이 감소하는 현상인 potential-induced degradation(PID)은 실리콘 태양 전지의 수명을 단축시키는 주요 원인 중 하나로 알려져 있다. 특별히 전면 유리의 Na<sup>+</sup> 이온이 고전압에 의해 반사방지막을 거쳐 실리콘 내부로 확산하여 실리콘 내부 적층 결함 등에 축적되는 것이 PID의 원인으로 보고되고 있다. 본 연구에서는 p-형 PERC (passivated emitter and rear contact) 구조 실리콘 태양전지를 대상으로 Na<sup>+</sup> 이온의 확산 장벽으로 작용할 수 있는 SiO<sub>x</sub> 층이 p-n 접합과 반사방지막 사이에 삽입되었을 때 그 두께가 PID 현상 완화에 미치는 영향을 연구하였다. 96 시간 동안 1,000 V의 전압을 연속적으로 가한 후 병렬 저항, 효율 및 최대 출력을 측정된 결과 삽입된 SiO<sub>x</sub> 장벽층의 두께가 7-8 nm 이상일 때 비로소 PID 현상이 효과적으로 완화되는 것으로 나타났다.

**Abstract:** Silicon solar cells have been widely used as a most promising renewable energy source due to eco-friendliness and high efficiency. As modules of silicon solar cells are connected in series for a practical electricity generation, a large voltage of 500-1,500 V is applied to the modules inevitably. Potential-induced degradation (PID), a deterioration of the efficiency and maximum power output by the continuously applied high voltage between the module frames and solar cells, has been regarded as the major cause that reduces the lifetime of silicon solar cells. In particular, the migration of the Na<sup>+</sup> ions from the front glass into Si through the anti-reflection coating and the accumulation of Na<sup>+</sup> ions at stacking faults inside Si have been reported as the reason of PID. In this research, the thickness effect of SiO<sub>x</sub> layer that can block the migration of Na<sup>+</sup> ions on the reduction of PID is investigated as it is incorporated between anti-reflection coating and p-n junction in p-type PERC solar cells. From the measurement of shunt resistance, efficiency, and maximum power output after the continuous application of 1,000 V for 96 hours, it is revealed that the thickness of SiO<sub>x</sub> layer should be larger than 7-8 nm to reduce PID effectively.

**Keywords:** potential-induced degradation, Na<sup>+</sup> ion migration, PERC, silicon solar cell, shunt resistance

### 1. Introduction

최근 화석 연료 사용으로 인한 지구온난화 문제와 화석 연료 자체의 고갈로 인해 이를 대체할 수 있는 친환경 신재생 에너지원에 대한 관심이 증가해왔다. 산업통상자

원부는 2019년 6월 제 3차 에너지기본계획으로 2040년까지 신재생에너지 발전 비중을 30~35%로 확대 하기로 발표 하였고 그 추세는 이후로도 더 증가할 것으로 예상된다.<sup>1)</sup> 그 중에서도 태양광 발전은 무공해, 무한한 태양 에너지원을 사용한다는 장점이 있어 많은 연구가 진행되어

<sup>†</sup>Corresponding author

E-mail: sryu@kgu.ac.kr

© 2019, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

왔다. 그러나 태양광 발전이 효과적으로 화석 연료를 대체하기 위해서는 화석연료에 비해 경쟁력을 갖추어야 한다. 2019년 현재 NREL Best Research-Cell Efficiency Chart에서 ISFH 그룹에서 26.1% 변환효율을 가지는 PERC (Passivated Emitter Rear Cell) 구조의 고효율 결정질 실리콘 태양전지가 보고되었다. 국내 태양광 발전소에 보급된 PERC 태양전지 모듈은 인버터 용량에 따라 600~1,000 V 시스템으로 구성하기 위해 직렬 연결하며, 이로 인해 접지된 모듈의 태양전지와 프레임 사이에 고전압이 인가된다. 이때 다습한 조건에 노출될 경우 모듈의 유리 및 봉지재(EVA, POE) 계면(interface)에서 누설 전류가 흐르게 되는데, 이 때  $\text{NaO}_2$ 를 약 12% 함유하고 있는 전면 유리(soda-lime glass) 내에 존재하는  $\text{Na}^+$  이온이 봉지재를 투과하여 PERC 태양전지 반사방지막(anti-reflection coating, ARC) 층인  $\text{SiN}_x$ 계면으로 확산되어 Si 내의 적층 결함(stacking fault)를 채움으로써 또 다른 결함을 발생시킨다.<sup>2-6)</sup> 이로 인해 수 개월 내에 모듈의 프레임과 태양전지 사이에 누설 전류가 발생하고 분극화가 이루어지면서 태양 전지의 효율 및 최대 출력의 급격한 저하가 일어나게 되는데, 이러한 현상을 potential-induced degradation (PID)라고 한다.<sup>7-11)</sup>

PID는 다음의 두 가지 방법으로 억제 가능한 것으로 알려져 있다. 첫번째 방법은, 반사방지막으로 사용되는  $\text{SiN}_x$  층의 굴절률을 조절하는 것이다. 굴절률이 증가하면  $\text{SiN}_x$  층의 전도성이 증가하고, 이로 인해  $\text{SiN}_x$  내로  $\text{Na}^+$  이온의 유입이 감소하여 PID 현상을 억제할 수 있다.<sup>12-15)</sup> 그러나 굴절률이 2.14 이상 일 때 이 경우 단파장의 빛을 투과시키지 못하기 때문에 단락전류( $I_{sc}$ )의 감소로 인해 효율이 저하되는 문제가 발생한다.<sup>12)</sup> 두번째 방법은 기존의  $\text{SiN}_x$  반사방지막 위 또는 아래에  $\text{SiO}_x$ 와 같이 이온의 확산을 막을 수 있는 새로운 장벽(barrier)층을 도입하는 것이다.  $\text{SiO}_x$ 와 같은 산화물 장벽층은  $\text{Na}^+$  이온들의 확산을 방지하고 shunting path를 감소시키는데, 이로 인해 PID에 대한 저항성이 향상되는 것이다.<sup>16-18)</sup> 이러한 연구 추세에 따라 실제로  $\text{SiO}_x$ 와  $\text{SiN}_x$ 를 다층 구조로 적용한 반사방지막이 PID 현상을 효과적으로 억제할 수 있다고 보고되었다.<sup>16)</sup>  $\text{SiO}_x$ 와  $\text{SiN}_x$ 의 위치가 PID 현상에 미치는 영향에 최근 연구 결과에 따르면  $\text{SiO}_x$ 층이  $\text{SiN}_x$ 층과 p-n 접

합 사이에 위치할 경우 PID가 가장 효과적으로 억제되는 것으로 알려졌다.<sup>19)</sup>

따라서 본 연구에서는  $\text{SiO}_x$ 장벽층의 두께와 PID 현상의 연관성에 대해 연구하기 위하여 서로 다른 두께의  $\text{SiO}_x$  층이 삽입된  $\text{SiN}_x/\text{SiO}_x/\text{Si}$ 접합 구조로 이루어진 p-type PERC Si 태양전지의 PID 현상을 분석하였다. 그 결과,  $\text{SiO}_x$ 층의 두께가 최소 7-8 nm 정도가 되어야 PID가 효과적으로 개선됨을 알 수 있었다.

## 2. Experimental

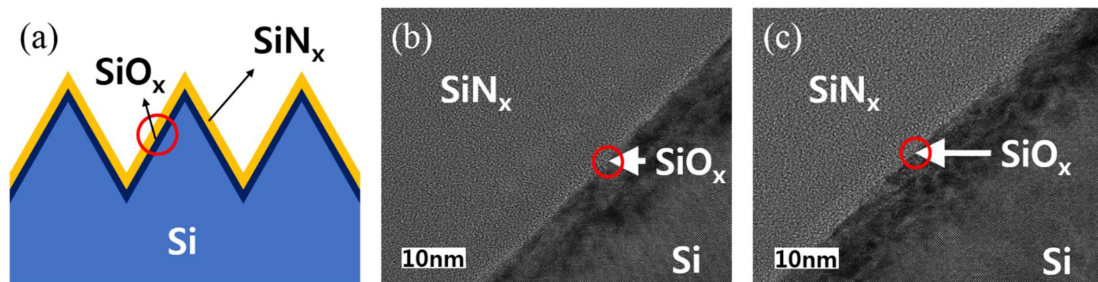
본 연구에서는 일반적인 p-type PERC Si 태양전지 제조 공정에서 PSG(phosphosilicate glass) 제거 공정 이후 thermal oxidation을 통해 서로 다른 두께의  $\text{SiO}_x$ 층을 p-n 접합 위에 만들고 그 위에 PECVD 방법으로  $\text{SiN}_x$ 반사방지막을 증착하는 과정을 통해  $\text{SiN}_x/\text{SiO}_x/\text{Si}$ 태양전지 구조를 제조하였다.

Fig. 1(a)는 이와 같은 방법으로 제작된  $\text{SiN}_x/\text{SiO}_x/\text{Si}$ 구조의 모식도이며, 고분해능 투과전자현미경(JEOL, JEM-2100F)을 이용하여  $\text{SiN}_x/\text{SiO}_x/\text{Si}$ 구조 및  $\text{SiO}_x$ 층의 두께를 분석하였다.

PID 열화 시험을 위해 IEC62804-1의 국제공인규격 기반 셀 단위 태양전지 시험 장치를 사용하였으며, 알루미늄 척, 태양 전지, 봉지재, 유리, 2 kg의 알루미늄 추를 적층하였다. 각 태양 전지의 온도는 핫플레이트를 사용하여 60 °C로 제어되었고, 태양 전지 후면 전극과 접촉한 알루미늄 척에는 -1,000 V, 유리 상단의 알루미늄 추에는 +1,000 V의 전압을 인가하여 96시간동안 시험 되었다. 태양 전지의 효율(eficiency), 출력( $P_{max}$ )분석을 위해 솔라시뮬레이터(Wacom Electric Co., Ltd)를 사용하였고, shunt resistance( $R_{sh}$ ) 분석을 위해 Dark I-V 분석장치(2401 source measurement unit, Keithley Instruments)를 사용하였다.

## 3. Results and Discussion

Fig. 1(b), (c)는 서로 다른 두께의  $\text{SiO}_x$ 층을 가지는 두 시료의 고분해능 투과전자현미경 이미지이다. 반사방지막으로 사용된  $\text{SiN}_x$ 층과 Si 사이에 비정질의  $\text{SiO}_x$ 층을 확



**Fig. 1.** HRTEM analysis of  $\text{SiN}_x/\text{SiO}_x/\text{Si}$  structure. (a) Schematic diagram of  $\text{SiN}_x/\text{SiO}_x/\text{Si}$  structure. (b) and (c) are high resolution TEM image of  $\text{SiN}_x$ /thin  $\text{SiO}_x/\text{Si}$  structure and  $\text{SiN}_x$ /thick  $\text{SiO}_x/\text{Si}$  structure, respectively.

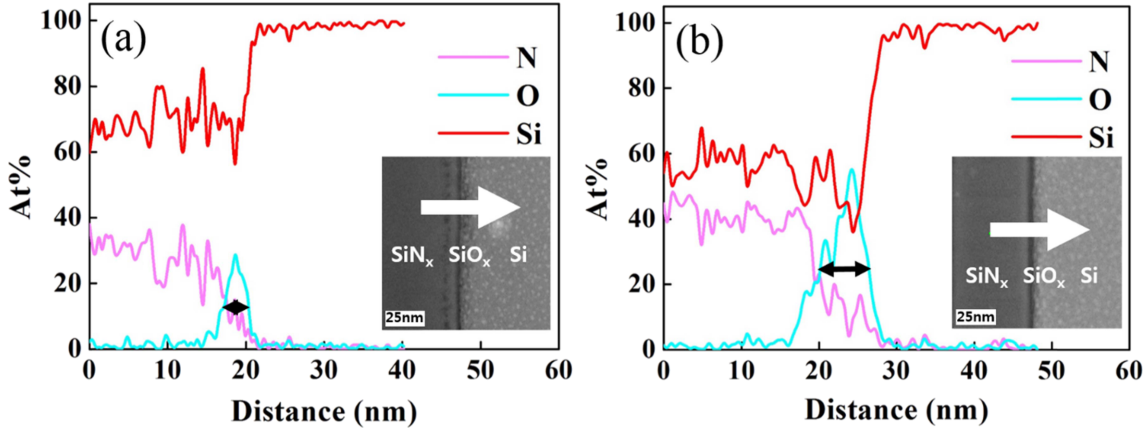


Fig. 2. Composition analysis by HRTEM EDS through (a) thin SiO<sub>x</sub> layer and (b) thick SiO<sub>x</sub> layer. Insets show the scanning directions used for the EDS analysis.

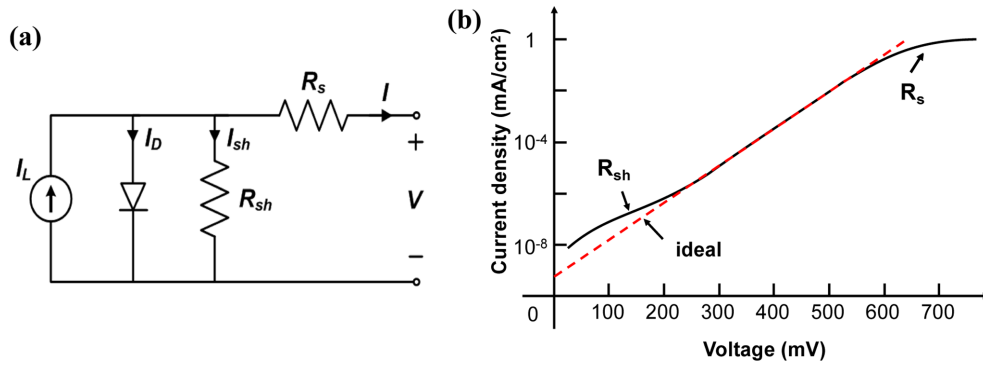


Fig. 3. (a) Equivalent diode circuit of a photovoltaic cell with  $R_s$  and  $R_{sh}$ . (b) Semi-log plot of ideal dark I-V and Dark I-V with  $R_s$  and  $R_{sh}$ .

인할 수 있다. SiO<sub>x</sub>층의 두께를 보다 정확하게 분석하기 위하여 Fig. 2(a), (b)와 같이 SiN<sub>x</sub>부터 SiO<sub>x</sub>층을 거쳐 Si까지 EDS(Energy Dispersive X-ray Spectroscopy) line profile 분석을 실시하였다.

Fig. 2(c), (d)에 나와 있는 것처럼 SiO<sub>x</sub>층의 두께에 따라서 산소 원자의 분포가 다르게 나타났으며, 산소 원자 분포 피크의 반치전폭(FWHM, full width half maximum) 값으로 판단한 SiO<sub>x</sub>층의 두께는 각각 4-5 nm, 7-8 nm이었다. 편의상 상대적으로 얇은 전자의 경우를 thin SiO<sub>x</sub>, 상대적으로 두꺼운 후자의 경우를 thick SiO<sub>x</sub>로 명명하고자 한다.

PID 저항성 평가를 위해 Dark I-V 측정과 Light I-V 측정을 진행하였다. Light I-V 측정은 단락전류( $I_{sc}$ ), 개방전압( $V_{oc}$ )과 같은 효율과 관련된 특성을 직접적으로 얻을 수 있지만 고유의 특성을 평가하기 어려운 단점이 있기 때문에 태양전지의 고유의 특성을 평가하기 위해서는 dark I-V 측정이 병행되어야 한다.<sup>20)</sup> Dark I-V 측정은 광조사 없이 기본적인 성능 매개 변수를 결정하는 효과적인 방법으로서 광전변화 효율과 같은 정보는 제공하지 않지만  $R_s$ (series resistance, 직렬 저항),  $R_{sh}$ (shunt resistance, 병렬 저항), 다이오드 계수 및 다이오드 포화 전류에 대한 데이터를 제공하며 접합의 품질과 격자 및 접촉 저항과 같은 에미터 특성을 평가할 수 있는 유용한 방법이다.<sup>21)</sup>

Shockley diode equation에 따라 p-n 접합 다이오드로 볼 수 있는 태양전지의 암전류(dark current)는 식 (1)과 같이 표현된다.<sup>22)</sup>

$$I = I_0 \left[ \exp\left(\frac{qV}{n\kappa T}\right) - 1 \right] \quad (1)$$

이때,  $I_0$ 는 빛이 없는 상태의 포화 전류이며 이는 곧 누설 전류를 의미한다. 여기서  $q$ 는 전하량,  $\kappa$ 는 볼츠만 상수,  $V$ 는 다이오드에 인가된 전압,  $n$ 은 이상 계수(ideality factor)이다. Fig. 3(a)의 태양전지 등가회로에서 병렬 저항( $R_{sh}$ )과 직렬 저항( $R_s$ )을 고려하여 Kirchhoff's voltage rule을 식 (1)에 적용하면 전체 암전류는 식 (2)와 같이 나타내진다.

$$I = I_0 \left[ \exp\left(\frac{qV}{n\kappa T}\right) - 1 \right] + \frac{V - IR_s}{R_{sh}} \quad (2)$$

식 (2)의 전류-전압 관계를 log(current)-voltage로 semi-log plot을 하면 직렬 저항 및 병렬 저항의 크기에 따라서 Fig. 3(b)와 같이 이상적인 직선에서 벗어난 관계를 얻게 된다. 이 때 전압이 작은 영역에서는 병렬 저항에 의해서 전체 전류가 지배적으로 영향을 받게 되고, 전압이 큰 영

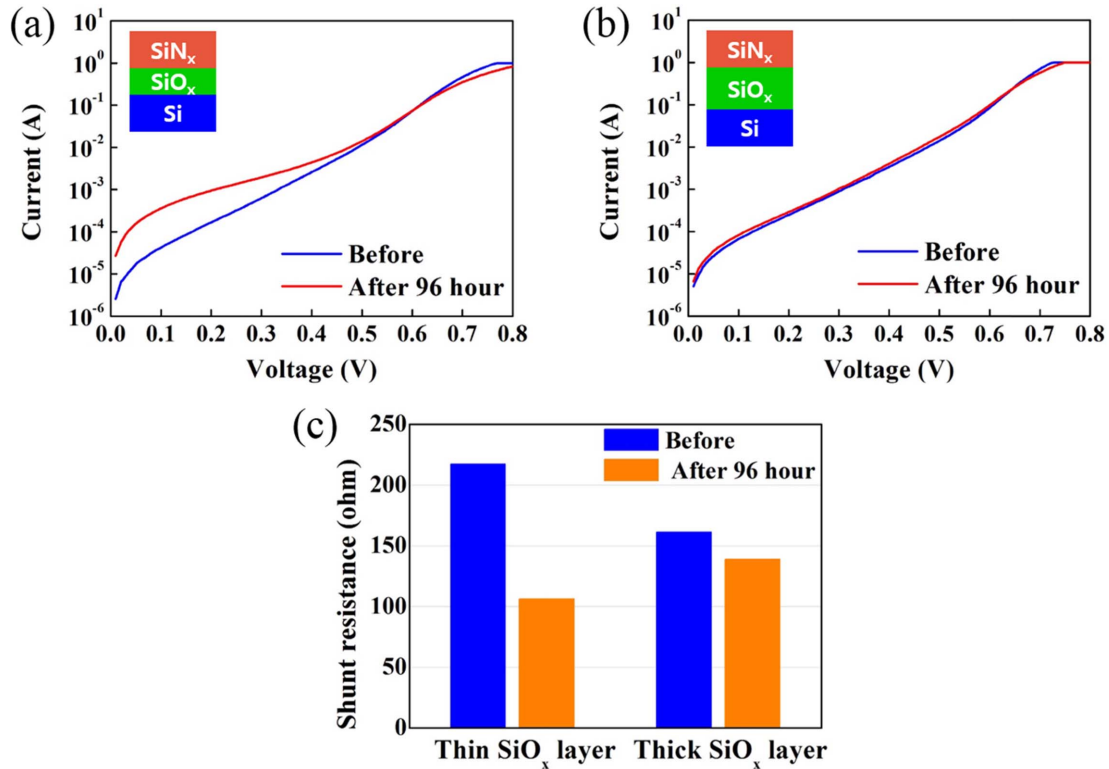


Fig. 4. Comparison of dark I-V measurements for (a) thin SiO<sub>x</sub> and (b) thick SiO<sub>x</sub> layer before and after PID test for 96 hours. (c) Shunt resistance change after PID test for 96 hours.

Table 1. Comparison of shunt resistance ( $R_{sh}$ ) from dark I-V analysis

Time (h)	Thin SiO <sub>x</sub>	Thick SiO <sub>x</sub>
0	217.39 ( $\Omega$ )	161.29 ( $\Omega$ )
96	106.38 ( $\Omega$ )	138.89 ( $\Omega$ )
감소율 (%)	51.1	13.9

역에서는 직렬 저항에 의해서 전체 전류가 지배적으로 영향을 받게 된다.<sup>22-25)</sup>

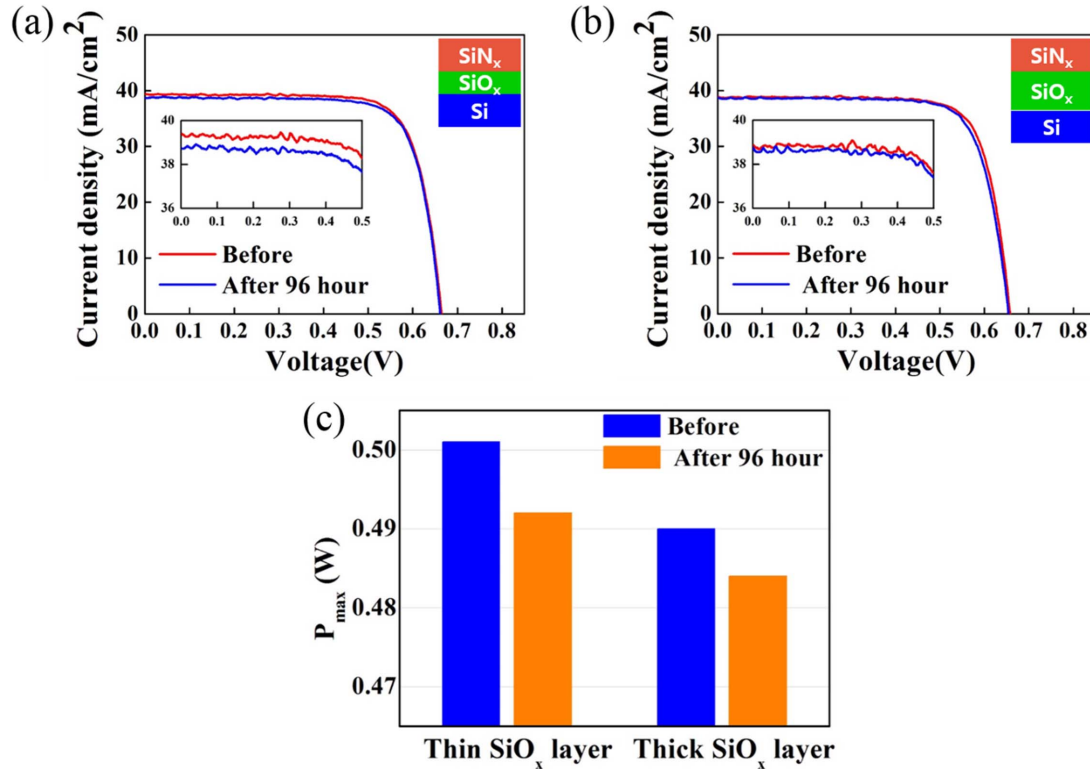
이를 바탕으로 Fig. 4에 60 °C에서 이 두 가지 구조에 1,000 V의 전압을 96 시간 동안 연속적으로 인가하기 전후의 Dark I-V 측정 결과 및  $R_{sh}$ 값의 변화를 나타내었다. 높은 전압 영역은 거의 변화가 없는 반면,  $R_{sh}$ 에 의해 좌우되는 낮은 전압 영역에서 변화가 나타났음을 알 수 있다. thick SiO<sub>x</sub>의 경우  $R_{sh}$ 값은 161.29  $\Omega$ 에서 138.89  $\Omega$ 로 13.9 % 감소하였으며, thin SiO<sub>x</sub>의 경우에는 217.39  $\Omega$ 에서 106.38  $\Omega$ 로 51.1 %의 보다 큰 감소율을 보였다. 이러한 결과는 SiO<sub>x</sub>층이 Na<sup>+</sup> 이온의 축적을 방지함으로써 shunting path 생성이 줄어들어 PID가 억제되었기 때문으로 생각된다. Dark I-V 측정으로부터 도출된  $R_{sh}$ 값의 변화를 Table 1에 정리하였다. 이상적인 태양전지는 등가 회로 상  $R_{sh}$ 가 무한대이어야 내부 누설전류 없이 출력 저하가 일어나지 않지만,  $R_{sh}$ 가 감소 되면 태양 전지 내부 저항이 감소되어 누설 전류가 발생하고, 이로 인해 광흡

수로 생성된 전자들이 전극을 통해 효과적으로 빠져나가지 못하게 된다.

Light I-V 측정 결과, Fig. 5(a), (b)에 나타나 있듯이, thin SiO<sub>x</sub>의 경우에 96시간 연속 전압 인가 후 단락전류밀도 ( $J_{sc}$ )가 상대적으로 더 많이 감소하였다. 또한 Fig. 5(c), (d)에 정리한 것처럼, thick SiO<sub>x</sub>의 경우 효율은 19.6 %에서 19.32 %로, 최대 전력은 0.49 W에서 0.484 W로 각각 1.2 % 감소한 반면, thin SiO<sub>x</sub>의 경우 효율은 20.04 %에서 19.68 %로, 최대 전력은 0.501 W에서 0.492 W로 각각 1.8 % 감소하였다. Dark I-V 측정 결과와 유사하게 thick SiO<sub>x</sub>의 경우에 열화 현상이 상당히 개선됨을 보였는데 이 역시 Na<sup>+</sup> 이온 축적 감소 및 shunting path 감소에 따른 효과로 볼 수 있다.

#### 4. Conclusion

본 연구에서는 PERC 태양전지 구조에서 SiN<sub>x</sub>반사방지막과 p-n 접합 사이에 삽입된 SiO<sub>x</sub>층의 두께가 PID 현상에 미치는 영향을 분석하였다. 60 °C의 조건에서 96시간 동안 연속적으로 1,000 V의 전압을 인가하여 열화 시험을 진행한 후 I-V 측정을 통해 태양전지 특성의 변화를 비교 평가하였다. SiO<sub>x</sub>층의 두께가 4-5 nm일 때까지는 효율 및 최대 전력이 약 1.8 % 감소한 반면, SiO<sub>x</sub>층의 두께가 일정 수준을 넘어서 7-8 nm가 될 경우 효율 및 최대 전력 감소폭이 상당히 줄어들었다. 이는 SiO<sub>x</sub>층이 Na<sup>+</sup> 이



**Fig. 5.** Comparison of light I-V measurement for (a) thin SiO<sub>x</sub> and (b) thick SiO<sub>x</sub> before and after PID test for 96 hours. (c) P<sub>max</sub> change after PID test for 96 hours.

**Table 2.** Photovoltaic characteristics from light I-V analysis for the structures with thin SiO<sub>x</sub> and thick SiO<sub>x</sub>

	J <sub>sc</sub> (mA/cm <sup>2</sup> )	V <sub>oc</sub> (V)	F.F (%)	Eff (%)	P <sub>max</sub> (W)
Thin SiO <sub>x</sub>	39.4	0.665	76.5	20.04	0.501
	38.76	0.662	76.7	19.68	0.492
감소율 (%)	1.6	0.5	-0.3	1.8	1.8
Thick SiO <sub>x</sub>	38.84	0.658	76.7	19.6	0.49
	38.76	0.655	76.3	19.36	0.484
감소율 (%)	0.2	0.5	0.5	1.2	1.2

온의 축적을 방지하고 shunting path를 감소시켰기 때문으로 생각되며, SiO<sub>x</sub>층의 두께가 두꺼울수록 PID 현상이 효과적으로 억제됨을 알 수 있었다. 추후에 투습이 일어날 수 있는 높은 습도 및 높은 온도의 가혹한 환경에서의 PID 시험 평가를 진행한다면 SiO<sub>x</sub>장벽층이 PID에 미치는 영향을 보다 면밀하게 실용적인 관점에서 분석할 수 있을 것으로 기대한다. 또한 상대적으로 두꺼운 SiO<sub>x</sub>장벽층이 사용된 경우 PID 시험 평가 후 효율 및 최대 출력의 감소폭은 작지만 얇은 SiO<sub>x</sub>의 경우에 비해서 절대값 자체가 작은 점에 대해서는 보다 자세한 분석이 필요할 것으로 생각된다. 나아가 SiO<sub>x</sub>층이 삽입됨에 따라 층 박막의 두께와 굴절률 및 passivation특성이 변할 것이기 때문에 향후 굴절률과 passivation특성을 고려하여 반사방지막과 SiO<sub>x</sub>층의 최적 두께에 대한 추가적인 연구가 필요하다.<sup>26)</sup>

## Acknowledgement

본 연구는 산업통상자원부(MOTIE)와 한국에너지기술평가원(KETEP)의 지원을 받아 수행한 연구 과제입니다. (No. 20183010014320)

This work was supported by the Korea Institute of Energy Technology Evaluation and Planning (KETEP) and the Ministry of Trade, Industry & Energy (MOTIE) of the Republic of Korea (No. 20183010014320).

## References

1. J. H. Hwang, "Renewable energy supply such as solar light in the first half of this year 52% ↑ than last year", The Korean Broadcasting System, (Jul. 31, 2019) from <http://news.kbs.co.kr/news/view.do?ncd=4244113&ref=A>

2. V. Naumann, C. Brzuska, M. Werner, S. Grober, and C. Hagendorf, "Investigations on the Formation of Stacking Fault like PID-shunt", *Energy Procedia*, 92, 569 (2016).
3. K. Sporleder, V. Naumann, J. Bauer, S. Richter, A. Hähnel, S. Großer, M. Turek, and C. Hagendorf, "Microstructural Analysis of Local Silicon Corrosion of Bifacial Solar Cells as Root Cause of Potential-Induced Degradation at the Rear Side", *Phys. Status Solidi A*, 1900334 (2019).
4. Y. Ohno, H. Morito, K. Kutsukake, I. Yonenaga, T. Yokoi, A. Nakamura, and K. Matsunaga, "Interaction of sodium atoms with stacking faults in silicon with different Fermi levels", *Appl. Phys. Express.*, 11(6), 061303 (2018).
5. V. Naumann, D. Laush, A. Hähnel, J. Bauer, O. Breitenstein, A. Graff, M. Werner, S. Swatek, S. Großer, J. Bagdahn, and C. Hagendorf, "Explanation of potential-induced degradation of the shunting type by Na decoration of stacking faults in Si solar cell", *Sol. Energ. Mat. Sol. C.*, 120, 383 (2014).
6. V. Naumann, D. Lausch, S. Großer, M. Werner, S. Swatek, C. Hagendorf, and J. Bagdahn, "Microstructural Analysis of Crystal Defects Leading to Potential-Induced Degradation (PID) of Si Solar Cells", *Energy Procedia*, 33, 76 (2013).
7. S. S. Baik, S. Y. Baek, T. W. Jung, and J. H. Cho, "A Study on Validity of Anti-PID Technology on Solar Cell for the High Reliability of Photovoltaics System", *J. Soc. Korea Ind. Syst. Eng.*, 36(2), 32 (2013).
8. P. Saint-Cast, H. Nagel, D. Wagenmann, J. Schön, P. Schmitt, C. Reichel, S. W. Glunz, M. Hofmann, J. Rentsch, and R. Preu, "Potential-induced degradation on cell level: The inversion model", *Proc. 28th European PV Solar Energy Conference and Exhibition*, Paris, France (2013).
9. C. Taubitz, M. Schütze, and M. B. Koentopp, "Towards a kinetic model of potential-induced shunting", *Proc. 27th European Photovoltaic Solar Energy Conference and Exhibition*, Frankfurt, Germany, 3172 (2012).
10. H. B. Kim, T. H. Jung, G. H. Kang, and H. S. Chang, "The Effect of PID Generation by Components of the PV Module", *J. Korean Inst. Electr. Electron. Mater. Eng.*, 26, 760 (2013).
11. B. Ziebarth, M. Mrovec, C. Elsässer, and P. Gumbsch, "Potential-induced degradation in solar cells: Electronic structure and diffusion mechanism of sodium in stacking faults of silicon", *J. Appl. Phys.*, 116, 093510 (2014).
12. S. H. Bae, W. W. Oh, S. M. Kim, Y. D. Kim, S. G. Park, Y. M. Kang, H. S. Lee, and D. W. Kim, "Potential Induced Degradation (PID) of Crystalline Silicon Solar Modules", *Korean J. Mater. Res.*, 24(6), 326 (2014).
13. J. Oh, B. Dauksher, S. Bowden, G. Tamizhmani, P. Hacke, and J. D' Amico, "Further Studies on the Effect of  $\text{SiN}_x$  Refractive Index and Emitter Sheet Resistance on Potential-Induced Degradation", *IEEE J. Photovolt.*, 7(2), 437 (2017).
14. X. Gou, X. Li, S. Zhou, S. Wang, W. Fan, and Q. Huang, "PID Testing Method Suitable for Process Control of Solar Cells Mass Production", *Int. J. Photoenergy.*, 2015, 863248 (2015).
15. D. Lausch, V. Naumann, O. Breitenstein, J. Bauer, A. Graff, J. Bagdahn, and C. Hagendorf, "Potential-Induced Degradation (PID): Introduction of a Novel Test Approach and Explanation of Increased Depletion Region Recombination", *IEEE J. Photovolt.*, 4, 834 (2014).
16. W. Luo, Y. S. Khoo, P. Hacke, V. Naumann, D. Lausch, S. Harvey, J. P. Singh, J. Chai, Y. Wang, A. Aberle, and S. Ramakrishna, "Potential-induced degradation in photovoltaic modules: a critical review", *Energy Environ. Sci.*, 10(1), 43 (2017).
17. C. -S. Jiang, C. Xiao, H. R. Moutinho, S. Johnston, M. M. Al-Jassim, X. Yang, Y. Chen, and J. Ye, "Imaging Charge Carriers in Potential-Induced Degradation Defects of c-Si Solar Cells by Scanning Capacitance Microscopy", *Sol. Energy.*, 162, 330 (2018).
18. K. S. Oh, S. H. Bae, K. J. Lee, D. H. Kim, and S. I. Chan, "Mitigation of potential-induced degradation (PID) based on anti-reflection coating (ARC) structures of PERC solar cells", *Microelectronics Reliability*, 113462 (2019).
19. D. L. King, B. R. Hansen, J. A. Kratochvil, and M. A. Quintana, "Dark current-voltage measurements on photovoltaic modules as a diagnostic or manufacturing tool", *Proc. 26th Photovoltaic Specialists Conference 1997 (PVSC)*, IEEE (1997).
20. S. J. Jeong, S. M. Kim, Y. M. Kang, H. S. Lee, and D. H. Kim, "Use of a Transformed Diode Equation for Characterization of the Ideality Factor and Series Resistance of crystalline Silicon Solar Cells Based on Light I-V Curves", *Korean J. Mater. Res.*, 26(8), 422 (2016).
21. G. K. Chang, Y. K. Lim, and J. C. Jeong, "Textured Surface Epitaxial Base Silicon Solar cell", *J. Microelectron. Packag. Soc.*, 10(2), 33 (2003).
22. K. R. McIntosh, and C. B. Honsberg, "The Influence of Edge Recombination on a Solar Cell's IV Curve", *Proc. 16th European Photovoltaic Solar Energy Conference (EU PVSEC)*, Australia, 2052 (2000).
23. E. L. Meyer, "Extraction of Saturation Current and Ideality Factor from Measuring  $V_{oc}$  and  $I_{sc}$  of Photovoltaic Modules", *International Journal of Photoenergy*, 2017, 8479487 (2017).
24. I. Martil, and G. Diaz, "Determination of the dark and illuminated characteristic parameters of a solar cell from I-V characteristics", *Eur. J. Phys.*, 13, 193 (1992).
25. J. Zhao, A. Wang, X. Dai, M. A. Green, and S. R. Wenham, "Improvements in Silicon Solar Cell Performance", *Proc. 22nd Photovoltaic Specialists Conference (PVSC)*, IEEE (1991).
26. H. G. Hong, and J. Y. Heo, "Study on the Passivation of Si Surface by Incorporation of Nitrogen in  $\text{Al}_2\text{O}_3$  Thin Films Grown by Atomic Layer Deposition", *J. Microelectron. Packag. Soc.*, 22(4), 111 (2015).