

Stack 기술을 이용한 향상된 감내 특성을 갖는 SCR 기반 ESD 보호 소자에 관한 연구

A Study on SCR-Based ESD Protection Device with Improved Robustness Using Stack Technology

곽재창*

Jae-Chang Kwak*

Abstract

In this paper, a new ESD protection device is proposed to improve the trigger voltage and robustness. The HHVSCR and the proposed device were compared to verify the trigger voltage, the holding voltage and the robustness. The gate length was modified to verify the electrical characteristics. The trigger voltage, the holding voltage and the robustness were certified by comparing the proposed device and the stacking structure.

요약

본 논문에서는 트리거 전압과 감내 특성을 개선시키기 위해 HHVSCR의 구조적 변경을 바탕으로 Stack 기술을 적용한 새로운 ESD 보호 소자를 제안한다. 우선 HHVSCR과 제안된 ESD 보호 소자를 비교하여 트리거 전압과 홀딩 전압, 감내 특성을 확인하였고 게이트 길이에 대한 변수를 추가하였다. 마지막으로, 제안된 ESD 보호 소자와 Stack을 적용한 소자를 비교하여 트리거 전압과 홀딩 전압, 감내 특성을 비교하였다.

Key words : HHVSCR, Stack, Trigger voltage, Holding voltage, Robustness

1. 서론

ESD(Electro Static Discharge)란 충전된 전하가 접촉에 의하여 전위가 낮은 물질로 이동하는 현상을 의미한다. 이를 디바이스 측면에서 고려할 경우 대전된 기계나 인체가 반도체의 외부 핀과 접촉했을 때, 고 전류 특성과 단시간 특성을 포함하기 때문에 IC내부의 반도체 소자와 금속 배선 등을 파괴

하고 회로의 오작동을 유발시켜 IC에 손상을 입힌다. 이러한 ESD에 의한 파괴는 전체 IC 불량률의 30%이상을 차지한다. 따라서 ESD 현상은 집적회로의 올바른 동작과 신뢰성 측면에서 반드시 고려해야 한다[1-2]. 대표적인 ESD 보호 소자로 널리 알려져 있는 SCR은 우수한 전류구동능력을 가지고 있다. 하지만 트리거 전압이 높기 때문에 내부 회로가 낮은 전압을 사용하는 경우 적용이 어렵고

* Dept. of Electronics Engineering, Seokyeong University

★ Corresponding author

E-mail : tejeong@skuniv.ac.kr, Tel : +82-2-940-7760

※ Acknowledgment

This study was funded by the in-house scholarship fund of Seokyeong National University in 2019

Manuscript received Sep. 10, 2019; revised Sep. 23, 2019; accepted Sep. 26, 2019.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

홀딩 전압이 낮기 때문에 래치업 문제가 발생 할 수 있다[3]. SCR에서 홀딩전압을 개선시켜서 래치업에 면역을 지닌 소자가 HHVSCR이다[4]. 본 논문에서는 HHVSCR을 구조적으로 변경해서 트리거 전압과 감내 특성을 향상시킨 SCR 기반의 소자에 Stack 기술을 적용한 ESD 보호 소자를 제안한다. 또한, TCAD 시뮬레이터를 사용하여 이를 검증하였다.

II. 본론

1. 기존의 ESD 보호 소자

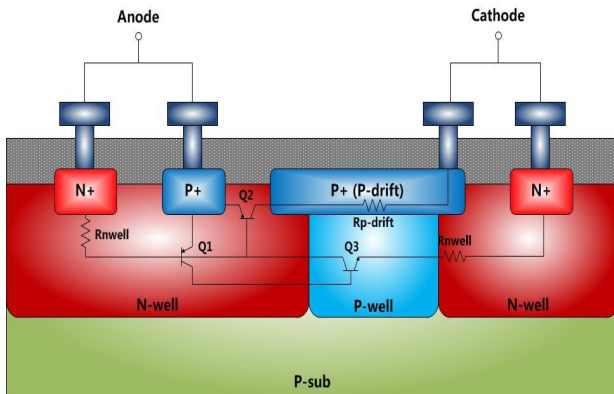


Fig 1. Cross section view of a conventional ESD protection device.

그림 1. 기존 ESD 보호 소자의 단면도

가장 기본적인 ESD 보호 소자인 SCR의 문제점은 홀딩 전압은 너무 낮고, 트리거 전압은 너무 높다는 부분이다. 홀딩 전압이 너무 낮게 되면 래치업에 매우 취약하게 되고, 트리거 전압이 너무 높아져서 Core damage region까지 가게 되면 소자가 파괴될 수 있다. 따라서 래치업 방지를 위해서 홀딩 전압을 높이고 소자가 파괴되는 것을 방지하기 위해서 트리거 전압을 낮춘 ESD 보호 소자가 그림 1의 HHVSCR이다. HHVSCR은 저전압용 ESD 보호 소자로 사용하기 위해 개발 되었다. HHVSCR의 구조적 특징은, Anode단과 연결되어 있는 N-Well 까지 Cathode단과 연결되어 있는 P+ 영역을 확장시켰다는 점이다. 이로 인해, 기존의 SCR은 Avalanche breakdown이 웰 간에서 발생했지만 HHVSCR은 N-Well과 P+ Cathode영역에서 발생시킴으로써 트리거 전압을 낮추었다. 뿐만 아니라, SCR의 기생 바이폴라 트랜지스터의 베이스 폭을 넓어지면 전류이득이 낮아지고 높은 홀딩 전압을 가진다. 또한,

N-Well의 추가적인 형성으로 인해서 방전 경로 상에 웰 저항을 가지게 해서 기생 바이폴라 트랜지스터의 이미터 주입 효율(Emitter Injection Efficiency)을 낮게 조절한다.

2. 제안된 ESD 보호 소자

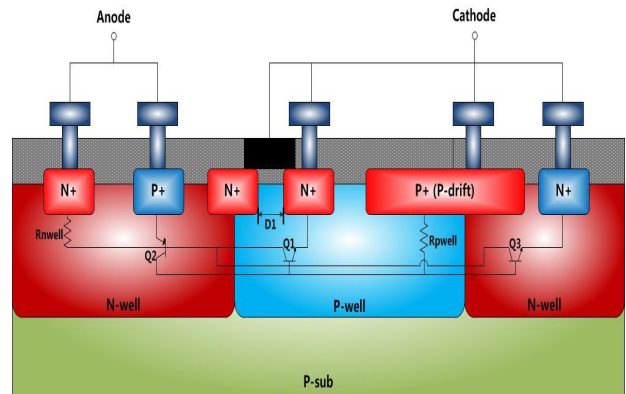


Fig 2. Cross section view of a proposed ESD protection device.

그림 2. 제안된 ESD 보호 소자의 단면도

그림 2는 HHVSCR의 구조적 변경을 통해서 향상된 트리거 전압과 감내 특성을 갖는 ESD 보호 소자이다. 또한 게이트 길이의 변화(D1)를 통해 홀딩 전압에 대한 특성을 분석하였다. 이 ESD 보호 소자는 좌측 웰 간에 위치한 N+ diffusion 영역은 드레인 역할을 하고, P-Well에 삽입된 게이트와 소스 역할을 하는 N+ diffusion 영역, 그리고 P-body 역할을 하는 P+drift 영역을 Cathode단과 연결하여 동작하고 이로 인해 Q1이 추가적으로 동작한다.

동작원리를 살펴보면, 먼저 Anode단으로 ESD 전류가 들어오게 되면 좌측의 웰 간에 위치하는 N+ bridge 영역의 전위가 상승하고 P-Well과 역방향 바이어스 상태가 된다. 이 부분에서 임계 값에 도달하게 되면 Avalanche breakdown이 일어나게 되고 EHP가 생성된다. 생성된 Hole은 P-Well의 전위를 상승시키고 Electron은 N-Well의 전위를 상승시킨다. 이후 P-Well과 N+ diffusion 영역의 전위차가 0.7V 이상이 되면 순방향 Turn-on이 되면서 Q1이 동작하게 된다. 그 후 Q2가 Turn-on되고 전류가 P-Well로 흐르면 P-Well에 전압강하를 일으키고 Q3의 베이스 전류를 제공하게 되면서 Q3가 동작하게 된다. 이 때, 기생 바이폴라 트랜지스터는 positive feedback 동작을 하게 되면서 ESD 전류는 Cathode 단을 통해 방전된다.

3. Stack을 적용한 ESD 보호 소자

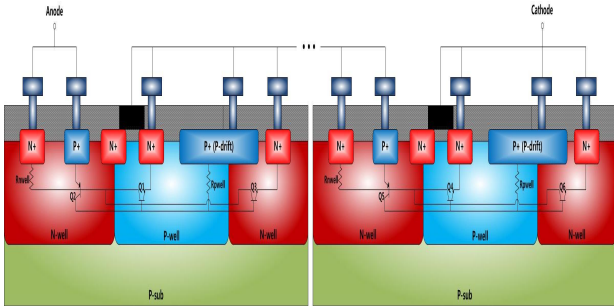


Fig 3. Cross section view of a proposed ESD protection device with Stack.

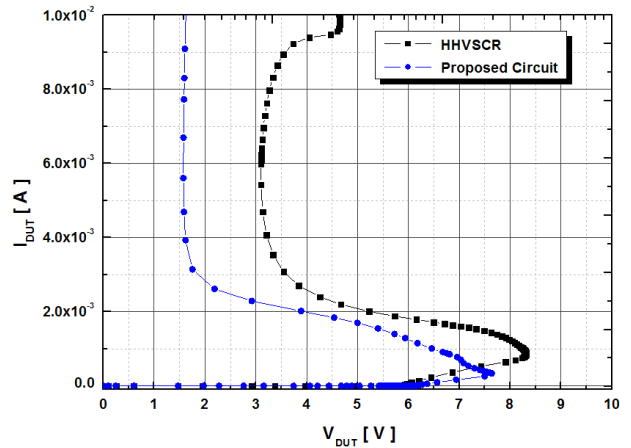
그림 3. Stack을 적용한 ESD 보호 소자의 단면도

그림 3은 어플리케이션의 레벨에 따른 요구 전압을 충족시키기 위해 제안된 ESD 보호 소자에 stack을 적용한 구조이다. 이 소자의 동작원리는 제안된 ESD 보호 소자와 같다. 적용한 Stack 기술로 인해서 ESD Surge가 유입될 경우, 첫 Stage에서 Cathode단을 통해 다음 Stage의 Anode단으로 넘어가면서 방전이 이루어지게 된다. Stack의 단계에 따라 트리거 전압과 홀딩 전압이 증가하며, 이와 같은 메커니즘을 통해 보호하고자 하는 어플리케이션에 적합한 요구 전압에 도달할 수 있게 된다.

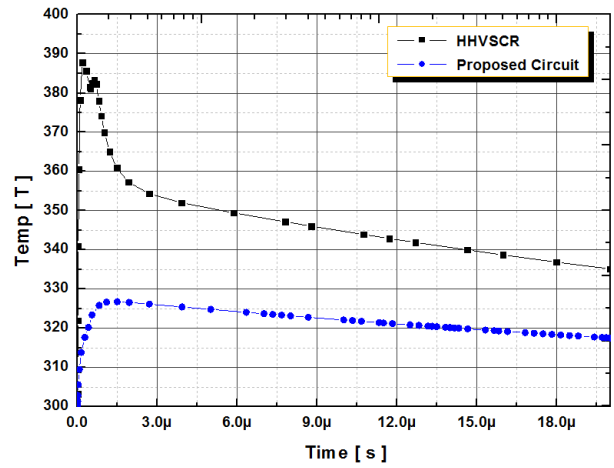
4. 시뮬레이션 결과

본 논문에서는 제안된 보호 소자를 확인하기 위해서 T-CAD 시뮬레이터를 사용하였다.

그림 4와 표 1은 HHVSCR과 제안된 ESD 보호 소자의 I-V 특성과 HBM 4k의 시뮬레이션 결과이다. 두 소자의 트리거 전압은 8.3V, 7.6V이고 홀딩 전압은 3.1V, 1.6V이며, 최대 온도는 387.8K, 328.5K이다. 이는 HBM 4k를 인가한 후에 시간의 변화에 따른 클램핑 전압과 ESD 전류가 방전할 때의 회로 격자의 온도 상승에 따른 그래프이다. 즉, 제안된 ESD 보호 소자의 최대 온도는 326.7K로 기존의 ESD 보호 소자인 HHVSCR의 최대 온도가 387.8K인 것에 비해서 61.1K 낮은 온도에서 ESD 전류를 방전한다. 따라서 HHVSCR에 NMOS를 삽입한 구조인 제안된 ESD 보호 소자는 HHVSCR에 비해 트리거 전압과 감내 특성이 향상되었다.



(a)



(b)

Fig 4. (a) I-V curve and (b) HBM 4k simulation of HHVSCR and proposed ESD protection device.

그림 4. HHVSCR과 제안된 ESD 보호 소자의 (a) I-V curve와 (b) HBM 4k 시뮬레이션

Table 1. (a) I-V curve and (b) HBM 4k simulation of HHVSCR and proposed ESD protection device.

표 1. HHVSCR과 제안된 ESD 보호 소자의

(a) I-V curve와 (b) HBM 4k 시뮬레이션

Structure	Trigger Voltage	Holding Voltage
HHVSCR	8.3 V	3.1 V
Proposed Circuit	7.6 V	1.6 V

(a)

Structure	Peak Temperature
HHVSCR	387.8 K
Proposed Circuit	326.7 K

(b)

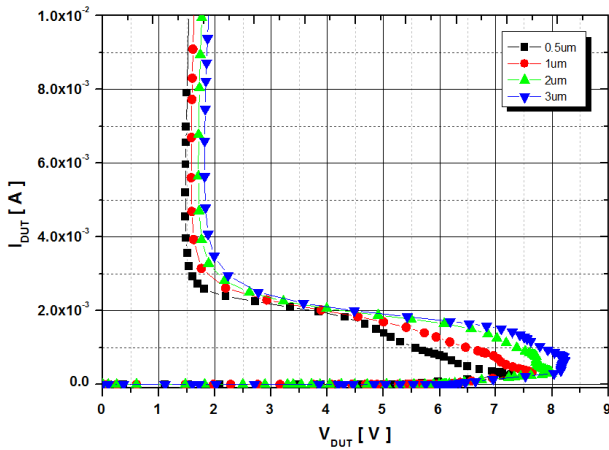


Fig 5. I-V curve depending on Gate length D1.
 그림 5. 게이트 길이 D1의 변화에 따른 I-V curve

Table 2. I-V curve depending on Gate length D1.
 표 2. 게이트 길이 D1의 변화에 따른 I-V curve

Gate Length(D1)	Trigger Voltage	Holding Voltage
0.5 um	7.2 V	1.4 V
1 um	7.6 V	1.6 V
2 um	7.9 V	1.7 V
3 um	8.3 V	1.9 V

그림 5와 표 2는 제안된 ESD 보호 소자의 게이트 길이 변화에 따른 I-V 특성 시뮬레이션 결과이다. 게이트 길이 D1(0.5um, 1um, 2um, 3um)에 대하여 시뮬레이션을 수행하였다. 그 결과, 홀딩 전압은 1.4V, 1.6V, 1.7V, 1.9V순으로 증가하였다. 게이트의 길이는 기생 바이폴라 트랜지스터의 구성 중 베이스 영역이며 이는 P-Well의 길이 성분이 증가하는 것이다. 게이트의 길이가 증가함에 따라서 방전되는 경로 상에 존재하는 저항성분이 증가하기 때문에 이미터 주입 효율이 감소하고 전류이득이 낮아져서 홀딩 전압이 증가하기 때문이다. 따라서 게이트 길이가 길어질수록 홀딩 전압이 증가하기 때문에 낮은 홀딩 전압으로 인하여 야기되는 래치업을 방지할 수 있다. 이 때, 트리거 전압은 게이트 길이가 증가에 따라 7.2V, 7.6V, 7.9V, 8.3V로 증가하는 경향성을 보이는데 이는 전체 방전 경로가 길어질수록 기생 바이폴라 트랜지스터의 형성이 어려워지기 때문이다.

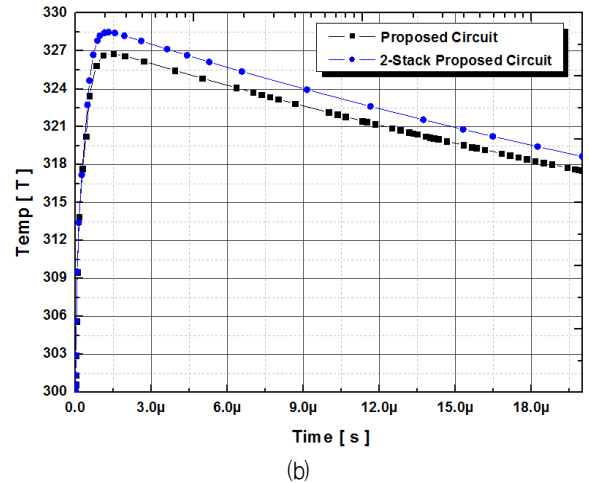
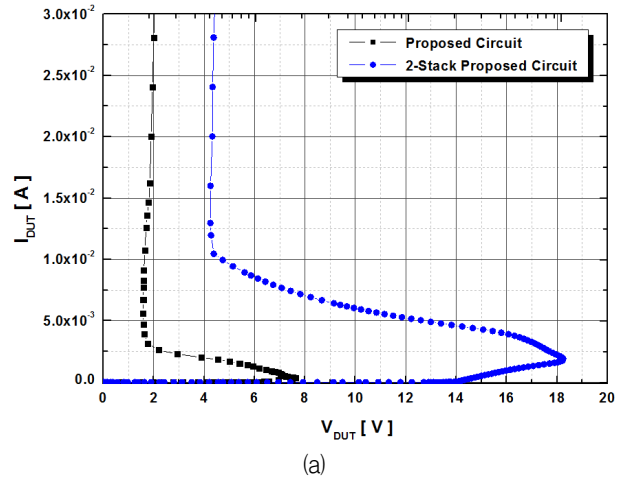


Fig 6. (a) I-V curve and (b) HBM 4k simulation of proposed and 2-stack proposed ESD protection devices.
 그림 6. 제안된 ESD 보호 소자와 2-stack ESD 보호 소자의 (a) I-V curve와 (b) HBM 4k 시뮬레이션

Table 3. (a) I-V curve and (b) HBM 4k simulation of proposed and 2-stack proposed ESD protection devices.
 표 3. 제안된 ESD 보호 소자와 2-stack ESD 보호 소자의 (a) I-V curve와 (b) HBM 4k 시뮬레이션

Structure	Trigger Voltage	Holding Voltage
Proposed Circuit	7.6 V	1.6 V
2-Stack Proposed Circuit	18.2 V	4.2 V

(a)

Structure	Peak Temperature
Proposed Circuit	326.7 K
2-Stack Proposed Circuit	328.5 K

(b)

6과 표 3은 제안된 ESD 보호 소자와 Stack을 적용한 소자의 I-V 특성과 HBM 4k에 대하여 수행된 시뮬레이션 결과이다. 두 소자의 트리거 전압은 7.6V, 18.2V이며 홀딩 전압은 1.6V, 4.2V로 나타났으며, 최대 온도는 326.7K, 328.5K이다. 트리거 전압이 약 2배 향상되었기 때문에 높은 전압을 요구하는 어플리케이션에서 응용이 가능하고 HHVSCR을 개선시킴으로써 다소 감소하였던 홀딩전압이 HHVSCR보다 높은 수준으로 회복하였다. 하지만, Stack을 적용한 소자는 328.5K로 제안된 ESD 보호 소자인 HHVSCR이 326.7K인 것에 비해서 약 1.8K 높은 온도에서 ESD 전류를 방전하기 때문에 감내 특성이 다소 감소하였다.

III. 결론

본 논문에서는 HHVSCR에 NMOS 구조를 삽입한 소자에 대하여 Stack 기술을 적용한 구조를 제안한다. 제안된 ESD 보호 소자는 HHVSCR에 비해 향상된 감내 특성을 보였지만, 홀딩전압이 다소 낮게 측정이 되었다. 이를 해결하기 위해서 게이트 길이의 변화로 홀딩 전압을 개선시킬 수 있고 Stack 기술을 적용함으로써, 홀딩전압을 기존의 HHVSCR보다 높은 수준까지 끌어올려서 래치업 문제를 개선할 수 있다. 하지만 감내 특성은 다소 감소한 것을 확인할 수 있다.

References

- [1] S. Tiwari, T. Undeland, S. Basu, and W. Robbins, "Silicon carbide power transistors, characterization for smart grid applications," in *Power Electronics and Motion Control Conference (EPE/PEMC), 2012 15th International*, pp.LS6d. 2-1-LS6d.2 - 8, 2012.
DOI: 10.1109/EPEPEMC.2012.6397497
- [2] R. Kaplar, M. J. Marinella, S. DasGupta, M. A. Smith, S. Atcity, M. Sun, and T. Palacios, "Characterization and reliability of sic-and ganbased power transistors for renewable energy applications," in *Energytech, 2012 IEEE*, pp.1-6, 2012.
DOI: 10.1109/EOSESD.2006.5256797

- [3] B. B. Song, K. I. Do and Y. S. Koo, "SCR-Based ESD Protection Using a Penta-Well for 5V Applications," *Journal of the Electron Devices Society*, pp.691-695, 2018.

DOI: 10.1109/jeds.2018.2817636

- [4] Mergens M et al. "High holding current SCRs (HHI-SCR) for ESD protection and latch-up immune IC operation," *proceedings of EOS/ESD symposium*, pp.10-17, 2002.

BIOGRAPHY

Jae Chang Kwak (Member)



1983 : BA in Yonsei Univ. 1989 : MS in Univ. of Iowa
1993 : PhD in Univ. of Iowa
1995~present Professor at Dept. of Computer Science, Seo Kyeong Univ.

<Research Interest> Network Traffic Control, QoS, Realtime Scheduling, Embedded System