

3.3kV급 저저항 4H-SiC Semi-SJ MOSFET

3.3kV Low Resistance 4H-SiC Semi-SJ MOSFET

천진희*, 김광수*

Jin-Hee Cheon*, Kwang-Soo Kim*

Abstract

In this paper, 4H-SiC MOSFET, the next generation power semiconductor device, was studied. In particular, Semi-SJ MOSFET structures with improved electrical characteristics than conventional DMOSFET structures were proposed in the class of 3300V, and static characteristics of conventional and proposed structures were compared and analyzed through TCAD simulations. Semi-SuperJunction MOSFET structure is partly structure that introduces SuperJunction, improves Electric field distribution through the two-dimensional depletion effect, and increases breakdown voltage. Benefit from the improvement of breakdown voltage, which can improve the on resistance as high doping is possible. The proposed structure has a slight reduction in breakdown voltage, but has an 80% decrease in on resistance compared to the conventional DMOSFET structure, and a 44% decrease in on resistance compared to the Current Spreading Layer(CSL) structure that improves the conventional DMOSFET structure.

요약

본 논문에서는 차세대 전력 반도체 소자인 4H-SiC MOSFET에 대해 연구하였다. 특히 3300V급에서 기존의 DMOSFET 구조보다 개선된 전기적 특성을 갖는 Semi-SuperJunction MOSFET 구조를 제안하였으며, TCAD 시뮬레이션을 통해 기존의 MOSFET과 전기적 특성을 비교 분석하였다. Semi-SJ MOSFET 구조는 부분적으로 SJ를 도입한 구조로, 2차원의 공핍 효과를 통해 전계 분포가 개선되며, 항복 전압이 증가한다. 항복 전압의 개선을 통해 얻은 이득으로, 높은 농도의 도핑이 가능하기 때문에 온 저항을 개선시킬 수 있다. 제안한 Semi-SJ MOSFET 구조는 DMOSFET보다 항복 전압이 8% 감소하지만, 온 저항이 80% 감소한다. 또한 DMOSFET 구조를 개선한 Current Spreading Layer(CSL)구조에 비해서도 온 저항이 44% 감소한다.

Key words : 4H-SiC, semi-superjunction, superjunction, breakdown voltage, on resistance

* Dept. of Electronics Engineering, Sogang University

★ Corresponding author

E-mail : kimks@sogang.ac.kr, tofawk@naver.com, Tel : +82-2-705-8913

※ Acknowledgment

This research was supported by the MSIT(Ministry of Science and ICT), Korea, under the ITRC(Information Technology Research Center) support program(IITP-2019-2018-0-01421) supervised by the IITP(Institute for Information & communications Technology Promotion)

This research was supported by the KIAT(Korea Institute for the Advancement of Technology), supervised by MOTIE (Ministry of Trade, Industry and Energy)(N0001594)

Manuscript received Jul. 22, 2019; revised Sep. 15, 2019; accepted Sep. 25, 2019.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

최근에, 차세대 전력 반도체 소자인 4H-SiC MOSFET에 대한 연구가 활발하게 진행 중이다. 넓은 에너지 밴드 갭 물질인 4H-SiC는 높은 한계 전계(3MV/cm)와 낮은 진성 캐리어 농도 및 높은 열 전도율 등 전력 반도체 소자에 적합한 물성을 가지고 있다. 또한 Si 기반의 공정 플랫폼을 활용할 수 있다는 이점을 가지고 있기 때문에, 4H-SiC를 이용한 보다 폭넓은 연구가 필요하다[1-2].

1700V급에서는 Trench 기술을 적용하여 JFET 영역을 제거한 UMOSFET 구조 등 다양한 소자 구조에 대한 연구가 활발하지만, 3300V급에서는 그림 1. (a)와 같은 DMOSFET 구조가 주류를 이루며, 새로운 구조에 대한 연구가 제한적이다. 이는 높은 전압 영역 대에서는 Drift 영역의 온 저항이 전체 온 저항 중에서 높은 비중을 차지하기 때문에, JFET 영역을 제거한 UMOSFET 구조가 큰 이점을 가지지 않기 때문이다.

반면, 그림 1. (b)와 같이 DMOSFET에 Current Spreading Layer(CSL) 구조를 추가해주는 방식이 존재한다. CSL 구조는 JFET 영역과 Drift 영역 상단부의 도핑 농도를 높여준 구조로, JFET 영역의 저항을 감소시키며 동시에 Drift 영역 상단부의 전류 집중 현상을 억제해 전류가 균등하게 분포될 수 있도록 하여 온 저항을 낮춰 준다[3-4]. 따라서 항복전압의 큰 감소 없이 낮은 온 저항을 얻는 것이 가능해진다. 또한 DMOSFET 구조를 기반으로 하였기 때문에, UMOSFET 구조에서 생기는 문제점인 게이트 산화 막에서 전계 집중 현상으로 인한 산화 막의 신뢰성 문제와 계면 특성의 악화를 고려할 필요가 없다. 이렇게 CSL 구조가 기존 DMOSFET에 비해 온 저항 특성을 개선시키는데 성공했지만, 전력 반도체 소자로서 에너지 효율 증대를 위해 더 낮은 온 저항을 얻기 위한 연구는 여전히 필요하다.

끊임없는 공정 기술의 발달과 더불어, 최근 4H-SiC에서도 Super-Junction(SJ)을 도입하려는 노력이 진행 중이다. 그러나 3300V급에서는 높은 항복 전압을 견디기 위한 폭이 좁으면서 높은 농도로 도핑된 N/P Pillar를 깊게 형성하는데 공정상의 어려움이 존재한다[5]. 따라서 그림 1. (c)와 같이 부분적으로 Super-Junction을 도입한 Semi-SJ MOSFET

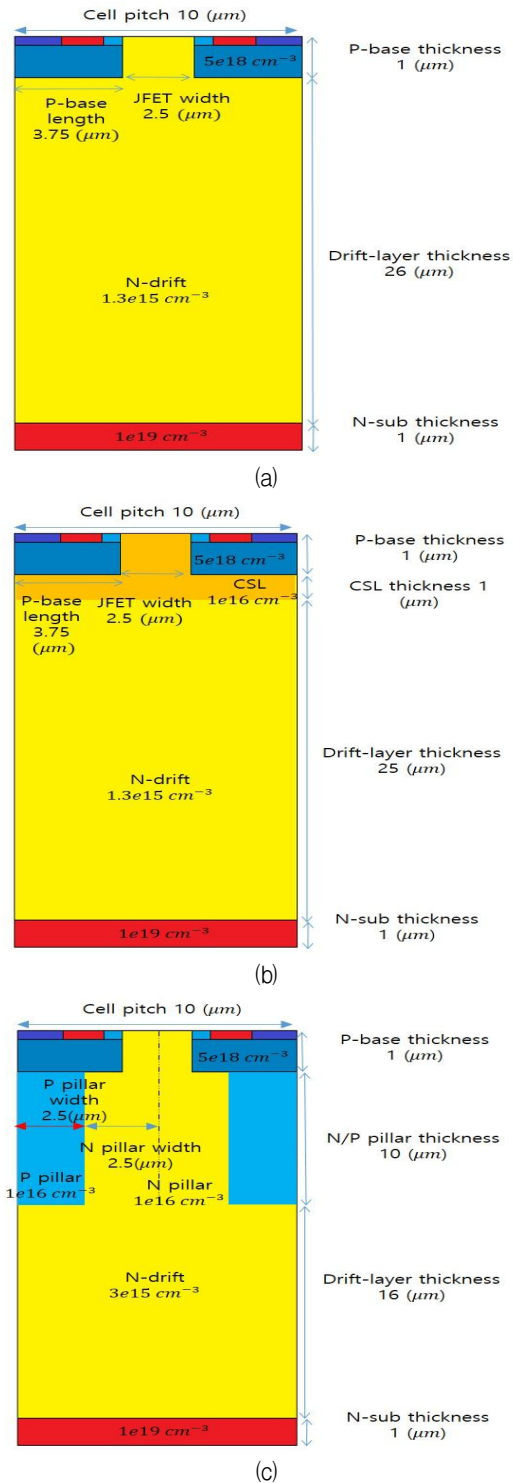


Fig. 1. (a) Conventional DMOSFET (b) DMOSFET with CSL (c) Semi-SJ MOSFET Structure.

그림 1. (a) 기존 (b) CSL (c) Semi-SJ MOSFET 구조

구조를 제안하고자 한다. 제안한 구조는 SJ의 도입을 통해 전계 분포가 개선되고, 따라서 기존 보다 높은 항복 전압을 가지게 된다. 또한 항복 전압의 개선을 통해 얻은 이득으로, pillar와 drift 영역의 도핑 농도를 높이는 것이 가능하다. 최종적으로 도핑

농도의 증가를 통해서 제안한 Semi-SJ MOSFET 구조가 기존의 DMOSFET 구조와 CSL 구조에 비해 저 저항 특성을 가지게 된다.

본 논문에서는 본문에서 SJ의 도입을 통한 전계 특성의 향상을 설명하였으며, 제안한 소자의 drift 영역의 도핑 농도를 변화시키며 최적화하는 과정을 포함한다. 또한 Sentaurus TCAD 시뮬레이션을 통해 기존 DMOSFET 구조, CSL 구조와 Semi-SJ MOSFET 구조의 정적 특성을 비교하며 결론을 맺는다.

II. 본론

1. Semi-SJ MOSFET 구조

고전압, 고전류에서 동작하며 낮은 온 저항을 가지는 전력 반도체 소자를 만들기 위해서는 SJ 구조가 핵심이 된다. SJ 구조는 기존의 drift 영역 대신에, N/P pillar를 y축 방향으로 길게 형성시킨 구조이다. 따라서 x축과 y축 방향으로 동시에 공핍 영역이 형성된다. 이러한 2차원의 공핍 효과는 기존에 1차원의 푸아송 방정식이 적용되던 것과 달리, 2차원의 푸아송 방정식이 적용되기 때문에 전계 분포를 개선시킨다[6]. 이를 통해서 N/P pillar의 도핑 농도를 높게 만드는 것이 가능해지며, 결국 온 저항 역시 개선되는 효과를 얻는다[7-9]. 또한 N/P pillar의 폭과 도핑 농도를 적절하게 설정하여 전하의 균형을 맞추어 주었을 때, 각 pillar의 폭보다 두께가 매우 크기 때문에 y축 방향의 전계 분포가 균등해지는 것을 확인할 수 있다[10].

그림 2는 기존의 DMOSFET과 Semi-SJ MOSFET의 y축 방향의 전계 분포이다. 부분적으로 도입한 SJ의 효과를 확인하기 위해서 Drift 영역의 도핑 농도는 $1.3 \times 10^{15} \text{ cm}^{-3}$ 으로 동일하게 설정하였다. 기존 DMOSFET의 y축 방향의 전계분포를 확인해보면 사다리꼴 모양의 형태를 나타내는 것을 확인할 수 있다. 반면 Semi-SJ MOSFET의 경우에는 SJ 구간에서는 전계분포가 균등해지면서 직사각형 모양에 가깝고, 그 아래 Drift 영역에서는 전계 분포가 다시 사다리꼴 모양을 나타내는 것을 확인할 수 있다. 따라서 Semi-SJ MOSFET의 경우에 전계 분포 그래프의 면적이 더 크고, 이는 항복 전압 특성이 개선되는 것으로 이어진다.

제안한 Semi-SJ MOSFET 구조는 SJ 구조의 공

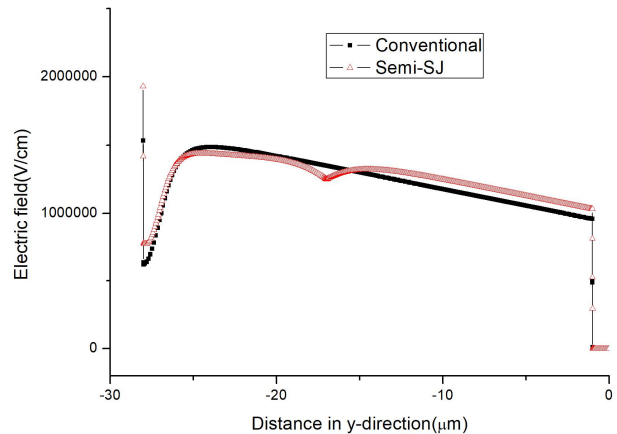


Fig. 2. Comparison of the electric field distribution in y-direction at Breakdown voltage.

그림 2. 항복전압에서 y축 방향의 전계 분포 비교

정이 어렵기 때문에 pillar의 두께를 최소화 하면서, 동시에 SJ의 2차원 공핍 효과를 통한 항복 전압 특성 개선을 얻을 수 있도록 $10 \mu\text{m}$ 로 설정하였다. 이는 기존 구조에서 drift 영역의 두께인 $26 \mu\text{m}$ 의 약 40% 정도이다. 또한 전하의 균형을 위해 N/P pillar의 폭과 도핑 농도를 동일하게 $1 \times 10^{16} \text{ cm}^{-3}$ 으로 설정하였으며, 이 값은 기존 구조의 drift 영역의 도핑 농도인 $1.3 \times 10^{15} \text{ cm}^{-3}$ 보다 약 8배 정도 크다. 다음으로 drift 영역의 도핑 농도에 따라서 항복 전압과 온 저항이 트레이드-오프 관계를 가지기 때문에 도핑 농도를 변화시키면서 최적화 과정을 진행하였다.

2. 최적화

전력 반도체 소자는 항복 전압이 높으면서 동시에 온 저항이 낮은 경우가 이상적이다. 그러나 Drift 영역의 도핑 농도에 따라서 항복 전압과 온 저항은 서로 반대 방향으로 움직이는 트레이드-오프 관계를 가진다. Drift 영역의 도핑 농도가 증가하게 되면, 온 저항이 감소하게 된다. 동시에 drift 영역 내의 공핍 영역이 줄어들게 되고, 이로 인해 항복 전압 역시 감소하게 된다. 반면 drift 영역의 도핑 농도가 감소하게 되면, 온 저항이 증가하며 동시에 공핍 영역이 커짐에 따라 항복 전압 역시 증가하게 된다. 그림 3에 제안한 Semi-SJ MOSFET의 drift 도핑 농도에 따른 항복 전압과 온 저항의 관계가 나타난다. 도핑 농도가 증가함에 따라서 항복 전압과 온 저항이 모두 줄어드는 것을 확인할 수 있다.

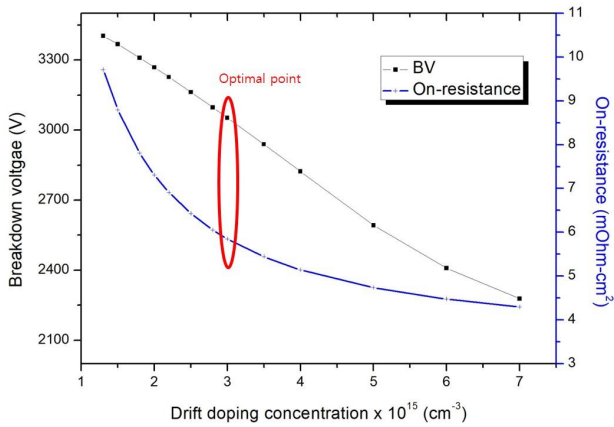


Fig. 3. Variation of BV, Ron with drift doping concentration.
 그림 3. drift 영역의 도핑 농도에 따른 항복 전압과 온 저항의 변화

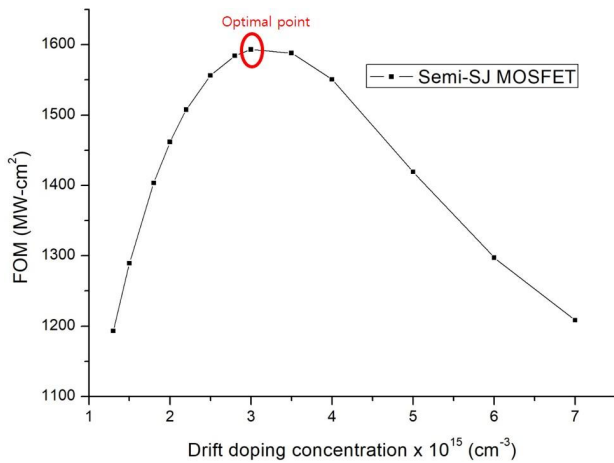


Fig. 4. Variation of FOM(BV^2/R_{on}) with drift doping concentration.

그림 4. Drift 영역의 도핑 농도에 따른 FOM의 변화

따라서 적절한 drift 도핑 농도를 설정해주는 것이 중요하다. 그 기준을 반도체 소자의 성능 지수인 Figure of Merit($FOM : BV^2/R_{on,sp}$)으로 설정하였다[11]. 그림 4는 제안한 Semi-SJ MOSFET의 drift 도핑 농도에 따른 FOM을 보여준다. 도핑 농도가 $3.0 \times 10^{15} \text{ cm}^{-3}$ 일 때, 항복 전압은 3053V이며 온 저항은 $5.85 \text{ m}\Omega \cdot \text{cm}^2$ 이다. 따라서 FOM이 $1593 \text{ MW} \cdot \text{cm}^2$ 으로 가장 높은 값을 가지며, 이때의 drift 도핑 농도로 최적화를 진행하였다. 또한 시뮬레이션을 진행한 Semi-SJ MOSFET 구조의 파라미터는 표 1과 같다.

4. 결과 및 분석

앞에서 최적화한 Semi-SJ MOSFET과 기존의

Table 1. Semi-SJ MOSFET parameter.

표 1. Semi-SJ MOSFET 파라미터

Parameters	Value	Unit
Channel length	0.5	μm
P-base length	3.75	
JFET width	2.5	
Gate oxide thickness	0.025	
Source thickness	0.2	
P-base thickness	1	
Drift-layer thickness	16	
N/P pillar thickness	10	
N/P pillar width	2.5	cm^{-3}
Source doping concentration	1×10^{19}	
P-base doping concentration	1×10^{17}	
P+ shield doping concentration	5×10^{18}	
Drift-layer doping concentration	3×10^{15}	
N/P pillar doping concentration	1×10^{16}	

DMOSFET, CSL 세 가지 구조에 대한 전계분포와 항복 전압 및 온 저항 등 정적 특성에 대해 시뮬레이션을 통해 측정하였다. 제안한 Semi-SJ MOSFET 구조의 파라미터는 표 1과 같으며, 다른 구조의 파라미터도 이와 유사하다. 다만, 기존의 DMOSFET의 경우에 SJ 구조가 없으므로 Drift 영역의 두께가 $26 \mu\text{m}$ 이며, 도핑 농도가 $1.3 \times 10^{15} \text{ cm}^{-3}$ 이다. 또한 CSL 구조의 경우에는 CSL 영역이 JFET을 포함하여 Drift 영역의 상단 부 $1 \mu\text{m}$ 까지로 정의되며, 그 도핑 농도는 $1 \times 10^{16} \text{ cm}^{-3}$ 으로 설정하였다.

각 구조별 출력 특성은 그림 5에서 확인할 수 있다. 게이트의 전압이 2V에서 10V로 변화할 때, 기존의 DMOSFET, CSL, Semi-SJ MOSFET 구조의 드레인 전압에 변화에 따른 드레인 전류를 측정하였다. 게이트 전압이 10V일 때 각각의 온 저항은 기존 구조가 $27.7 \text{ m}\Omega \cdot \text{cm}^2$ 이며, CSL 구조는 $10.3 \text{ m}\Omega \cdot \text{cm}^2$ 이고, Semi-SJ 구조는 $5.8 \text{ m}\Omega \cdot \text{cm}^2$ 이다. Semi-SJ MOSFET은 기존의 온 저항에 비해서는 약 80% 가량, CSL 구조의 온 저항에 비해서는 약 44% 가량 줄어들면서 온 저항 특성이 향상되는 것을 확인할 수 있다. 또한 P-base와 관련된 파라미터를 동일하기 때문에 구조가 변화함에도, 문턱 전압의 변화는 없을 것으로 예측할 수 있다. 출력 특성에 대한 시뮬레이션 결과를 통해서 예측한 대로,

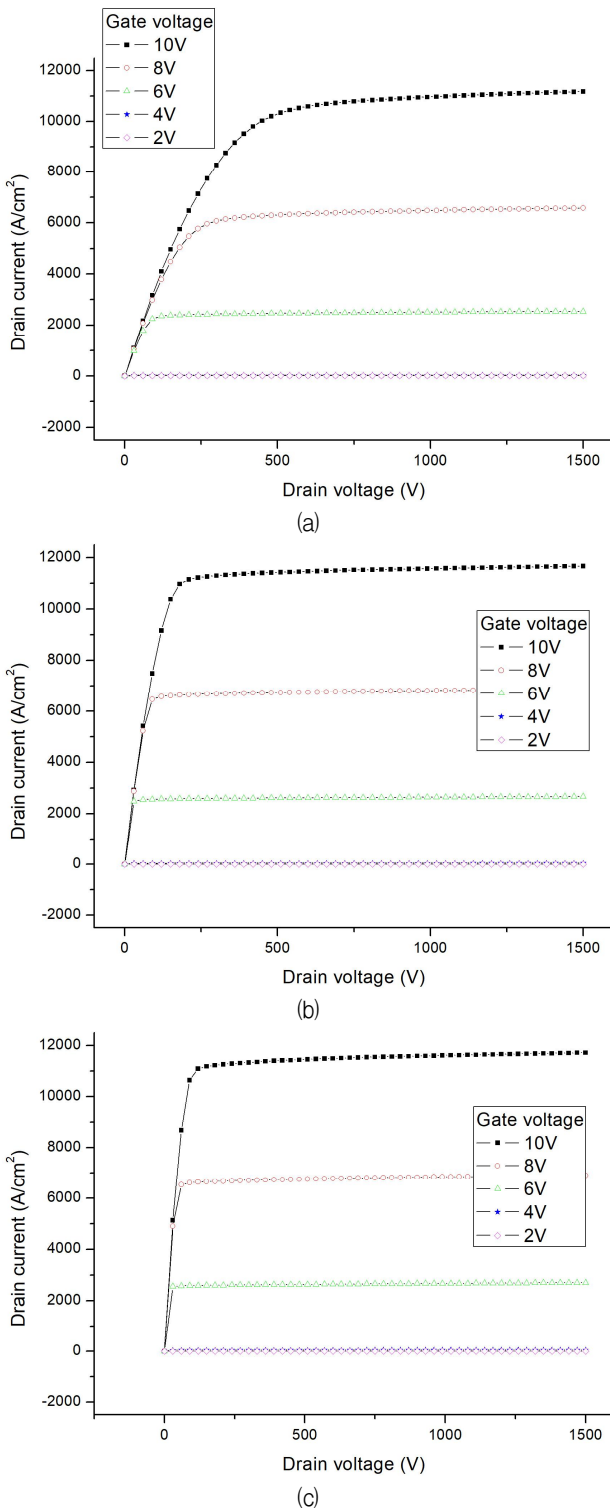


Fig. 5. Output characteristics of (a) Conventional (b) CSL (c) Semi-SJ MOSFET structure

그림 5. (a) 기존 (b) CSL (c) Semi-SJ MOSFET 구조의 출력 특성

세 구조 모두 문턱 전압이 4V에서 6V 사이로 동일한 것을 확인할 수 있다.

그림 6에서는 각 구조별 항복 전압을 확인 할 수

있다. 기존의 구조는 3334V의 항복 전압을 가진다. CSL 구조의 경우, JFET 영역과 Drift 상단 부 영역을 부분적으로 도핑 농도를 높여 주었기 때문에 기존보다 다소 감소한 3226V의 항복 전압을 가지게 된다. Semi-SJ MOSFET 구조의 경우에는 최적화를 통해 Drift 영역 전체의 도핑 농도를 높여 주었기 때문에 더욱 감소한 3053V의 항복 전압을 가진다. 이는 기존 구조의 항복 전압에 비해서는 약 8% 가량 감소한 수치로, 온 저항의 개선에 비해서는 경미한 수준의 차이이다. $FOM(BV^2/R_{on,sp})$ 으로 각 구조를 비교해보면 기존 구조는 FOM이 $401.15MW \cdot cm^{-2}$ 이며, CSL 구조는 $1011.37MW \cdot cm^{-2}$ 이고, Semi-SJ MOSFET 구조는 $1593.32MW \cdot cm^{-2}$ 이다. 그 값은 기존 구조에 비해 약 297% 가량 증가했으며, CSL 구조에 비해서는 58% 가량 증가한 수치로, Semi-SJ MOSFET 구조가 정적 특성에서 매우 개선된 구조임을 확인할 수 있다.

그림 7은 드레인 전압이 1500V일 때, 각 구조별 전계 분포가 나타난다. 3300V급일 때, 가용 동작 범위인 1500V로 드레인 전압을 동일하게 설정한 후, 전계 분포를 측정하였다. 모든 구조에서 최대 전계는 P-base 모서리에서 나타나는 것을 확인할 수 있다. 기존 구조에서는 최대 전계가 약 2MV/cm으로 나타난다. CSL 구조에서는 JFET 영역의 도핑 농도가 증가하였기 때문에 P-base 모서리와 CSL 영역의 접한 부분간의 공핍 영역이 감소하게 되고, 최대 전계가 2.3MV/cm으로 증가하는 것을 확인할 수 있다. Semi-SJ 구조에서는 SJ 구조로 인해 공핍 영역이 더욱 감소하여 최대 전계가 2.5MV/cm으로 증가한다. 그러나 모든 구조에서 SiC의 한계 전계 값인 3MV/cm을 넘지 않기 때문에 신뢰성 문제가 발생하지 않는 것을 확인할 수 있다.

그림 8은 마찬가지로 드레인 전압이 1500V일 때, 각 구조별 y축 방향 전계 분포이다. 기존의 구조와 CSL 구조에서는 사다리꼴 형태로 전계 분포가 나타나는 것을 확인할 수 있다. Semi-SJ 구조의 경우에는 SJ 영역에서는 비교적 균등한 직사각형 형태로 분포가 나타나다가, drift 영역에서는 다시 사다리꼴 형태로 전계 분포가 나타난다. 이 때, drift 영역의 도핑 농도가 더 높기 때문에 기울기가 증가하는 것을 확인할 수 있다.

표 2는 시뮬레이션을 통해 얻은 각 구조의 정적

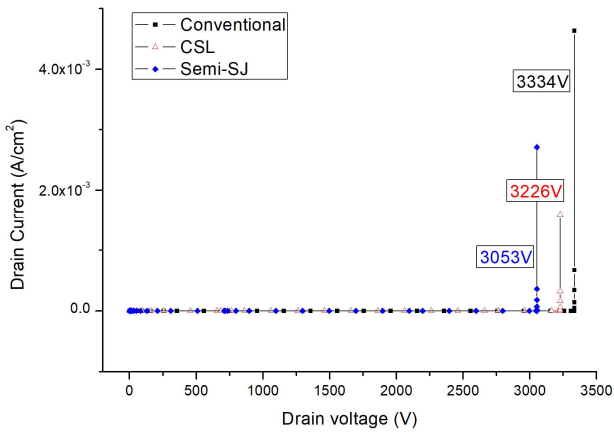


Fig. 6. Breakdown voltage of each structure.
 그림 6. 각 구조별 항복 전압

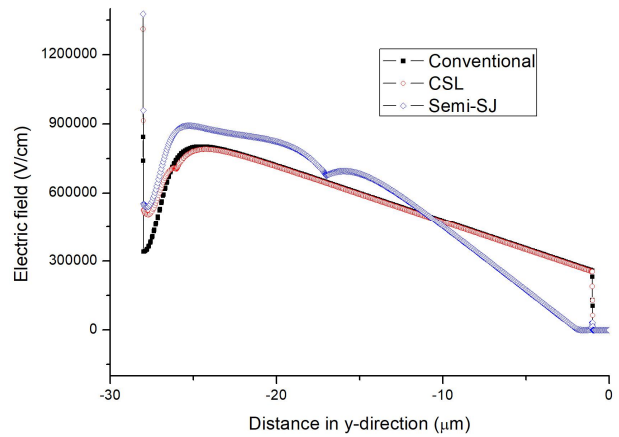
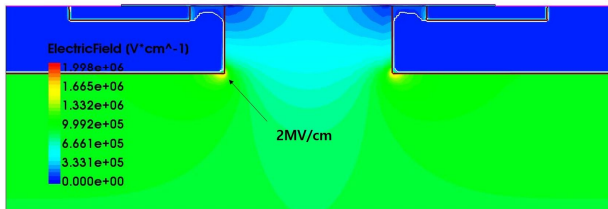
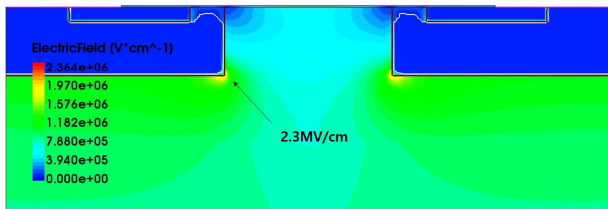


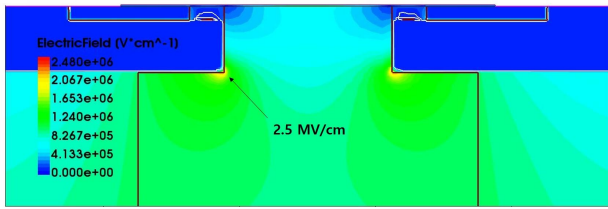
Fig. 8. Comparison of the electric field distribution in y-direction at Drain bias = 1500V.
 그림 8. 드레인 전압이 1500V일 때 y축 방향의 전계 분포 비교



(a)



(b)



(c)

Fig. 7. Electric field distribution of (a) Conventional (b) CSL (c) Semi-SJ MOSFET at Drain bias = 1500V.
 그림 7. 드레인 전압이 1500V일 때 (a) 기존 (b) CSL (c) Semi-SJ MOSFET의 전계 분포

특성을 요약한 것이다. 제안한 Semi-SJ 구조는 온 저항 특성이 대폭 개선되었지만, 항복 전압은 경미하게 감소하였기 때문에 FOM이 매우 향상되는 것을 확인할 수 있다.

Table 2. Static performance of each structure.
 표 2. 각 구조별 정적 특성

Performance parameters	Breakdown voltage(V)	Ron,sp (mΩ · cm ²)	Figure of Merit(FOM) (MW · cm ⁻²)
Conventional	3334	27.7	401.15
CSL	3226	10.3	1011.37
Semi-SJ	3053	5.8	1593.32

III. 결론

기존의 DMOSFET 구조에 부분적으로 SJ를 도입한 Semi-SJ MOSFET 구조를 제안하였다. 제안한 구조의 정적 특성이 기존 구조 및 기존 구조를 개선한 형태인 CSL 구조와 비교했을 때 개선되는 것을 시뮬레이션을 통해 확인하였다. SJ의 도입으로 2차원의 공핍 효과가 발생하여 항복 전압이 개선된다. 항복 전압의 개선을 통해 얻은 이득으로 높은 농도의 도핑이 가능해지고, 결과적으로 낮은 온 저항 특성을 얻을 수 있었다.

Drift 도핑 농도를 최적화한 Semi-SJ MOSFET 구조에서 항복 전압은 3053V로 기존 구조에 비해 약 8% 감소, 온 저항은 5.8mΩ · cm²으로 기존 구조보다 약 80% 감소하였다. 제안한 구조는 항복 전압이 약간 감소 하지만, 온 저항이 매우 개선되기 때문에 기존의 구조보다 우수한 정적 특성을 가진다. 따라서 소자의 동작에 있어서 전력 손실을 낮추고, 에너지 효율을 높일 수 있다.

References

- [1] Baliga, B. J., *Fundamentals of power semiconductor devices*, Springer Science & Business Media, 2008.
- [2] Baliga, B. J., *Silicon carbide power devices*, World scientific, 2006.
- [3] Saha, A. & Cooper, J. A., "A 1-kV 4H-SiC power DMOSFET optimized for low on-resistance," *IEEE Transactions on Electron Devices*, vol.54, no.10, pp.2786-2791, 2007.
DOI: 10.1109/TED.2007.904577
- [4] Kono, Hiroshi, et al. "14.6 mΩcm² 3.3 kV DIMOSFET on 4H-SiC (000-1)," *Materials Science Forum* Vol.778, pp.935-938, Trans Tech Publications, 2014.
- [5] CHEN, Weizhong, et al. "A semi-superjunction MOSFET with P-type Bottom Assist Layer," *Superlattices and Microstructures*, vol.83, pp.745-754, 2015. DOI: 10.1016/j.spmi.2015.03.065
- [6] Yu, L., & Sheng, K.. "Modeling and optimal device design for 4H-SiC super-junction devices," *IEEE Transactions on Electron Devices*, vol.55, no.8, pp.1961-1969, 2008.
DOI: 10.1109/TED.2008.926648
- [7] Baliga, B. J., *Advanced power MOSFET concepts*, Springer Science & Business Media, 2010.
- [8] HU, Shengdong, et al. "A comparative study of a deep-trench superjunction SiC VDMOS device," *Journal of Computational Electronics*, vol.18, no.2, pp.553-560, 2019. DOI: 10.1007/s10825-01901318-2
- [9] Udrea, F., Deboy, G., & Fujihira, T., "Superjunction power devices, history, development, and future prospects," *IEEE Transactions on Electron Devices*, vol.64, no.3, pp.713-727, 2017.
DOI: 10.1109/TED.2017.2658344
- [10] Bo Zhang, et al, "Concept and design of super junction devices," *Journal of Semiconductors*, vol.39, no.2, 2018.
DOI: 10.1088/1674-4926/39/2/021001/meta
- [11] B. J. Baliga, "Power semiconductor device figure of merit for high-frequency applications," *IEEE Electron Device Letters*, Vol.10, no.10, pp.

455-457, 1989. DOI: 10.1109/55.43098

BIOGRAPHY

Jin-Hee Cheon (Member)



2019. 8 : BS degree in Electrical Engineering, Sogang University.
2019. 9~present : MS degree in Electronic Engineering, Sogang University.

Kwang-Soo Kim (Member)



1981 : BS degree in Electronic Engineering, Sogang University.
1983 : MS degree in Electronic Engineering, Sogang University.
1998 : PhD degree in Electronic Engineering, Sogang University.

1983~1997 : Electronics and Telecommunications Research Institute (ETRI)
1998~2005 : Institute for Information Technology Advancement (IITA)
2005~2008 : Daegu Gyeongbuk Institute of Science and Technology (DGIST)
2008~present : Professor, Electronic Engineering, Sogang University.