

3.3kV 항복 전압을 갖는 저저항 SC-SJ(Shielding Connected-Super Junction) 4H-SiC UMOSFET Low Resistance SC-SJ(Shielding Connected-Super Junction) 4H-SiC UMOSFET with 3.3kV Breakdown Voltage

김정훈*, 김광수*[★]

Jung-hun Kim*, Kwang-soo Kim*[★]

Abstract

In this paper, we propose SC-SJ(Shielding Connected-Super Junction) UMOSFET structure in which p-pillars of conventional 4H-SiC Super Junction UMOSFET structures are placed under the shielding region of UMOSFET. In the case of the proposed SC-SJ UMOSFET, the p-pillar and the shielding region are coexisted so that no breakdown by the electric field occurs in the oxide film, which enables the doping concentration of the pillar to be increased. As a result, the on-resistance is lowered to improve the static characteristics of the device. Through the Sentaurus TCAD simulation, the static characteristics of proposed structure and conventional structure were compared and analyzed. The SC-SJ UMOSFET achieves a 50% reduction in on-resistance compared to the conventional structure without any change in the breakdown voltage.

요약

본 논문에서는 기존 4H-SiC SJ UMOSFET 구조의 p-pillar을 기존 UMOSFET의 shielding 영역 아래로 배치시키는 SC-SJ(Shielding Connected-Super Junction) UMOSFET 구조를 제안한다. 제안한 SC-SJ UMOSFET의 경우 p-pillar와 shielding 영역이 공존하여 산화막에서 전계에 의한 항복이 발생하지 않도록 하며, 이는 pillar의 도핑 농도 상승을 가능하게 한다. 결과적으로 온저항을 낮춤으로서 소자의 정적 특성을 개선한다. Sentaurus TCAD 시뮬레이션을 통해 기존 구조와 제안한 구조의 정적 특성을 비교, 분석하였다. 제안한 SC-SJ UMOSFET은 기존 구조에 비해 항복전압의 변화 없이 50% 감소된 온저항을 얻을 수 있다.

Key words : 4H-SiC, super junction, Trench mosfet, breakdown voltage, electric field

* Dept. of Electronics Engineering, Sogang University

★ Corresponding author

E-mail : kimks@sogang.ac.kr, a0724a@naver.com, Tel : +82-2-705-8913

※ Acknowledgment

This research was supported by the MSIT(Ministry of Science and ICT), Korea, under the ITRC(Information Technology Research Center) support program(IITP-2019-2018-0-01421) supervised by the IITP(Institute for Information & communications Technology Promotion)

This research was supported by the KIAT(Korea Institute for the Advancement of Technology), supervised by MOTIE (Ministry of Trade, Industry and Energy)(N0001594)

Manuscript received Jul. 20, 2019; revised Sep. 16, 2019; accepted Sep. 17, 2019.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

현재 전력 반도체 소자에 관한 연구는 전력 소모를 낮추어 효율을 극대화하기 위한 노력이 강조된다. 그중에서도 power MOSFET은 자동차, 모바일, 휴대폰, PMIC(power management IC) 등 다양한 분야에서 사용되며, 이들의 전력 소모를 낮추기 위해 많은 기술들이 개발되어 왔다. 특히 전기자동차 분야에서의 에너지 효율 증대를 통한 주행거리 확보의 측면을 고려하면 현재 사용되고 있는 배터리 전압인 400V 보다 높은 배터리 전압이 요구되고, 이에 3300V의 높은 항복 전압을 갖는 소자 개발의 필요성이 대두된다[1]. 이를 구현하기 위해 4H-SiC를 이용한 다양한 형태의 소자 구조가 제안되었으며 대표적인 구조로 UMOSFET 구조와 super junction (SJ) 구조가 널리 알려져 있다.

UMOSFET 구조는 기존 VDMOSFET 구조의 단점을 보완하기 위하여 제안된 소자로서 VDMOSFET에 존재하였던 기생 JFET을 제거하여 도통 시 더 낮은 온저항을 갖는다. 또한 작은 cell pitch로 소자 제작이 가능해져 높은 cell 집적도를 얻을 수 있다. 하지만 VDMOSFET와 비교하여 산화막에 전계가 집중되는 현상이 발생한다. 따라서 shielding 구조를 통해 이를 해결해야 한다[2]. 다만 3000V 이상의 항복 전압을 갖는 소자의 경우에는 UMOSFET 구조를 잘 사용하지 않는데 이는 드리프트 영역의 저항 성분이 전체 저항에서 차지하는 비중이 커져 UMOSFET을 사용함으로써 줄일 수 있는 온저항이 한계가 있기 때문이다[3].

또한 SJ 구조는 드리프트 영역에 p-pillar, n-pillar을 추가하여 고전압 특성을 가지면서도 기존 power MOSFET 대비 드리프트 영역에서 낮은 저항값을 갖는다[4][5]. 이에 SJ 구조를 UMOSFET 구조에 접목시킨다면 항복전압이 3000V 이상이더라도 드리프트 저항이 매우 낮아지기 때문에 UMOSFET의 장점을 극대화하여 전력 소모를 효과적으로 낮출 수 있다[6]. 하지만 기존의 연구는 그림 1.(a)와 같이 p-base 아래로 p-pillar을 추가하는 방식을 사용하였는데, 산화막에 높은 전계가 집중되는 현상을 해결하기 위해 그림 1.(b)처럼 shielding 영역을 추가하게 되면 p-pillar과의 추가적인 JFET 성분이 첨가되어 온저항이 매우 커지는 문제가 발생한다. 이를 해결하기 위해 본 논문에서는 그림 1.(c)와 같이

p-pillar을 shielding 영역 아래로 추가하는 SC-SJ (Shielding Connected-Super Junction) UMOSFET 구조를 제안하고, sentaurus TCAD tool을 통해 기존의 소자 구조와 정적 특성을 비교하였다.

II. 본론

1. SC-SJ UMOSFET structure

본 논문에서는 고전압, 고전류 동작을 위한 소자를 만들기 위해 기존의 Si 대신 4H-SiC를 사용한다[7]. 기존의 UMOSFET에 SJ를 접목시킨 구조는 그림 1.(a)와 같다. 이 구조의 항복 전압을 제한하는 요인은 trench 쪽 산화막 영역의 전계 집중 현상이다. 드레인전압을 상승시키면 산화막 영역에 매우 높은 전계가 가해지는데, 이때 산화막에 hot electron이 trap되어 문턱전압을 영구적으로 변화시켜 소자의 수명을 감소시킨다. 이는 소자의 신뢰성을 저하시키는 심각한 요인으로 가장 먼저 개선하여야 하는 요소이다.

이를 해결하기 위해 그림 1.(b)의 구조처럼 trench 아래에 p-shielding 영역을 추가할 수 있다. 산화막에 걸리던 전계가 p-shielding 영역과 드리프트 영역 사이의 접합으로 분산된다. 이를 통해 산화막에 trap되는 hot electron에 의한 소자 수명 단축 문제를 개선할 수 있다[8]. 하지만 p-shielding 영역과 p-pillar 사이에 JFET 성분이 추가되어 소자의 온저항을 매우 크게 증가시키기 때문에 기존의 VDMOSFET과 비교하여 더욱 악화된 정적 특성을 보인다. 이러한 문제는 지금까지 UMOSFET 구조와 SJ 구조를 함께 사용하지 못하는 결정적인 원인으로 작용해 왔다.

이를 해결하기 위해 제안한 구조는 그림 1.(c)의 SC-SJ(Shielding Connected - Super Junction) UMOSFET 구조이다. 이 구조에서는 SJ의 p-pillar과 UMOSFET의 p-shielding 영역을 연결하여 trench 산화막 아래에 놓는다. 이는 두 구조 사이의 JFET 영역으로 인한 저항 상승 문제가 발생하지 않도록 한다. 또한 p-shielding 영역이 게이트 산화막 영역에 높은 전계가 걸리는 현상을 막아주어 소자의 신뢰성이 저하되는 현상을 해결해 준다. 이때 p-pillar이 SJ로서 역할을 하기 위해 p-shielding 영역은 MOSFET의 source와 연결된다. 이는 p-shielding 영역의 기생 bipolar 성분을 막아주는 역할 역시 수행한다.

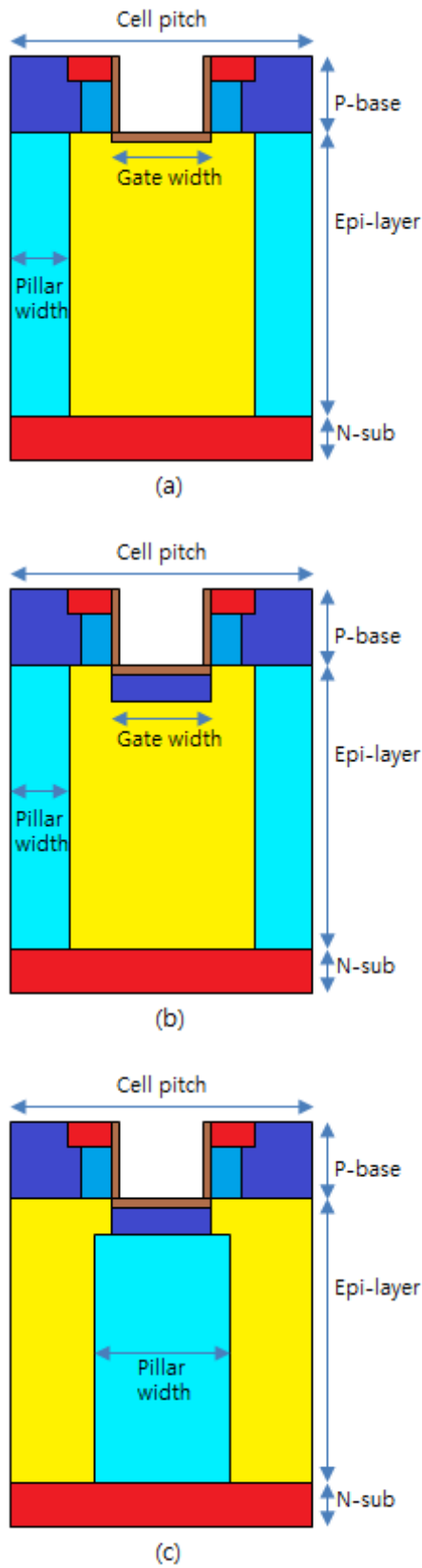


Fig. 1. (a) Conventional SJ, (b) shield added SJ, (c) SC-SJ UMOFET structure.
 그림 1. (a) 기존 SJ, (b) shield 추가한 SJ, (c) SC-SJ UMOFET 구조

제한한 SC-SJ UMOFET은 기존의 SJ UMOFET과 비교하여 드리프트 영역이 동일한 도핑 농도를 가질 때 더 높은 항복 전압을 갖는데, 이는 두 소자의 항복이 발생하는 곳이 다르기 때문이다. 기존 SJ UMOFET은 산화막에서 항복이 발생하고 SC-SJ UMOFET은 shielding 영역과 드리프트 영역의 접합에서 항복이 발생한다. 가우스 법칙에 따르면 단힌곡면에서 유전율과 전계의 곱은 일정하다. 이때 SiC의 유전율은 산화막의 유전율의 약 2.5배의 값을 갖는다. 따라서 드레인에 동일한 전압이 걸릴 때 산화막에서 약 2.5배 만큼 강한 전계가 가해지게 된다. 비록 한계전계값은 산화막에서 더 큰 값을 갖게 되지만 이를 감안하더라도 SC-SJ UMOFET에서 더 높은 항복 전압을 갖는다. 즉 동일한 항복 전압을 가질 때 제안한 SC-SJ UMOFET 구조에서 pillar의 도핑 농도를 높게 가져갈 수 있어 낮은 온저항을 가지게 된다.

Table 1. Device Key Parameters for simulation.
 표 1. 시뮬레이션 디바이스 주요 파라미터

Parameter	C-SJ	SC-SJ
Cell pitch	6 μm	6 μm
Epi-layer thickness	25.3 μm	25.3 μm
p-base thickness	0.5 μm	0.5 μm
N-sub thickness	1 μm	1 μm
Gate oxide thickness	0.025 μm	0.025 μm
Gate width	2 μm	2 μm
pillar width	1.5 μm	3 μm
pillar doping concentration	$1 \times 10^{16} \text{ cm}^{-3}$	$3 \times 10^{16} \text{ cm}^{-3}$

2. 시뮬레이션 결과 및 분석

SJ UMOFET 구조와 제안한 SC-SJ UMOFET 구조에서 항복전압이 3300V급일 때 전계의 분포와 온저항을 시뮬레이션을 통해 측정하였다. 항복전압을 동일하게 맞추기 위해 SC-SJ 구조에서 pillar의 도핑 농도는 기존 SJ 구조에 비해 3배 높였고, 그 외에 다른 변수들은 표 1.에서와 같이 동일하게 설정하였다.

그림 2.는 시뮬레이션을 통해 측정한 항복 전압의 그래프를 나타낸다. 이때 SJ UMOFET은 3299V, SC-SJ UMOFET은 3360V의 항복 전압을 갖는다. 기존 구조와 비교하여 약 60V 높은 전압에서 항복이 발생하지만 이는 거의 동등한 수준의 전압 등급을 가진다고 해석할 수 있다.

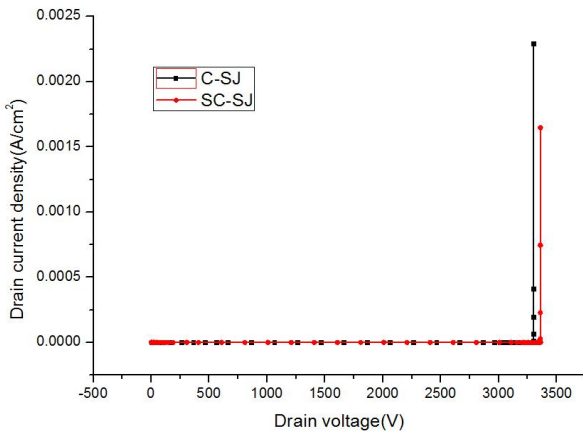


Fig. 2. Breakdown voltage in C-SJ, SC-SJ structure.
그림 2. 기존 SJ 구조와 SC-SJ 구조에서의 항복전압

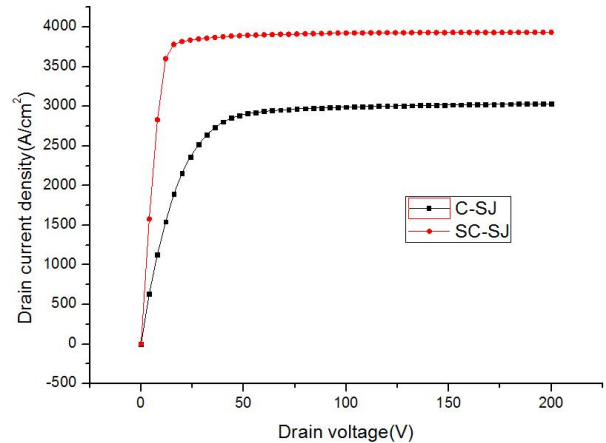


Fig. 4. Output characteristics in C-SJ, SC-SJ structure.
그림 4. 기존 SJ 구조와 SC-SJ 구조에서의 output 특성

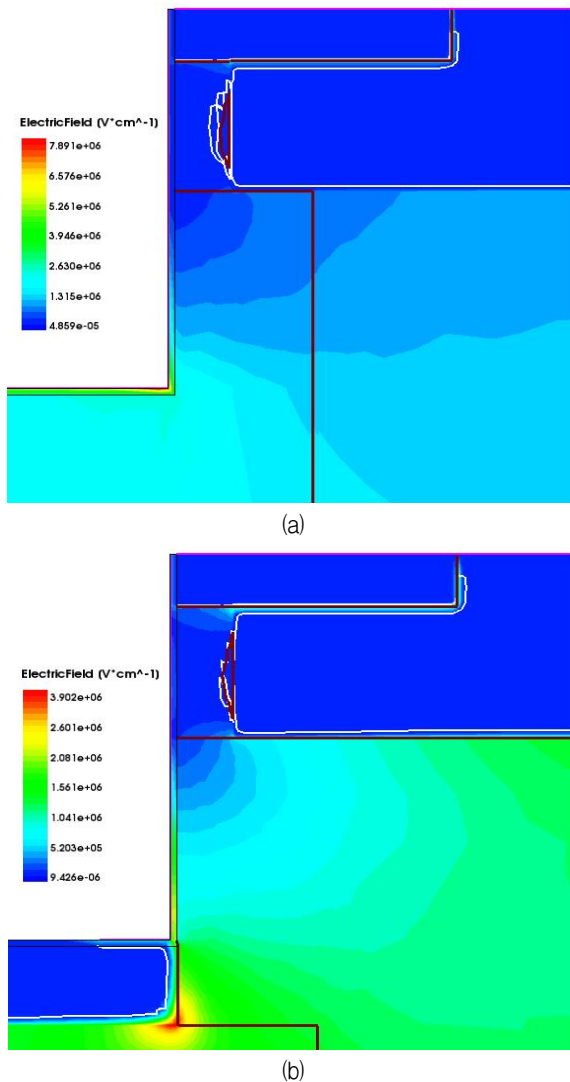


Fig. 3. (a) C-SJ,
(b) SC-SJ UMOSFET electric field distribution.
그림 3. (a) 기존 SJ, (b) SC-SJ UMOSFET 전계 분포

그림 3.은 항복이 발생했을 때 산화막의 전계 분포도를 나타낸다. 그림 3.(a)의 분포도를 보면 기존 SJ UMOSFET에서 trench 아래쪽 산화막의 전계는 최대 7.9MV/cm의 값을 갖는다. 이는 기존에 SiO₂ 물질의 신뢰성을 보장할 수 있는 전계값인 4MV/cm를 상회한다[9]. 즉 소자의 항복은 3300V에서 발생하지만 그보다 더 낮은 드레인 전압을 사용해야만 소자의 신뢰성을 해치지 않는다는 것을 의미한다[10]. 반면 그림 3.(b)의 전계 분포도를 보면 SC-SJ UMOSFET에서 산화막의 전계는 3.9MV/cm로 4MV/cm를 넘지 않는다. 따라서 SC-SJ UMOSFET에서는 항복이 발생하는 드레인 전압이 가해지더라도 산화막에서 hot electron에 의한 소자 수명의 단축 현상을 예방할 수 있다. 즉 제안한 SC-SJ UMOSFET은 기존의 SJ UMOSFET에 비하여 높은 신뢰성을 갖는다.

그림 4.는 소자의 output 특성을 나타낸 그래프로 도통 시 온저항의 값을 확인할 수 있다. 게이트에 가하는 전압은 6V로 이는 소자의 문턱전압인 2.8V의 약 2배에 해당한다. 이때 확인할 수 있는 온저항은 기존 SJ UMOSFET 구조에서 8.4mΩcm², SC-SJ UMOSFET에서 4.2mΩcm²으로 제안한 구조에서 50% 개선된 온저항 값을 갖는다. 두 구조의 온저항이 차이 나는 이유는 표 1.에서 알 수 있듯이 SC-SJ UMOSFET 구조에서 pillar의 도핑 농도 값이 3배 높기 때문이다.

기존의 SJ UMOSFET 구조와 SC-SJ UMOSFET 구조의 전기적 특성을 표 2.를 통해 요약하였다. BFOM(Baliga's Figure of Merit)은 대표적인 전력

반도체 소자의 성능지수로서 정적 특성의 우수성을 보여주는 지표이다. BFOM은 항복전압, 온저항과 아래의 관계를 갖는다[11].

$$BFoM = \frac{BV^2}{R_{on}} \quad (1)$$

표 2.에 의하면 기존 SJ UMOSFET과 SC-SJ UMOSFET은 각각 1295, 2688 MW·m²의 BFOM 값을 갖는다. 따라서 SC-SJ 구조는 2.07배 높은 BFOM 값을 가지며 이는 소자의 정적 특성이 개선되었음을 나타낸다.

Table 2. The electrical performance of C-SJ and SC-SJ structure.

표 2. 기존 SJ, SC-SJ 구조의 전기적 특성

Parameter	C-SJ	SC-SJ
Breakdown voltage (V)	3299	3360
On-resistance (mΩ·cm ²)	8.4	4.2
Figure of merit (MW·cm ²)	1295	2688

III. 결론

기존 SJ UMOSFET 구조에서 p-pillar을 shielding 영역의 아래로 이동시킨 SC-SJ UMOSFET 구조로 변화시키면서 소자의 전기적 특성이 개선되는 것을 시뮬레이션을 통해 확인하였다. SC-SJ UMOSFET은 기존 SJ UMOSFET 구조와 비교하여 항복전압과 온저항의 트레이드오프가 개선된 점에서 우수한 성능을 보인다. 결과적으로 제안한 SC-SJ UMOSFET 구조는 산화막에서 최대 전계의 감소로 인한 신뢰성 향상, 소자의 정적 특성 향상으로 인한 에너지 효율 증대라는 두 가지 장점을 갖는다.

References

[1] Huang Runhua et al., "Design and fabrication of a 3.3kV 4H-SiC MOSFET," *Journal of Semiconductors*, Vol.36, No.9, 2015.
DOI: 10.1088/1674-4926/36/9/094002

[2] X. Li et al., "Shielded Gate SiC Trench Power MOSFET with Ultra-Low Switching Loss," *Materials Science Forum*, Vol.924, pp.765-769, 2018.

DOI: 10.4028/www.scientific.net/MSF.924.765

[3] B. Hull et al., "Reliability and stability of SiC power MOSFETs and next-generation SiC MOSFETs," *Proceeding of the IEEE Workshop Wide Bandgap Power Devices Appl. (WiPDA)*, pp.139-142, 2014.

DOI: 10.1109/WiPDA.2014.6964641

[4] Bo Zhang et al., "Concept and design of super junction devices," *Journal of Semi-conductors*, Vol.39, no.2, 2018.

DOI: 10.1088/1674-4926/39/2/021001/meta

[5] Udrea, F. et al., "Superjunction power devices, history, development, and future prospects," *IEEE Trans. Electron Devices*, Vol.64, no.3, pp.720-734, 2017. DOI: 10.1109/TED.2017.2658344

[6] Shengdong Hu et al., "A comparative study of a deep trench superjunction SiC VDMOS device," *Journal of Computational Electronics*, Vol.18, no.2, pp.553-560, 2019.

DOI: 10.1007/s10825-019-01318-2

[7] B. J. Baliga, "Fundamentals of Power Semiconductor Devices," NY, USA: Springer, pp.23-166, 2010.

[8] S. A. Suliman et al., "The impact of trench geometry and processing on the performance and reliability of low voltage power UMOSFETs," *Proceeding of the IEEE International Reliability Physics Symposium. (IRPS)*, pp.308-314, 2011.

DOI: 10.1109/RELPHY.2001.922920

[9] B. Powell et al., "3300V SiC DMOSFETs Fabricated in High-Volume 150 mm CMOS Fab," *Materials Science Forum*, Vol.924, pp.731-734, 2018.
DOI: 10.4028/www.scientific.net/MSF.924.731

[10] R. K. Williams et al., "The trench power MOSFET: Part I—History, technology, and prospects," *IEEE Trans. Electron Devices*, Vol.64, no.3, pp. 674-691, 2017. DOI: 10.1109/TED.2017.2653239

[11] B. J. Baliga, "Power semiconductor device figure of merit for high-frequency applications," *IEEE Electron Device Letters*, Vol.10, no.10, pp.455-457, 1989. DOI: 10.1109/55.43098

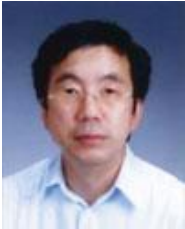
BIOGRAPHY

Jung-Hun Kim (Student Member)



2019 : BS degree in Electronic Engineering, Sogang University.
2019~present : MS course in Electronic Engineering, Sogang University.

Kwang-Soo Kim (Member)



1981 : BS degree in Electronic Engineering, Sogang University.
1983 : MS degree in Electronic Engineering, Sogang University.
1998 : PhD degree in Electronic Engineering, Sogang University.

1983~1997 : Electronics and Telecommunications Research Institute (ETRI).

1998~2005 : Institute for Information Technology Advancement (IITA).

2005~2008 : Daegu Gyeongbuk Institute of Science and Technology (DGIST).

2008~present : Professor, Electronic Engineering, Sogang University.