JKIICE Journal of the Korea Institute of Information and Communication Engineering

한국정보통신학회논문지 Vol. 23, No. 8: 959~965, Aug. 2019

위성 통신 시스템을 위한 Ka-band 이득제어 CMOS 저잡음 증폭기

임혜민[1] · 정하연[2] · 이재용[1] · 박성규[1] · 박창근[3*]

Ka-Band Variable-Gain CMOS Low Noise Amplifier for Satellite Communication System

Hyemin Im[1] · Hayeon Jung[2] · Jaeyong Lee[1] · Sungkyu Park[1] · Changkun Park[3*]

[1]Graduate student, School of Electronic Engineering, Soongsil University, Seoul, 06978 Korea
[2]Ph.D. student, School of Electronic Engineering, Soongsil University, Seoul, 06978 Korea
[3*]Associate professor, School of Electronic Engineering, Soongsil University, Seoul, 06978 Korea

요 약

본 논문에서는 CMOS 65-nm 공정을 이용하여 위성 통신 시스템에서 Ka-band를 지원하기 위한 저잡음 증폭기를 설계하였다. 제안된 저잡음 증폭기는 고이득 모드와 저이득 모드로 구성되어있으며, 입력신호의 크기에 따라 이득을 제어하도록 설계하였다. 전력소모를 줄이기 위해 회로 전체의 공급전압을 1 V 이하로 제한하였으며, 인버터 구조의 이득제어 회로에 대해 기술하였다. 제작된 회로의 크기를 줄이기 위해 3D EM 시뮬레이터를 사용하였으며, 패드를 포함하며 0.33mm^{2}의 면적을 갖는다. 제작된 증폭기는 3 dB 대역폭에서 -7 dB의 이득제어 범위를 가지며 반사계수는 고이득 모드에서 -6 dB, 저이득 모드에서 -15 dB 미만으로 측정되었다.

ABSTRACT

In this paper, we design a low noise amplifier to support ka-band satellite communication systems using 65-nm RFCMOS process. The proposed low noise amplifier is designed with high-gain mode and low-gain mode, and is designed to control the gain according to the magnitude of the input signal. In order to reduce the power consumption, the supply voltage of the entire circuit is limited to 1 V or less. We proposed the gain control circuit that consists of the inverter structure. The 3D EM simulator is used to reduce the size of the circuit. The size of the designed amplifier including pad is 0.33mm^2. The fabricated amplifier has a -7 dB gain control range in 3 dB bandwidth and the reflection coefficient is less than -6 dB in high gain mode and less than -15 dB in low gain mode.

키워드 : Ka-band, mm-wave, 위성 통신, 이득제어, 저잡음 증폭기

Keywords : Gain control, Ka-band, low noise amplifier, mm-wave, satellite communication

Received 22 June 2019, **Revised** 27 June 2019, **Accepted** 21 July 2019

*** Corresponding Author** Changkun Park(E-mail:pck77@ssu.ac.kr, Tel:+82-2-828-7166)
Associate professor, School of Electronic Engineering, Soongsil University, Seoul, 06978 Korea

Open Access http://doi.org/10.6109/jkiice.2019.23.8.959 print ISSN: 2234-4772 online ISSN: 2288-4165

ⓒThis is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(http://creativecommons.org/li-censes/by-nc/3.0/) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright Ⓒ The Korea Institute of Information and Communication Engineering.

Ⅰ. 서 론

최근 위성 통신의 수요가 급격히 증가됨에 따라 기존의 C-band(4-6 GHz), X-band(7-8 GHz), Ku-band(12-14 GHz) 대역이 포화상태에 이르렀다. 따라서 보다 높은 주파수 대역에서의 위성 통신 시스템 연구가 활발히 진행되고 있다. 특히 Ka-band(20-30 GHz)는 넓은 대역폭을 갖고, 전파 방지 기능이 뛰어나기 때문에 새로운 위성 통신 주파수 대역으로 기대되고 있다 [1]. 또한 최근 5G 이동통신의 상용화에 따라 Ka-band 지원을 위한 고주파 송수신단에 대한 연구가 활발하게 진행되고 있다 [2-9].

위성 통신 시스템 및 5G 이동통신용 고주파 전치단은 송신단과 수신단으로 이루어져 있다. 송신단은 안테나를 통해 변조된 신호를 방사하며 수신단은 안테나를 통해 잡음이 섞인 신호를 수신한다. 특히 Ka-band의 경우 기후 변화에 민감한 신호 감쇠 특성을 보이기 때문에, 수신 신호의 증폭 및 수신단의 포화 방지 등을 고려하여, 넓은 동작영역(dynamic range)을 갖는 저잡음 증폭기에 대한 연구가 필요하다. 일반적으로 넓은 동작영역을 확보하기 위해서는 높은 선형성은 물론, 입력되는 큰 전력을 감당 할 수 있도록 회로가 구성 되어야 한다. 이로 인하여, 수신단을 구성하는 회로는 전력 소모가 증가 하거나, 선형성 확보를 위한 추가적인 회로가 필요하게 되어 집적회로의 면적이 증가하는 문제점이 있다.

본 논문에서는 전력 소모를 최소화 하면서 넓은 동작영역을 확보하기 위하여, 입력 신호의 크기에 따라 동작모드가 가변 되는 저잡음 증폭기에 대하여 기술하였다. 제안된 저잡음 증폭기는 CMOS 65-nm 공정을 사용하여 설계되었으며, 이득제어 회로는 인버터 구조로 설계하였다[10]. 전력소모를 줄이기 위하여 공급 전압을 1V 미만으로 제한하였으며, 단일 종단 구조를 사용하여 회로의 크기를 최소화하는 방법에 대해 기술하였다.

Ⅱ. Ka-band 저잡음 증폭기 설계

그림 1의 수신단에는 통신 환경에 따라 전력의 크기가 일정하지 않은 신호가 입력된다. 입력 신호가 일정 이상 증가하게 되면 저잡음 증폭기를 포함하는 수신단이 포화영역에서 동작 하게 되어 수신 신호를 선형적으로 증폭할 수 없는 문제점이 있다. 따라서 수신 신호의 크기에 따라 수신부의 이득은 가변 되어야 하는데, 본 논문에서는 수신부의 가장 첫 번째 고주파 회로부인 저잡음 증폭기에 가변이득 기능을 탑재하는 회로설계 기술을 보였다.

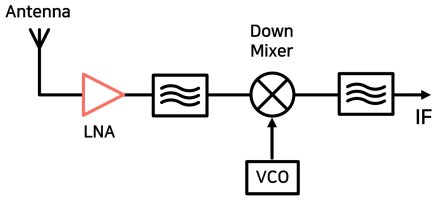


Fig. 1 Block diagram of RF receiver

2.1. 잡음지수와 이득

저잡음 증폭기를 다단으로 설계하는 경우 잡음지수는 식(1)과 같이 표현된다. 이 때 NF_n은 n번째 단의 잡음지수를, G_n은 n번째 단의 이득을 나타낸다. 식 (1)로부터 증폭기 전체의 잡음지수는 첫 번째 단(stage)의 잡음지수에 의해 결정되는 것을 확인할 수 있다. 반면 식 (2)에 표현된 전체 이득은 각 단의 이득의 총합으로 나타난다.

$$NF = NF_1 + \frac{NF_2 - 1}{G_1} + \frac{NF_3 - 1}{G_1 G_2} + \cdots \quad (1)$$

$$G = G_1 + G_2 + G_3 + \cdots \quad (2)$$

제안하는 저잡음 증폭기는 두 개의 단을 갖는 구조로, 잡음 지수를 최소화하기 위해 첫 번째 단에 공통소스 구조를 적용하였다. 또한 축퇴(degeneration) 인덕터와 큰 직렬 커패시터를 사용하여 입력 정합회로를 구성하였다. 두 번째 단은 캐스코드(cascode) 구조를 사용하여 첫 번째 단의 부족한 이득을 증폭시켜 목표이득을 만족하도록 설계하였다. 또한 두 번째 단의 캐스코드 구조는 이득제어를 위한 용도로 변형 되어 설계되었는데, 보다 자세한 내용은 다음절에서 기술하였다.

2.2. 이득제어를 위한 인버터 구조

그림 2는 제안하는 Ka-band 저잡음 증폭기의 간략한 회로도이다. 그림 2에서는 전원 전압 안정화를 위한 캐패시터는 생략 하였다. 이득을 제어하기 위한 인버터 구조는 잡음 성능에 미치는 영향을 최소화하기 위해 저잡

음 증폭기의 두 번째 단의 캐스코드 구조에 적용된다. 따라서 첫 번째 단은 일반적인 저잡음 증폭기와 동일하게 인덕티브 축퇴를 이용한 잡음 정합 방식으로 설계 하여 전체 저잡음 증폭기의 잡음 지수를 확보 할 수 있도록 하였다.

그림 3(a)는 고이득 모드를, 그림 3(b)는 저이득 모드를 나타낸 것이다. 고이득 모드의 경우 인버터가 온(on) 상태로 동작하며, VCG1과 VCS1에 각각 1 V 및 0.65 V의 동작 전압이 인가되어 M1과 M3가 캐스코드 구조를 이루며 신호를 증폭시킨다.

저이득 모드의 경우 인버터가 오프(off) 상태로 동작하며, VCG2와 VCS1에 각각 1 V 및 0.65 V의 동작 전압이 인가되어 고이득 모드에 비해 신호를 적게 증폭시킨다. 8 dB의 이득을 제어하기 위해 그림 3의 M1과 M2는 각각 28 μm 및 10 μm의 게이트 폭을 가진다. 저이득 모드를 위한 공통게이트 트랜지스터가 고이득 모드를 위한 공통게이트 트랜지스터에 비하여 작은 게이트 폭을 가지므로, 저이득 모드에서는 고이득 모드 대비 적은 dc 전류가 흐르게 된다. 따라서 저이득 모드에서는 트랜지스터의 gm 값이 감소하여 전체적인 이득이 감소하는 원리로 설계 되었다.

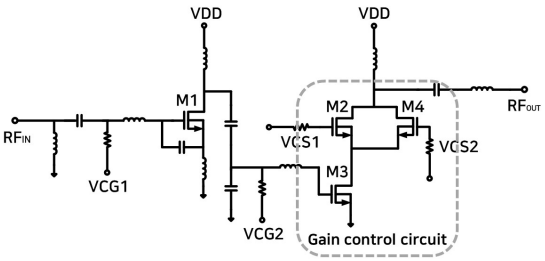
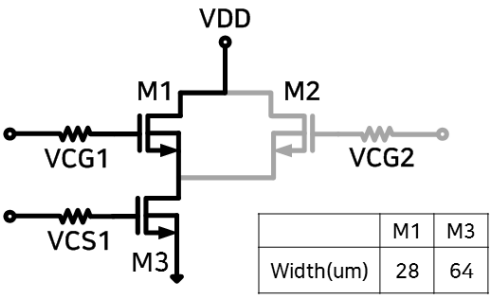
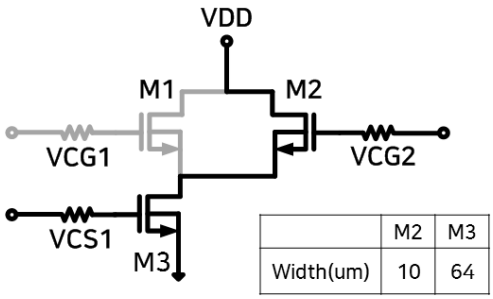


Fig. 2 Schematic of proposed Ka-band low noise amplifier.



(a)



(b)

Fig. 3 Inverter structure of (a)high gain mode (b)low gain mode.

그림 4는 고이득 모드와 저이득 모드에서의 이득을 나타낸 시뮬레이션 결과이다. Ka-band 대역에서 고이득 모드일 때 이득은 15 dB 이상을 만족하고, 저이득 모드일 때 3 dB 대역폭에서 - 6 dB 이상의 이득제어가 가능함을 확인할 수 있다. 본 논문에서는 - 6 dB의 이득 제어를 위하여 그림 3의 M1과 M2를 14:5로 설계하였으나, M1과 M2의 비율을 조정할 경우, 보다 넓은 폭의 이득 제어가 가능하다.

그림 5에는 설계된 저잡음 증폭기의 잡음지수 시뮬레이션 결과를 나타내었다. 인버터 구조를 사용하여 두 번째 단의 이득을 제어하는 경우에도 두 번째 단은 첫 번째 단의 잡음특성에 영향을 거의 미치지 않음을 확인하였다. 하지만, 저이득 모드의 경우, 전체 저잡음 증폭기의 이득이 감소하면서, 전체 증폭기의 잡음 지수가 다소 열화됨을 확인하였다. 고이득 모드와 저이득 모드에서 3 dB 이하의 잡음특성을 만족한 것을 확인하였다.

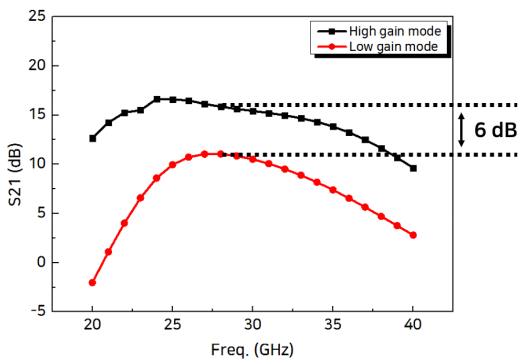


Fig. 4 Simulated gain in high gain mode and low gain mode.

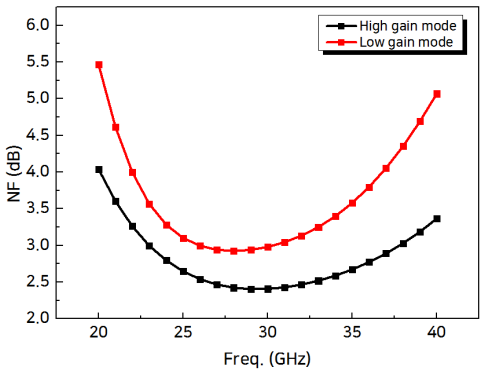


Fig. 5 Simulated noise figure in high gain mode low gain mode.

2.3. 저잡음 증폭기 설계

일반적으로 CMOS 공정을 사용하는 증폭기는 2차 고조파에 의한 신호 왜곡을 줄이고 고주파 전력 이득을 높이기 위해 차동 구조로 설계한다. 하지만 차동 구조는 단일 종단 구조에 비해 전력 소비가 두 배 많고 전체 회로의 크기가 커진다는 단점이 존재한다. 따라서 제안하는 저잡음 증폭기는 전력 소비와 회로의 크기를 줄이기 위해 단일 종단구조를 사용하여 설계하였다.

단일 종단 구조에서 회로의 크기를 줄이기 위해서는 인접한 인덕터 간 거리가 가까워지며, 이로 인해 집적회로상의 금속층 간에 존재하는 기생성분의 영향을 고려하는 것이 필수적이다. 따라서 작은 크기의 저잡음 증폭기를 구현하기 위해서는 Electro Magnetic(EM) 시뮬레이션이 매우 중요한 역할을 하게 된다. 2.5D EM 시뮬레이터는 3D EM 시뮬레이터에 비해 시뮬레이션 속도가 빠르지만, 경계조건에 매우 민감하다 [11]. 또한 3D EM 시뮬레이터와는 다르게 실제 금속층의 두께를 정확하게 반영하는데 한계가 있다는 단점이 존재한다. 따라서 보다 정확한 시뮬레이션을 위해 본 설계에서는 3D EM 시뮬레이터를 사용하여 수동 소자의 특성을 시뮬레이션 하였다.

그림 6은 3D EM 시뮬레이터를 사용한 전체 레이아웃(Layout)을 나타낸 것이다. 경계효과를 줄이기 위해 고주파 입력 및 출력을 위한 금속선로와 dc 전압이 인가되는 금속선로는 50-μm de-embedding용 금속 선로를 추가하였으며, 커패시터 및 MOSFET은 co-callibrated 포트를 사용하여 하나의 그룹으로 설정하여 EM 시뮬레이션 하였다.

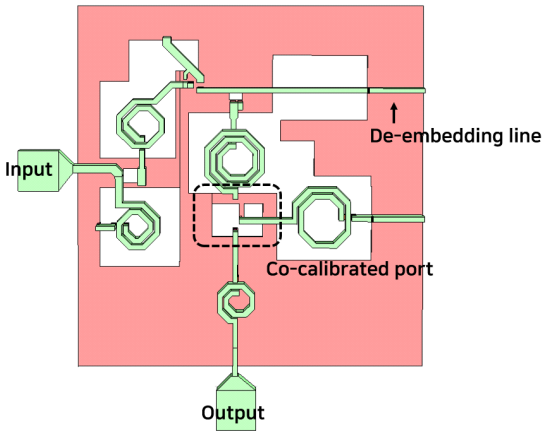


Fig. 6 Full layout of 3D EM simulation

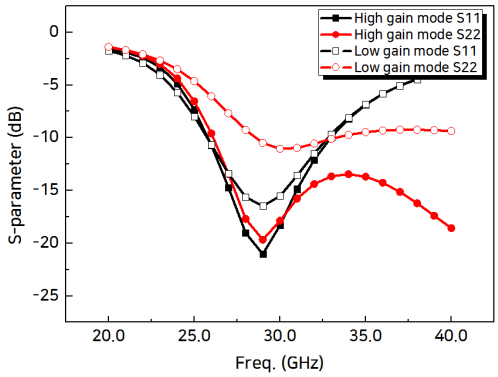


Fig. 7 Simulated S-parameter

그림 7에서는 EM 시뮬레이션 결과를 회로 시뮬레이션이 적용하여 도출된 저잡음 증폭기의 반사계수를 보였다. 그림 7에서의 채워진 기호는 고이득 모드를, 비워진 기호는 저이득 모드를 나타내며 고이득 모드일 때 3 dB 대역폭에서 －13.4 dB 이하, 저이득 모드일 때는 －7.6 dB 이하의 반사계수를 만족한 것을 확인할 수 있다. 표 1에는 EM 시뮬레이션이 적용된 저잡음 증폭기의 이득, 반사계수 및 잡음지수를 나타내었다.

Table. 1 Simulated S-parameter & Noise Figure

	S11	S22	Gain	NF
High-gain mode	>-15.0	>-13.4	<15.0	>2.46
Low-gain mode	>-13.4	>-7.6	<9.0	>2.94

Ⅲ. 제작 및 측정

제안한 저잡음 증폭기는 RF CMOS 65-nm 공정을 사용하여 설계하였으며, 전체 저잡음 증폭기 크기는 패드를 모두 포함하여 0.58 × 0.58 mm^2이다. 그림 8에 저잡음 증폭기의 칩 사진을 나타내었다. 측정을 위해 전원 전압 및 dc 바이어스는 본드-와이어를 통해 인가하였으며, 고주파 입력 및 출력은 RF probe를 이용하였다.

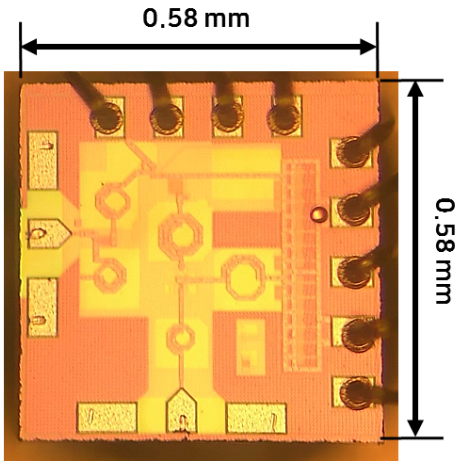
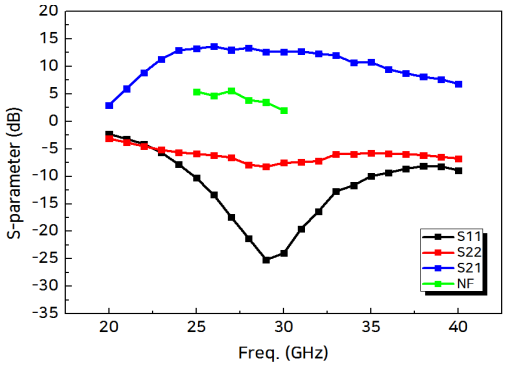
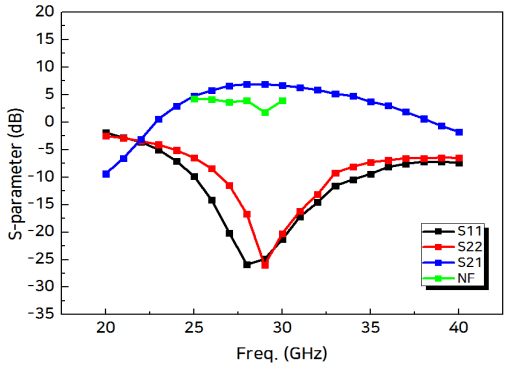


Fig. 8 Ka-band low noise amplifier chip photograph

증폭기의 특성은 드레인 공급 전압 1 V와 게이트 전압 0.7 V에서 측정되었으며, 16 mA의 드레인 전류를 갖는다. 그림 9 (a)와 (b)에 고이득 모드 및 저이득 모드로 동작할 때의 S-파라미터와 잡음지수 측정결과를 나타내었다. S11은 고이득 모드일 때와 저이득 모드일 때 각각 －11 dB와 －15 dB 이하를 만족하였으며, S22는 각각 －6 dB 이하와 －15 dB 이하를 만족하였다. 대역폭 내에서 고이득 모드로 동작할 때 30 GHz에서 잡음지수의 최솟값인 －1.97 dB를 얻었다. 또한, 저이득 모드로 동작할 때 29 GHz에서 잡음지수의 최솟값인 －1.81dB를 얻었다. 사용 주파수 대역에서 시뮬레이션 결과와 유사한 평탄도를 얻었으며, 3 dB 대역폭에서 －7 dB의 이득제어가 일어난 것을 확인할 수 있다.



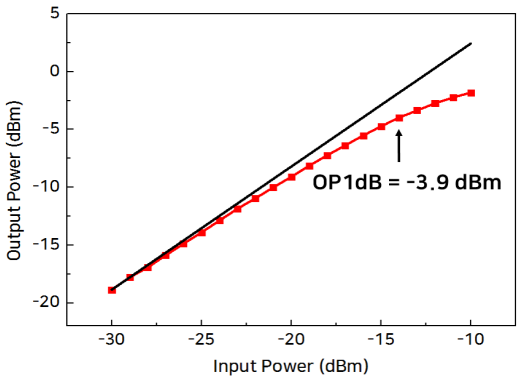
(a)



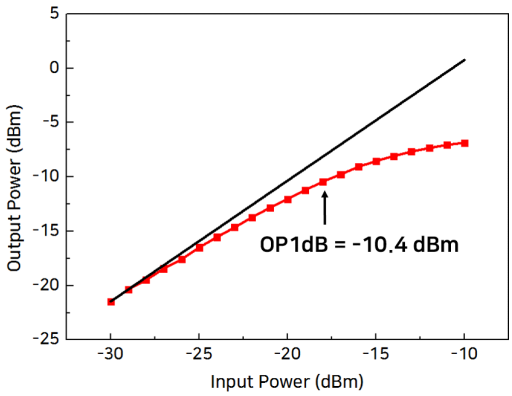
(b)

Fig. 9 Measured S-parameter and Noise Figure of (a) high gain mode and (b) low gain mode

그림 10 (a)와 (b)에 고이득 모드와 저이득 모드일 때 각각의 입력 전력 대비 출력 전력 측정결과를 나타내었다. Ka-band의 중심주파수인 28 GHz에서 설계된 저잡음 증폭기의 최대 입력 전력은 고이득 모드의 경우 －14 dBm 저이득 모드의 경우 －18 dBm이며, 이때 각각 －3.9 dBm과 －10.4 dBm 출력전력을 갖는다.



(a)



(b)

Fig. 10 Measured Compression characteristics at (a) high gain mode and (b) low gain mode

Ⅳ. 결 론

본 논문에서 CMOS 65-nm 공정을 사용하여 위성 통신 시스템에서 Ka-band를 지원하는 저잡음 증폭기를 제안하였다. 설계된 Ka-band 2단 저잡음 증폭기는 전력소모를 최소화하기 위하여 공급전압을 1 V로 제한하였으며, 16 mW의 전력소모가 발생하였다. 인버터 구조의 이득제어 회로를 추가하여, 입력신호에 따라 고이득 모드 및 저이득 모드를 지원하는 것을 확인하였으며, 또한 3D EM 시뮬레이터를 사용하여 설계한 저잡음 증폭기가 전체 패드를 포함하여 0.33 mm^2의 작은 사이즈를 갖는 것을 확인하였다.

ACKNOWLEDGEMENT

This research was supported by Basic Science Research Program through the National Research Foundation of Korea(NRF) funded by the Ministry of Science, ICT & Future Planning(2015-036938).

REFERENCES

[1] J. Li and Y. Li, "Modeling Ka-band satellite communication system with MPSK," *in IEEE International Conference on Computer and Communications*, Chengdu: China, pp. 1785-1789, 2016.

[2] S. Lee, J. Park, and S. Hong, "A Ka-Band Phase-Compensated Variable-Gain CMOS Low-Noise Amplifier," *IEEE Microwave and Wireless Components Letters*, vol. 29, no. 2, pp. 131 – 133, Feb. 2019.

[3] K. Kibaroglu, M. Sayginer, and G. M. Rebeiz, "A low-cost scalable 32-element 28-GHz phased array transceiver for 5G communication links based on a 2 × 2 beamformer flip-chip unit cell," *IEEE Journal of Solid-State Circuits*, vol. 53, no. 5, pp. 1260 – 1274, May 2018.

[4] P.-H. Lo, C.-C. Lin, H.-C. Kuo, and H.-R. Chuang, "A Ka-band CMOS low-phase-variation variable gain amplifier with good matching capacity," *in European Radar Conference*, pp. 858 – 861, 2012.

[5] M. El-Nozahi, E. Sanchez-Sinencio, and K. Entesari, "A millimeterwave (23 – 32 GHz) wideband BiCMOS low-noise amplifier," *IEEE Journal of Solid-State Circuits*, vol. 45, no. 2, pp. 289 – 299, Feb. 2010.

[6] M. Vigilante and P. Reynaert, "On the design of wideband transformer-based fourth order matching networks for E-band receivers in 28-nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 52, no. 8, pp. 2071 – 2082, Aug. 2017.

[7] Y. Kim, P. Jang, J. Lim, W. Ko, S. Heo, J. Lee, and T. B. Cho, "A Ka-band Phase Shifting Low Noise Amplifier with Gain Error Compensation for 5G RF beam forming array using 14nm FinFET CMOS," *in IEEE International Symposium on Circuits and Systems*, Florence: Italy, 2018.

[8] M. Elkholy, S. Shakib, J. Dunworth, V. Aparin, and K. Entesari, "A wideband variable gain LNA with high OIP3 for 5G using 40-nm bulk CMOS," *IEEE Microwave and Wireless Components Letters*, vol. 28, no. 1, pp. 64 – 66, Jan. 2018.

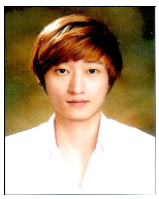
[9] S.-H. Noh and J.-Y. Ryu "Design of 24-GHz power amplifier for automotive collision avoidance radars," *Journal of the Korea Institute of Information and Communication Engineering*, vol. 20, no. 1, pp. 117-122, Jan. 2016.

[10] Y.-S. Hwang, C.-J. Kim, J.-H. Kim, and H.-J. Yoo "A Controllable variable gain LNA for 2 GHz band," *in Asia-Pacific Microwave Conference Proceedings*, Suzhou: China, 2005.

[11] S. Pellerano, Y. Palaskas, and K. Soumyanath, "A 64 GHz LNA With 15.5 dB Gain and 6.5 dB NF in 90 nm CMOS," *Journal of Solid-State Circuits*, vol. 43, no. 7, pp. 1542 – 1552, Jul. 2008.

임혜민(Hyemin Im)

2018년 2월 : 숭실대학교 정보통신전자공학부(공학사)
2019년 3월 ~ 현재 : 숭실대학교 전자공학과(석사과정)
※ 관심분야 : mm Wave IC, RFIC



정하연(Hayeon Jeong)

2015년 2월 : 숭실대학교 정보통신전자공학부(공학사)
2015년 3월 ~ 현재 : 숭실대학교 전자공학과(석박통합과정)
※ 관심분야 : mm Wave IC, RFIC

이재용(Jaeyong Lee)

2017년 2월 : 숭실대학교 정보통신전자공학부(공학사)
2019년 2월 : 숭실대학교 전자공학과(석사)
※ 관심분야 : mm Wave IC, RFIC

박성규(Sungkyu Park)

2018년 8월 : 숭실대학교 정보통신전자공학부(공학사)
2018년 9월 ~ 현재 : 숭실대학교 전자공학과(석사과정)
※ 관심분야 : mm Wave IC, RFIC

박창근(Changkun Park)

2007년 8월: KAIST 전자 전산학과 공학박사
2007년 9월 ~ 2009년 8월: ㈜ 하이닉스 반도체 선행설계팀 선임연구원
2009년 9월 ~ 2015년 8월: 숭실대학교 조교수
2015년 9월 ~ 현재: 숭실대학교 부교수
※ 관심분야 : RFIC, mmWave IC, 3차원 집적회로