

분해능 향상을 위해 듀얼 에지 플립플롭을 사용하는 시간-디지털 변환기

최진호*

A Time-to-Digital Converter Using Dual Edge Flip Flops for Improving Resolution

Jin-Ho Choi*

*Professor, Division of Embedded IT Engineering, Busan University of Foreign Studies, Busan, 46234 Korea

요 약

듀얼에지 T 플립플롭을 사용하여 카운터 타입의 시간-디지털 변환기를 설계하였다. 시간-디지털 변환기는 공급 전압 1.5volts에서 0.18 μ m CMOS 공정으로 설계하였다. 일반적인 시간-디지털 변환기에서 클록의 주기가 T일 때, 입력신호와 클록의 비동기로 인하여 클록의 주기에 해당하는 변환 에러가 발생한다. 그러나 본 논문에서 제안한 시간-디지털 변환기의 클록은 입력신호인 시작신호와 동기화되어 생성된다. 그 결과 시작신호와 클록의 비동기로 인해 발생할 수 있는 변환 에러는 발생하지 않는다. 그리고 카운터를 구성하는 플립플롭은 분해능 향상을 위해 클록의 상승 에지와 하강에지에서 동작하는 듀얼에지 플립플롭으로 구성하였다.

ABSTRACT

A counter-type time-to-digital converter was designed using a dual edge T flip-flop. The time-to-digital converter was designed with a 0.18 μ m CMOS process at a supply voltage of 1.5 volts. In a typical time-to-digital converter, when the period of the clock is T, a conversion error corresponding to the period of the clock occurs due to the asynchronism between the input signal and the clock. However, the clock of the time-to-digital converter proposed in this paper is generated in synchronization with the start signal which is the input signal. As a result, conversion errors that may occur due to asynchronization of the start signal and the clock do not occur. The flip-flops constituting the counters are composed of dual-edge flip-flops operating at the positive and negative edges of the clock to improve the resolution.

키워드 : 시작신호, 멈춤신호, 듀얼에지 플립플롭, 시간-디지털 변환기, 동기화된 클록

Key word : start signal, stop signal, dual-edge flip flop, time-to-digital converter, synchronized clock signal

Received 3 May 2019, Revised 8 May 2019, Accepted 16 May 2019

* Corresponding Author Jin-Ho Choi(E-mail:jhchoi@bufs.ac.kr, Tel:+82-51-509-6242)

Professor, Division of Embedded IT Engineering, Busan University of Foreign Studies, Busan, 46234 Korea

Open Access <http://doi.org/10.6109/jkiice.2019.23.7.816>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서론

시간-디지털 변환기는 그림 1과 같이 시작신호(Start signal)와 멈춤신호(Stop signal)를 입력받아 두 신호의 차에 해당하는 'TSTOP - TSTART'의 정보를 디지털 값으로 변환하는 회로로서 많은 측정시스템에서 응용되고 있다. 시간-디지털 변환기는 아날로그 회로로 설계할 수도 있으나, 출력 값의 정확도 및 신호처리 등의 문제를 고려하여 대부분 디지털 방식으로 설계되어진다 [1-3].

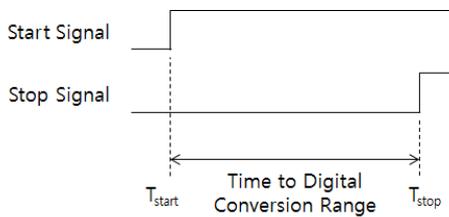


Fig. 1 Start and stop signals in time-to-digital converter

디지털 회로를 이용한 시간-디지털 변환기의 구조에는 플래시 타입과 카운터 타입이 있다[4]. 플래시 타입의 시간-디지털 변환기는 지연소자를 직렬로 연결한 다음, 첫 번째 지연소자의 입력단에 시작신호를 인가한다. 그리고 멈춤신호가 발생할 때 각 지연소자의 출력을 플립플롭에 저장하고, 저장된 값을 인코딩하여 디지털 출력 값을 얻게 된다. 이때 시작신호와 멈춤신호의 간격이 크면 클수록 출력이 'high'인 지연소자의 개수가 증가하게 되고 변환된 디지털 출력 값은 증가하게 된다. 그리고 시간-디지털 변환회로를 구성하는 지연소자의 개수는 입력되는 시간 간격 범위를 고려하여 결정된다.

카운터 타입의 시간-디지털 변환기는 'TSTOP - TSTART' 시간동안 카운터가 클럭을 헤아린다. 이 때 클럭의 주파수가 고주파일수록 향상된 분해능을 얻을 수 있다. 그러므로 카운터 타입의 경우 회로는 간단하게 구성되지만, 고주파의 클럭이 요구되는 단점이 있다. 그러나 긴 변환시간이 소요되는 플래시 타입에 비해 응답 속도가 빠르다는 장점이 있다[4].

일반적으로 시간-디지털 변환기를 다양한 시스템에 응용하기 위해서는 우수한 분해능 뿐 아니라 빠른 응답 속도 및 변환 에러의 감소 등이 요구되어진다[5,6].

분해능 향상을 위해 듀얼 에지 플립플롭을 사용하는 시간-디지털 변환기

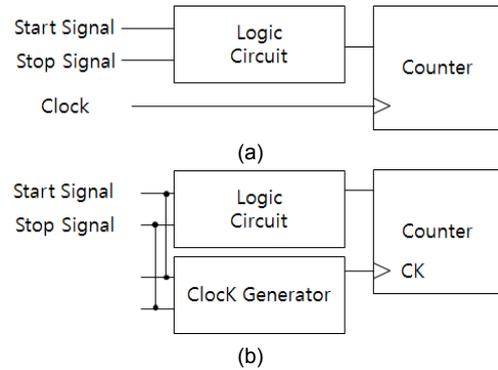


Fig. 2 Time-to-digital converter (a) conventional counter-type time-to-digital converter (b) proposed counter-type time-to-digital converter

본 논문에서는 디지털 변환 에러의 감소 및 우수한 분해능을 가지는 카운터 타입의 시간-디지털 변환기를 제안하고 설계하고자 한다. 그림 2(a)는 외부 클럭을 사용하는 일반적인 카운터 타입의 시간-디지털 변환회로서 시작신호와 클럭의 비동기로 인해 클럭 주기에 해당하는 변환 에러가 발생할 수 있다. 그림 2(b)는 입력 신호인 시작신호와 동기화되어 클럭이 생성된다. 이 때 동기화된 클럭을 카운터의 클럭으로 사용함으로써 시작신호와 클럭의 비동기로 인해 발생하는 에러를 제거할 수 있는 장점이 있다.

본 논문에서는 그림 2(b)와 같이 시간-디지털 변환회로에서 시작신호와 동기화된 클럭을 생성하여 사용함으로써 기존의 시간-디지털 변환기에 비해 변환 에러가 감소될 수 있도록 설계하였다. 그리고 동일 클럭 주파수에 대해 변환된 디지털 값의 분해능을 향상시킬 수 있도록 듀얼에지에서 동작하는 플립플롭을 사용하여 카운터를 설계하였다[7,8].

II. 본론

2.1. 기존의 시간-디지털 변환기

일반적인 카운터 타입의 시간-디지털 변환기에서 입출력 신호는 그림 3과 같으며, 시작신호와 멈춤신호 사이의 시간 간격 동안 외부에서 인가되는 클럭 신호를 카운터가 헤아린다. 클럭의 negative edge에서 플립플롭이 동작할 때, 그림 3에서와 같이 시작신호가 인가되는 시간에 따라 시작신호와 클럭의 시간 차이로 인해 Δ

T_{START} 에 해당하는 T_{CK} (클럭 주기)의 에러가 발생할 수 있다. 그리고 멈춤신호의 경우도 시작신호와 동일하게 멈춤신호가 인가되는 시간에 따라서 멈춤신호와 클럭 사이의 시간차로 인해 ΔT_{STOP} 에 해당하는 T_{CK} 의 에러가 발생할 수 있다. 이러한 에러를 고려하여 $T_{STOP} - T_{START}$ 에 해당하는 시간간격 신호 ΔT 는 식(1)과 같이 표현된다[4].

$$\Delta T = NT_{CK} - \Delta T_{START} + \Delta T_{STOP} \quad (1)$$

여기서 N 은 카운터의 출력 값이다. 그리고 식(1)에서 변환된 출력 값의 에러의 범위는 $-T_{CK}$ 에서 T_{CK} 이다.

2.2. 클럭 생성회로를 사용하는 시간-디지털 변환기

그림 4는 본 논문에서 설계하고자하는 시간-디지털 변환회로이다. 회로 설계시 사용된 공급전압은 1.5volts이며, 0.18 μ m CMOS 공정을 사용하였다. 그리고 카운터에 인가되는 클럭은 시작신호와 동기화하여, 시작신호의 발생과 동시에 생성되도록 설계하였다. 초기상태에서 시작신호와 멈춤신호는 'low'이므로 카운터의 EN 단자의 신호는 'low'이다. 그러나 시작신호가 'high'로 변화하면 EN 단자의 신호는 'high'가 된다.

시작신호는 NAND 게이트와 2n개의 NOT 게이트로 구성된 링 발진기를 지나, 다시 NOT 게이트와 AND 게이트를 통과한 후, 클럭 신호를 생성한다. 클럭의 주파수는 링 발진기를 이루는 NOT 게이트의 개수에 의해 결정된다.

멈춤신호가 'high'로 변화하면 EN 단자의 신호는 'low'가 되어 카운터 동작은 더 이상 일어나지 않는다. 그러므로 시작신호와 멈춤신호 사이의 시간동안 클럭의 수를 헤아려 시간정보를 디지털 정보로 변환하게 되

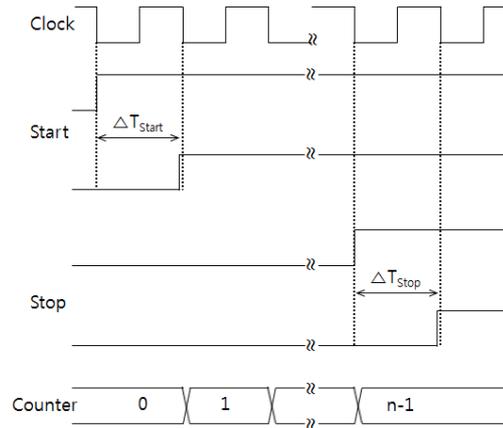


Fig. 3 Input and output signals in conventional time-to-digital converter

며, 변환된 디지털 값과 클럭의 관계는 식 (2)와 같다.

$$N = (T_{STOP} - T_{START}) / T_{CK} \quad (2)$$

여기서 N 은 카운터의 출력 값이다. 식 (2)에서 클럭의 주파수가 증가하면, 변환된 디지털 값의 분해능은 향상됨을 알 수 있다. 그림 5는 설계된 시간-디지털 변환회로의 입출력 신호로서, 클럭은 항상 시작신호가 인가되면 생성되므로 그림 3의 시작신호와 클럭의 비동기로 인한 에러는 발생하지 않는다. 그러므로 시간간격 신호의 변환된 디지털 값은 식(3)과 같이 시작신호에 의해 발생하는 에러를 제거할 수 있다.

$$\Delta T = NT_{CK} + \Delta T_{STOP} \quad (3)$$

여기서 N 은 카운터의 디지털 출력 값이다. 변환된 출력 값의 에러의 범위는 0에서 T_{CK} 로서 기존의 에러 범

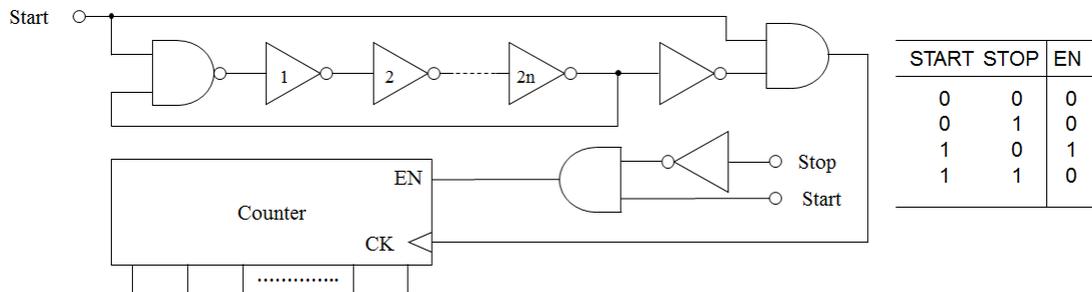


Fig. 4 The proposed time-to-digital converter

위에 비해 범위는 1/2로 줄일 수 있음을 알 수 있다[9].

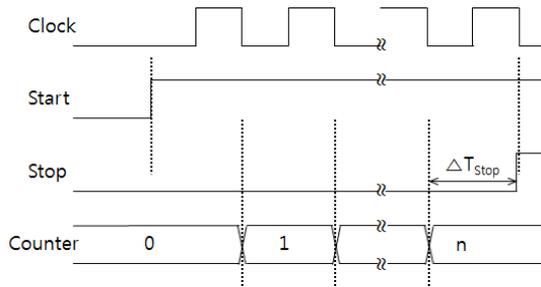


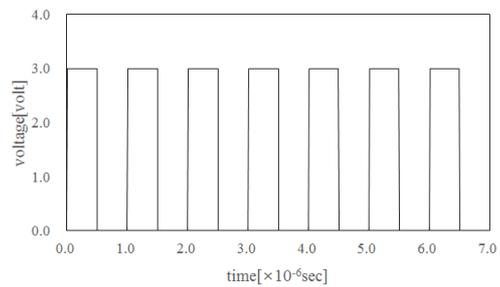
Fig. 5 Input and output signals of the proposed time-to-digital converter (a)

그림 6은 시간-디지털 변환회로의 카운터에 사용된 듀얼 에지 T 플립플롭의 회로도이며, 회로는 0.18 μ m CMOS 공정으로 설계하였다. 그림 6에서 CK 단자는 그림 4에서 생성된 클럭신호가 인가되는 단자이고, T 플립플롭의 입력단자 T_{in} 은 그림 4의 EN 신호가 인가되는 단자이다. 그림 7은 그림 6의 듀얼 에지 T 플립플롭을 시뮬레이션한 결과이다. 그림 7(a)는 클럭 신호이며, 그림 7(b)는 T 입력단자에 인가되는 입력신호이다. 그리고 그림 7(c)는 출력단자인 Q의 신호이다. 그림 7(c)의 결과를 살펴보면, T 입력단자에 인가되는 입력 값이 'high'인 경우 클럭 신호의 positive edge와 negative edge에서 T 플립플롭의 상태는 변화함을 알 수 있다. 즉, 클럭의 듀얼 에지에서 T 플립플롭의 상태는 변화함을 알 수 있다.

III. 결과 분석

그림 8(a)는 시작신호가 100nsec에서 발생하고 멈춤 신호는 700nsec에서 발생한 경우이다. 시간-디지털 변환기에 사용된 플립플롭의 경우 싱글 에지 T 플립플롭과 듀얼 에지 T 플립플롭을 사용하여 시뮬레이션 하였다. 시작신호가 'high'가 되면 클럭이 발생하고 카운터의 EN 단자에 'high' 신호가 인가된다. 그리고 멈춤신호가 인가되기 전까지 카운터는 클럭을 헤아리며 시간 정보를 디지털 값으로 변환한다. 카운터 클럭의 주파수는 약 70MHz 이다.

그림 8(a)와 그림 8(b)처럼 시작신호와 멈춤신호가 발생했을 때 시간-디지털 변환기의 출력 값은 그림 8(c)와 같다. 그림 8(c)에서 보듯이 동일한 시간 가격에 대해서 듀얼 에지 플립플롭을 사용한 경우 싱글 에지 플립플롭을 사용한 경우에 비해 2배의 향상된 분해능을 얻을 수 있다.



(a)

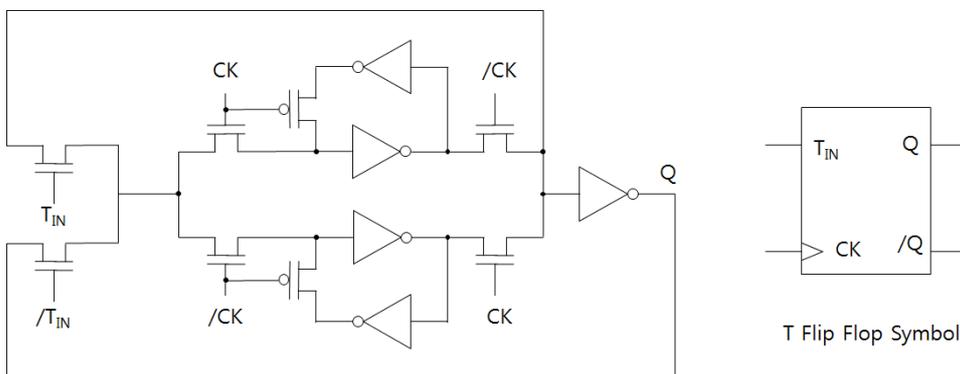


Fig. 6 Dual edge triggered T flip flop circuit

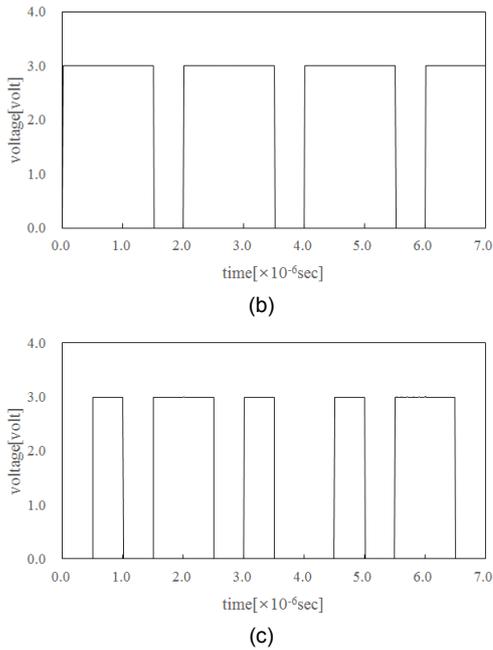


Fig. 7 Clock, input T_{IN} and output Q signals of the dual edge triggered T flip flop (a) clock signal (b) T_{IN} signal (c) Q signal

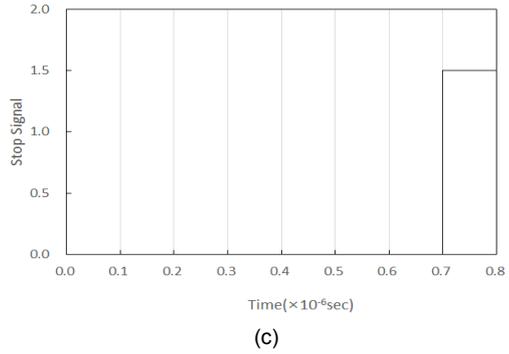
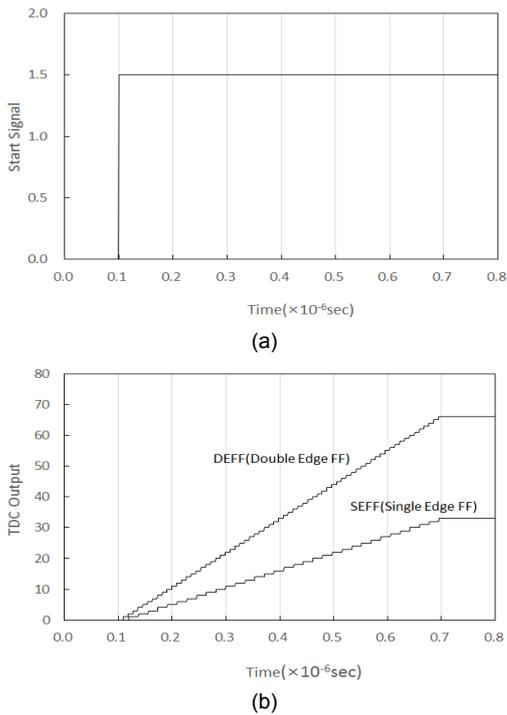


Fig. 8 Input and output signals of time-to-digital converter (a) start signal (b) stop signal (c) counter outputs when SEFF(single-edge flip flops) and DEFF(dual-edge flip flops) are used.

IV. 결론

본 논문에서는 시작신호와 동기화된 클록을 사용하는 카운터 타입의 시간-디지털 변환기를 설계하였다. 시간-디지털 변환기는 외부 클록을 이용하여 $T_{STOP} - T_{START}$ 에 해당하는 시간간격 동안 클록을 헤아린다. 이 경우 입력신호와 클록의 비동기로 인해 발생하는 디지털 값의 에러 범위는 $-T_{CK} \sim +T_{CK}$ 이다. 그러나 본 논문에서 제안된 시간-디지털 변환기는 외부 클록을 사용하지 않는 카운터 타입의 회로로서 시스템을 간단히 구성할 수 있는 장점이 있다. 또한 시작신호와 동기화하여 클록이 생성되도록 회로를 설계하였으며, 시작신호와 클록의 비동기로 인해 발생하는 에러를 줄일 수 있었다. 그러므로 변화된 디지털 값의 에러 범위는 $0 \sim +T_{CK}$ 로서 에러의 범위를 1/2로 감소시킬 수 있었다. 그리고 카운터 회로 구성시 듀얼에지에서 동작하는 T 플립플롭을 사용하여 분해능이 향상되도록 구성하였다.

ACKNOWLEDGEMENT

This work was supported by the research grant of the Busan University of Foreign Studies in 2019

REFERENCES

- [1] C. Priyanka, and P. Latha, "Design and Implementation of Time to Digital Converters," in *2015 International Conference on Innovation in Information, Embedded and Communication Systems*, Mar. 2015.
- [2] A. Jiang, Y. Niu, X. Guo, G. Hu, and X. Wu, "Design of a High-Resolution Time-to-Digital Converter Chip," in *2016 13th IEEE International Conference on Solid-State and Integrated Circuit Technology*, Oct. 2016.
- [3] L. Ping, W. Ying, and A. Piero, "A 2.2ps 2-D Gated Vernier Time-to-Digital Converter with Digital Calibration," *IEEE Transaction. on Circuits and Systems II*, pp.1019-1023, Mar. 2016.
- [4] S. Henzler, *Time-to-Digital Converters*, Heidelberg, Springer Netherlands, 2010.
- [5] A. Balla, M. M. Beretta, P. Ciambone, M. Gatta, F. Gonnella, L. lafolla, M. Mascolo, R. Messi, D. Moricciani, and D. Rioldino, "The Characterization and Application of a Low Resource Based Time-to-Digital Converter," in *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 739, pp.75-82, Mar. 2014.
- [6] J. Szyduczynski, D. Koscielnik, and M. Miskowicz, "A Successive Approximation Time-to-Digital Converter with Single Set of Delay Lines for Time Interval Measurements," in *Signal Processing for Intelligent Sensor Systems*, vol. 19, no. 5, Mar. 2019.
- [7] E. G. Anurag, G. Singh, and V. Sulochana, "Low Power Dual Edge-Triggered Static D Flip-Flop," in *International Journal of VLSI design & Communication Syatems*, vol. 4, no.3, pp. 24-29, Jun. 2013.
- [8] I. Macwan, H. Lawrence, and X. Xiong, "Dual Slope ADC Design from Power, Speed and Area Perspectives," in *Northeast American Society for Engineering Education Conference*, Apr. 2009.
- [9] J. H. Choi, "Time-to-Digital Converter Using Synchronized Clock with Start and Stop Signals," in *Journal of the Korea Institute of Information and Communication Engineering*, May. 2017.



최진호(Jin-Ho Choi)

1987 한국과학기술원 전기 및 전자공학과 공학석사
 1992 한국과학기술원 전기 및 전자공학과 공학박사
 1992~1996 SK하이닉스 근무
 1996~ 부산외국어대학교 근무
 ※관심분야 : 임베디드시스템, VLSI 설계