

# 가스 및 압력조건에 따른 Annealing이 Tunneling FET의 전기적 특성에 미치는 영향

## Effects of Annealing Gas and Pressure Conditions on the Electrical Characteristics of Tunneling FET

송 현 동\*, 송 형 섭\*, 에디 선일 바부\*, 최 현 웅\*, 이 희 덕\*

Hyun-Dong Song\*, Hyeong-Sub Song\*, Eadi Sunil Babu\*,  
Hyun-Woong Choi\*, Hi-Deok Lee\*

### Abstract

In this paper, the electrical characteristics of tunneling field effect transistor(TFET) was studied for different annealing conditions. The TFET samples annealed using hydrogen forming gas(4 %) and Deuterium(D<sub>2</sub>) forming gas(4 %). All the measurements were conducted in noise shielded environment. The results show that subthreshold slope(SS) decreased by 33 mV/dec after annealing process compared to before annealing. Under various temperature range, the noise is improved by average of 31.2 % for 10 atm Deuterium gas at V<sub>G</sub> = 3 V condition. It is also noticed that, post metal annealing with D<sub>2</sub> gas reduces the noise by average of 30.7 % at I<sub>D</sub> = 100 nA condition.

### 요 약

본 논문에서는 다양한 열처리(annealing) 조건에서 tunneling field effect transistor(TFET)의 전기적 특성을 연구 하였다. TFET 샘플은 수소 혼합 가스(4 %) 및 중수소(D<sub>2</sub>) 혼합 가스 (4 %)를 사용하여 열처리를 진행하였으며 측정은 노이즈 차폐실에서 진행되었다. 실험 결과, 열처리 전과 비교하여 열처리 공정 후에 subthreshold slope(SS)이 33 mV / dec만큼 감소함을 확인할 수 있었다. 그리고 측정 온도 범위에서 온도가 증가할수록 V<sub>G</sub> = 3V 조건에서 10 기압의 중수소 혼합 가스에 대해 평균 31.2 %의 노이즈가 개선됨을 확인할 수 있었다. D<sub>2</sub> 혼합 가스로 메탈 증착 후 열처리 공정(post metal annealing)을 실시한 결과, I<sub>D</sub> = 100 nA 조건에서 평균 30.7 %의 노이즈가 감소되었음을 확인할 수 있다.

*Key words : Low frequency noise, Subthreshold slope, FD-SOI TFET, Post metal annealing., Trap*

\* Dept. of Electronics Engineering, Chungnam National University

★ Corresponding author

E-mail : hdlee@cnu.ac.kr, Tel : +82-42-821-7702

※ Acknowledgment

This work was supported by research fund of Chungnam National University.

Manuscript received May. 18, 2019; revised Jun. 26, 2019; accepted Jun. 28, 2019.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

### 1. 서론

MOSFET이 1960년대에 구현된 이후 MOSFET은 산업 전반적으로 사용되며 기술 발전의 획기적인 역할을 해 왔다. 그리고 기술의 발전에 힘입어 MOSFET 역시 지속적인 집적화와 성능 향상을 거듭했다. 하지만 기존의 MOSFET은 60 mV/dec 이상의 임계전압 이하에서의 기울기(subthreshold slope, SS)라는 성능상 한계점과 [1] 집적화가 진행되면서 발생하는 단채널 효과(short channel effect), 자기 발열(self heating), 기판 바이어스 효과(body effect)

같은 다양한 문제들이 [2] 발생하면서 이를 해결하기 위한 새로운 대안이 요구되었다. 그 결과 게이트 올 어라운드(gate all around : GAA) 구조, 핀 소자(fin field effect transistor : finFET), 터널링 소자(tunneling field effect transistor : TFET), 스핀 소자 (spin field effect transistor : spinFET) 등이 주목을 받았다.[3-6] 그중에서도 TFET은 이론상 60 mV/dec 이하의 우수한 SS 특성을 가질 수 있고 극도로 낮은 off 상태에서 누설전류 그리고 기존 CMOS 공정과 호환성이 있으며, 기존의 MOSFET에서 집적화로 인해 발생했던 단채널 효과 문제를 해결할 수 있다는 점에서[5] 주목을 받았다. 하지만 TFET의 단점인 기존의 MOSFET보다 높은 노이즈 값을 갖는다는 것과 [7] 그림 1에서 보여주듯 우수한 SS 특성을 갖기 위해서는 소스-채널 정합(source-channel junction)의 도핑 농도 차이가 커야 하지만 현실적으로 이를 달성하기가 힘들다는 것은 TFET이 상용화되기 위해 해결해야 할 것들이라고 할 수 있다.

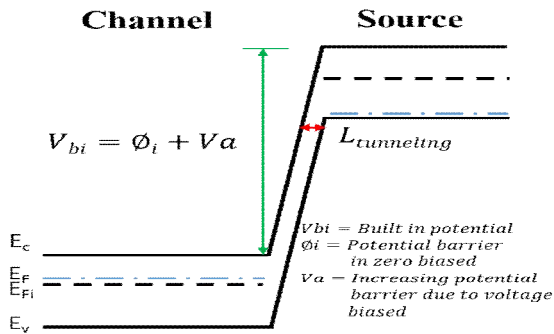


Fig. 1. Energy band diagram of source-channel junction under gate voltage biased.

그림 1. 전압이 인가되었을 때 소스-채널 정합의 에너지 밴드 다이어그램

하지만 TFET의 노이즈와 관련된 연구와 보고 자료는 매우 부족한 실정이다. 이 논문에서는 TFET의 성능을 높이기 위해 실리콘 기반의 완전공핍형 절연체 위 실리콘(fully depleted silicon on insulator, FD-SOI) 기판을 사용하여 TFET를 제작하였다. 그리고 기존 MOSFET의 성능 향상에 영향을 주는 것으로 보고된 메탈 증착 후 열처리 과정(post metal annealing)에 착안하여 [8] post metal annealing의 가스 종류와 압력을 변화시켜 TFET의 성능과 저주파 노이즈(low frequency noise, LFN)에 미치는 영향을 분석하였다. 또한 온도에 따른 TFET의 성

능과 저주파 노이즈를 분석하여 저주파 노이즈의 원인에 대해 분석하였다.

II. 본론

1. 소자 구조 및 실험방법

본 실험에서 사용된 TFET은 FD-SOI 기판 위에서 제작되었다. FD-SOI 기판은 상단 실리콘 두께가 35nm이며 순수(intrinsic)에 가까운 p형 기판이다. 게이트 절연체는 3 nm 두께의 SiO<sub>2</sub>로 형성되었으며 게이트는 폴리실리콘(poly-silicon) 200 nm로 구성하였다. 또한 fully-depletion을 만들기 위해 소스 영역은 BF<sub>2</sub>를 5 keV 에너지와 5×10<sup>15</sup> cm<sup>-2</sup> Dose로 이온주입(ion implant)하였고, 드레인 영역은 As를 5 keV 에너지와 5×10<sup>15</sup> cm<sup>-2</sup> Dose로 이온주입 하였다. 다음에 불순물(dopant)의 활성화(activation)을 위하여 RTA(rapid thermal annealing) 공정을 사용하여 N<sub>2</sub> 분위기에서 950 °C, 10 s로 열처리를 하였다. 메탈 배선은 RF 스퍼터링(sputtering) 시스템을 이용하여 티타늄(Ti) 10 nm와 알루미늄(Al) 200 nm로 형성하였으며 제작된 TFET의 단면도는 그림 2와 같이 나타낼 수 있다.

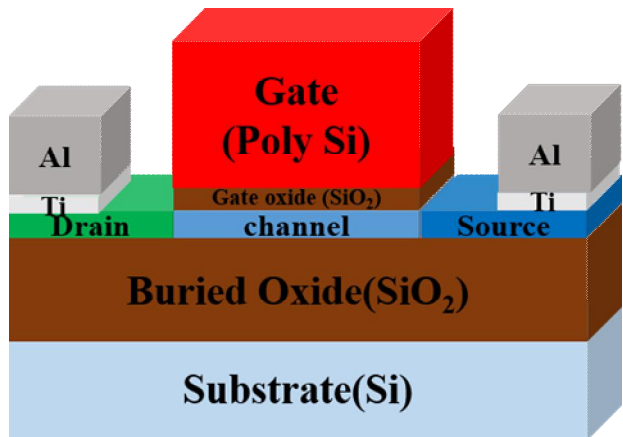


Fig. 2. The cross sectional view of the fabricated TFET structure.

그림 2. TFET 구조의 단면도

메탈 형성 후 열처리 공정은 400 °C의 온도에서 30분 동안 1 기압 또는 10 기압 상태에서 수소 혼합 가스(H<sub>2</sub> forming gas, 4 %)와 중수소 혼합 가스(D<sub>2</sub> forming gas, 4 %)를 사용하여 4 가지 조건에서 실시하였으며, 각 시료의 정보는 표 1과 같다.

Table 1. The temperature, time, gas, and pressure conditions of post metal annealing.

표 1. Post metal annealing의 온도, 시간, 가스종류, 압력 조건표

Classifi- cation	Temper- ature	Time	Gas	Pressure
Sample 1	400 °C	30 min	4 % H <sub>2</sub>	1 atm
Sample 2	400 °C	30 min	4 % H <sub>2</sub>	10 atm
Sample 3	400 °C	30 min	4 % D <sub>2</sub>	1 atm
Sample 4	400 °C	30 min	4 % D <sub>2</sub>	10 atm

전류-전압 특성 및 저주파 노이즈(low frequency noise : LFN) 측정은 폭과 길이가 각각 10 μm와 1 μm 크기의 소자를 사용하였으며, 외부 영향을 최소화하기 위해 노이즈 차폐실(noise shielded room) 안에서 측정을 실시하였다. 그리고 온도에 따라 소자의 전류-전압 특성과 노이즈에 미치는 영향을 확인하기 위해 25 °C부터 100 °C까지 25 °C 간격으로 4개의 구간을 나눠 측정하였다. 전류-전압 특성 측정의 조건과 저주파 노이즈 측정 조건은 표 2와 같다.

Table 2. The biased conditions of DC characteristics and noise measurement.

표 2. DC 특성과 노이즈 측정 조건

DC characteristics		Noise	
Biased component	Voltage condition	Biased component	Measurement condition
V <sub>G</sub>	0 V ~ 3 V	V <sub>G</sub>	3 V
V <sub>S</sub>	0 V	V <sub>S</sub>	0 V
V <sub>D</sub>	1.8 V	V <sub>D</sub>	1.8 V
		Frequency	1 ~ 10 <sup>4</sup> Hz

그리고 post metal annealing에 의한 소자의 특성 변화를 확인할 때 각 소자의 특성 차이를 고려하여 각 소자의 post metal annealing 전과 후로 나누어 측정을 진행하였다.

2. 결과 및 고찰

그림 3과 표 4는 post metal annealing 전후에서 온도에 따른 SS를 비교한 것이다. 그림 3은 온도가 증가할수록 SS가 증가하는 것을 보여주는데 post metal annealing을 진행한 경우 온도 증가에 따른 SS의 증가폭이 진행하지 않은 경우보다 평균적으로 33 mV/dec 작은 것을 확인할 수 있다. 그리고 기존 MOSFET에서 post metal annealing을 진행

함에 따라 SS가 감소한다고 보고되어왔는데[8] 이와 마찬가지로 TFET에서도 post metal annealing을 진행하면 SS가 감소하는 것을 확인할 수 있다. 표 3은 post metal annealing 전과 후의 SS의 차이를 나타낸 것으로 sample 4의 경우 다른 sample에 비해 SS가 큰 폭으로 감소하는 것을 보여준다.

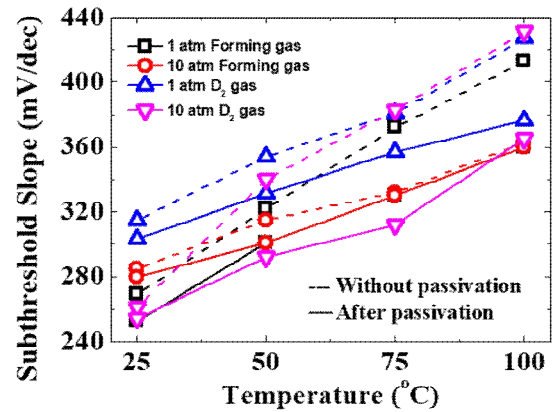


Fig. 3. Subthreshold slope of measured samples.

그림 3. 측정된 샘플의 subthreshold slope

Table 3. Comparing subthreshold slope of TFET before and after post metal annealing with the temperature split.

표 3. Post metal annealing 공정 전, 후의 subthreshold slope 비교

Classifi- cation	T=25 °C	T=50 °C	T=75 °C	T=100 °C
Sample 1	-17 (6.7 %)	-21 (7.0 %)	-42 (12.7 %)	-53 (14.7 %)
Sample 2	-5 (1.7 %)	-14 (4.7 %)	-2 (0.6 %)	-3 (0.8 %)
Sample 3	-12 (4.0 %)	-23 (6.9 %)	-24 (6.7 %)	-51 (13.6 %)
Sample 4	-7 (2.8 %)	-48 (16.4 %)	-71 (22.8 %)	-66 (18.1 %)

그림 4는 각 샘플에서 V<sub>G</sub> = 3 V 조건에서 측정된 LFN의 전류 파워 스펙트럼 밀도(power spectral density : S<sub>ID</sub>)를 전류값으로 정규화(normalize)하여 나타낸 것으로, 10 Hz부터 1000 Hz 구간에서 기울기를 구하여 100 Hz 구간의 값을 상자 그림으로 표현한 것이다. 그림 4에서 post metal annealing 전과 후의 노이즈를 비교했을 때, sample 4의 경우 온도 증가에 따라 노이즈가 평균적으로 31.2% 개선됨을 확인할 수 있었다. 기존 MOSFET의 경우 post metal annealing으로 인하여 계면 트랩(interface trap)이 감소하게 되면 노이즈에 영향을 미치는 트랩들이 감소하기 때문에 노이즈가 개선된다. 하지

만 TFET의 경우 계면에서 발생하는 노이즈보다 전자들이 터널링하는 소스-채널 정합에서 발생하는 노이즈가 더 크기 때문에  $V_G = 3\text{ V}$  조건으로 측정할 때 샘플 4의 조건을 제외한 경우 post metal annealing으로 인한 노이즈의 개선이 확인되지 않는 것으로 판단된다.

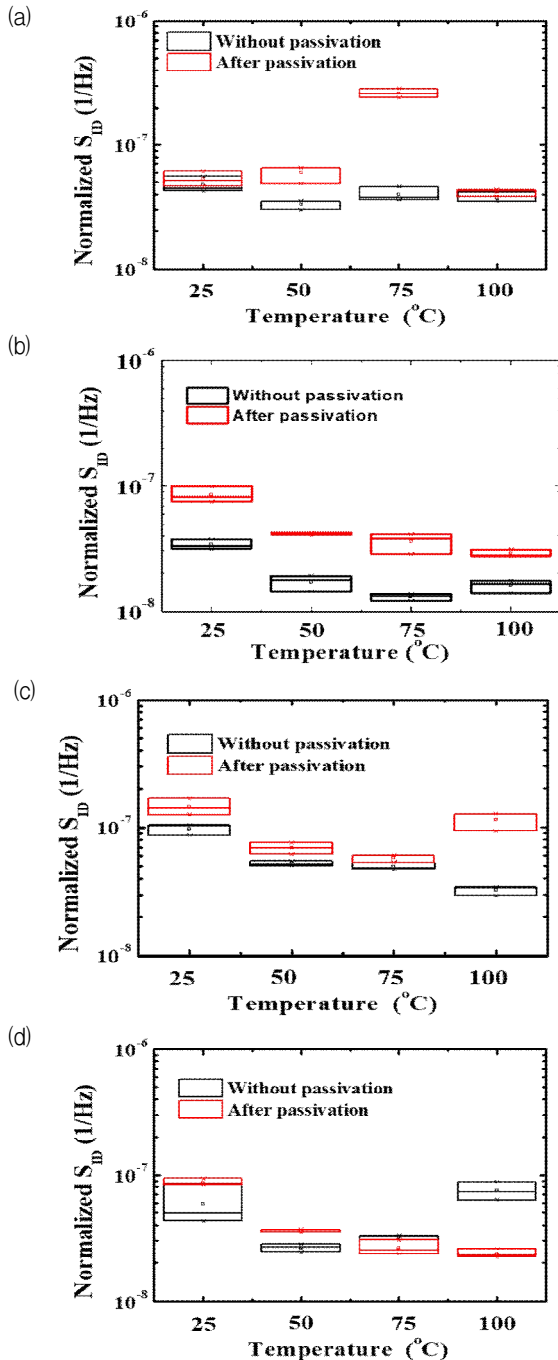


Fig. 4. Normalized power spectral density(SID) of LFN at 100 Hz for (a) sample 1, (b) sample 2, (c) sample 3, and (d) sample 4.

그림 4. 100 Hz 지점에서 저주파 노이즈의 정규화된 크기 (a) 샘플 1, (b) 샘플 2, (c) 샘플 3, (d) 샘플 4

다음으로 그림 4에서 노이즈가 개선된 것이 확인된 샘플 3과 4에 전류를 고정하여 노이즈의 개선을 확인하기 위해  $I_D = 100\text{ nA}$ 에서 측정한 LFN를 그림 5에 나타내었다. 해당 실험 조건으로 전류를 고정한 이유는 post metal annealing 전과 후의 TFET에 같은 전류가 흐르게 되면 소스-채널 정합 사이의 거리가 비슷하다고 가정할 수 있고, 이 경우 터널링으로 인하여 발생하는 노이즈가 비슷한 수준이라고 할 수 있기 때문이다.

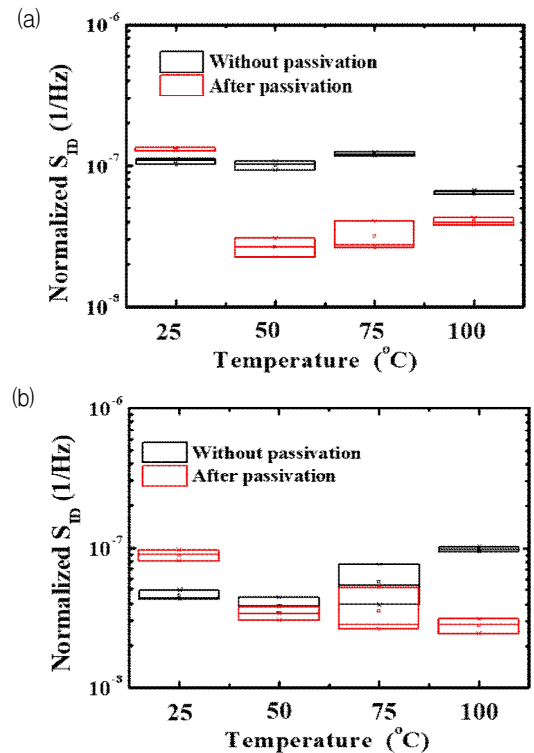


Fig. 5. Normalized SID at 100 Hz with  $I_D = 100\text{ nA}$  for (a) sample 3 and (b) sample 4.

그림 5.  $I_D = 100\text{ nA}$ , 100 Hz 조건에서 정규화된 노이즈의 크기 (a) 샘플 3, (b) 샘플 4

그림 5에서 LFN를 post metal annealing 전과 후에서 비교했을 때 평균적으로 30.7 % 정도 노이즈가 개선됨을 확인할 수 있다. 이는 post metal annealing이 계면 트랩을 감소시켜 계면 특성을 향상시키기 때문으로 추측되는데, 주로 소스-채널 정합 바로 위의 계면 트랩이 제거되며 노이즈가 감소한 것으로 보인다. 이에 대한 분석을 위해 그림 5의 샘플 중 노이즈가 더 큰 쪽으로 개선된 sample 3의 노이즈 그래프를 그림 6에 나타내었고 측정 온도에 따른 노이즈 그래프의 기울기를  $1\text{ Hz} \sim 10^5\text{ Hz}$  구간에서 기울기를 구하여 평균값을 표 5에 나타내었다.

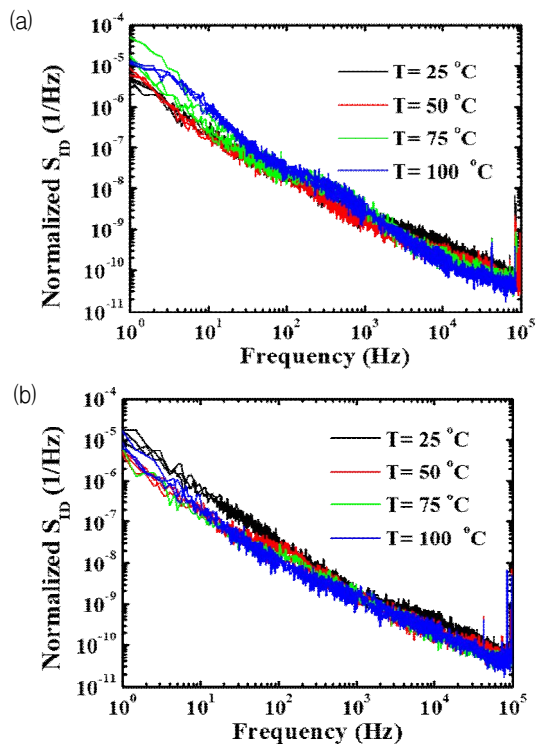


Fig. 6. Normalized SID of sample 3, (a) before post metal annealing and (b) after post metal annealing.

그림 6. 샘플 3의 노이즈의 정규화된 크기 (a) post metal annealing 전, (b) post metal annealing 후

Table 4. Average slope of the LFN as a function of temperature.

표 4. 온도변화에 따른 저주파 노이즈의 평균 기울기

Temperature	Before post metal annealing	After post metal annealing
25 °C	0.844	0.972
50 °C	0.894	0.909
75 °C	0.988	0.933
100 °C	1.076	0.879

표 4에서 25 °C, 50 °C에서 post metal annealing을 진행한 경우 전보다 노이즈 그래프의 기울기가 증가한 것을 확인할 수 있다. 노이즈의 기울기가 작다는 것은 노이즈를 발생시키는 원인이 주로 계면 트랩이거나 게이트 절연체 내부의 shallow 트랩이라는 것을 의미한다. [9] 즉, post metal annealing을 통해서 계면 트랩이 감소했기 때문에 노이즈의 기울기가 증가한 것으로 볼 수 있다. 하지만 75 °C와 100 °C에서 측정된 노이즈의 기울기는 post metal annealing 전이 더 크다. 그 이유는 온도 증가에 따라 전자가 열에 의한 에너지를 얻어 더 깊은 곳에 위치한 트랩과 반응하기 때문으로 보인다.

### III. 결론

이 논문에서는 post metal annealing에서 가스의 종류와 압력 조건이 TFET의 전기적 특성과 노이즈에 미치는 영향을 분석하였다. 기존의 MOSFET에서의 post metal annealing을 했을 경우의 경향성과 같이 TFET에서도 post metal annealing을 진행할 경우 SS는 평균적으로 33 mV/dec 개선되었다. 그리고 중수소 혼합 가스 조건에서의 post metal annealing을 진행한 소자의  $I_D$ 를 100 nA로 고정하여 노이즈를 측정한 경우 노이즈가 평균적으로 30.7 % 감소되었다. 이는 계면 트랩이 감소하여 계면 특성이 향상되었기 때문이라고 노이즈의 기울기의 비교를 통해 분석되었다. 하지만  $V_G$ 를 3 V로 고정하고 온도 변화에 따른 노이즈를 측정할 경우에는 샘플 4를 제외한 나머지 샘플에서 노이즈의 개선이 확인되지 않았다. 이는 혼합 가스의 계면 트랩 제거율이 중수소 혼합 가스보다 낮기 때문으로 보인다. 그리고 샘플 4에서만 노이즈의 개선이 확인된 이유는 중수소 혼합 가스를 사용한 post metal annealing의 경우에 압력조건에 따라 소스-채널 정합 위의 계면 트랩이 감소하는 정도가 달라지기 때문에 노이즈의 개선 여부가 결정되는 것으로 보인다. 이는 차후 실험에서 온도와 압력조건을 세분화하여 변경하면서 post metal annealing을 진행하여 압력조건이 노이즈에 미치는 영향을 살펴볼 필요가 있음을 시사한다.

### References

- [1] K. P. Cheung, "On the 60 mV/dec@ 300 K limit for MOSFET subthreshold swing," *Proceedings of 2010 International Symposium on VLSI Technology, System and Application*, pp.72-73, 2010. DOI: 10.1109/VTSA.2010.5488941
- [2] D. J. Frank, R. H. Dennard, E. Nowak, P. M. Solomon, Y. Taur, & H. S. P. Wong, "Device scaling limits of Si MOSFETs and their application dependencies," *Proceedings of the IEEE*, vol.89, no.3, pp.259-288, 2001. DOI: 10.1109/5.915374
- [3] D. Jiménez, J. J. Saenz, B. Iniguez, J. Sune, L. F. Marsal, & J. Pallares, "Modeling of nanoscale

gate-all-around MOSFETs," *IEEE Electron device letters*, vol.25, no.5, pp.314-316, 2004.

DOI: 10.1109/LED.2004.826526

[4] B. Yu, L. Chang, S. Ahmed, H. Wang, S. Bell, C. Y. Yang, & J. Bokor, "FinFET scaling to 10 nm gate length," *In Digest. International Electron Devices Meeting*, pp.251-254. 2002.

DOI: 10.1109/IEDM.2002.1175825

[5] S. M. Turkane, & A. K. Kureshi, "Review of tunnel field effect transistor (TFET)," *International Journal of Applied Engineering Research*, vol.11, no.7, pp.4922-4929, 2016.

[6] P. Chuang, S. C. Ho, L. W. Smith, F. Sfigakis, M. Pepper, C. H. Chen & G. A. C. Jones, "All-electric all-semiconductor spin field-effect transistors," *Nature nanotechnology*, vol.10, no.1, pp.35, 2015.

[7] Q. Huang, R. Huang, C. Chen, C. Wu, J. Wang, C. Wang & Y. Wang, "Deep insights into low frequency noise behavior of tunnel FETs with source junction engineering," *In 2014 Symposium on VLSI Technology (VLSI-Technology): Digest of Technical Papers* pp.1-2, 2014.

DOI: 10.1109/VLSIT.2014.6894371

[8] R. Choi, K. Onishi, C. S. Kang, H. J. Cho, Y. H. Kim, S. Krishnan & J. C. Lee, "Effects of deuterium anneal on MOSFETs with HfO<sub>2</sub> gate dielectrics," *IEEE Electron Device Letters*, vol.24, no.3, pp.144-146, 2003.

DOI: 10.1109/LED.2003.809531

[9] Y. Qiu, R. Wang, Q. Huang & R. Huang, "A comparative study on the impacts of interface traps on tunneling FET and MOSFET," *IEEE Transactions on Electron Devices*, vol.61, no.5, pp.1284-1291, 2014.

DOI: 10.1109/TED.2014.2312330

## BIOGRAPHY

### Hyun-Dong Song (Member)



2016 : BS degree in Electrical Engineering, Chungnam National University.

2018~ : MS course in Electrical Engineering, Chungnam National University.

### Hyeong-Sub Song (Member)



2014 : BS degree in Electrical Engineering, Chungnam National University.

2014~ : PhD course in Electrical Engineering, Chungnam National University.

### Sunil Babu Eadi (Member)



2006 : BS degree in Science, Andhra University, India.

2008 : MS degree in Chemistry, University of Hyderabad, India

2015 : PhD degree in Advanced Materials Engineering, Chungnam National University, South Korea.

2019~ : Research Professor, Chungnam National University

### Hyun-Woong Choi (Member)



2019 : BS degree in Electrical Engineering, Chungnam National University.

2019~ : MS course in Electrical Engineering, Chungnam National University.

### Hi-Deok Lee (Member)



1990 : BS degree in Electrical Engineering, Korea Advanced Institute of Science and Technology.

1992 : MS degree in Electrical Engineering, Korea Advanced Institute of Science and Technology.

1996 : PhD degree in Electrical Engineering, Korea Advanced Institute of Science and Technology.

1993~2001 : SK hynix.

2001~ : Professor, Chungnam National University